

具宽输入共模范围的 8 通道、18 位、200ksps、差分 $\pm 10.24V$ 输入 SoftSpan ADC

特点

- 每通道 200ksps 吞吐速率
- 8 个同时采样通道
- $\pm 3\text{LSB}$ INL (最大值, $\pm 10.24V$ 范围)
- 保证 18 位, 无漏失码
- 差分、宽共模范围输入
- 每个通道的 SoftSpan 输入范围:
 $\pm 10.24V$ 、 $0V$ 至 $10.24V$ 、 $\pm 5.12V$ 、 $0V$ 至 $5.12V$
- 96.7dB 单转换 SNR (典型值)
- 在 $f_{IN} = 2\text{kHz}$ 时 THD 的典型值为 -109dB
- 在 $f_{IN} = 200\text{Hz}$ 时 CMRR 的典型值为 118dB
- 可容忍轨至轨输入过驱动
- 保证运作至 125°C
- 内部集成基准和缓冲器 (4.096V)
- 2.5V 至 5V 外部基准输入范围
- SPI CMOS (1.8V 至 5V) 和 LVDS 串行 I/O
- 内部转换时钟, 无周期延迟
- 140mW 功率耗散 (典型值)
- 48 引脚 (7mm x 7mm) LQFP 封装

应用

- 可编程逻辑控制器
- 工业过程控制
- 电源线监察
- 测试和测量

描述

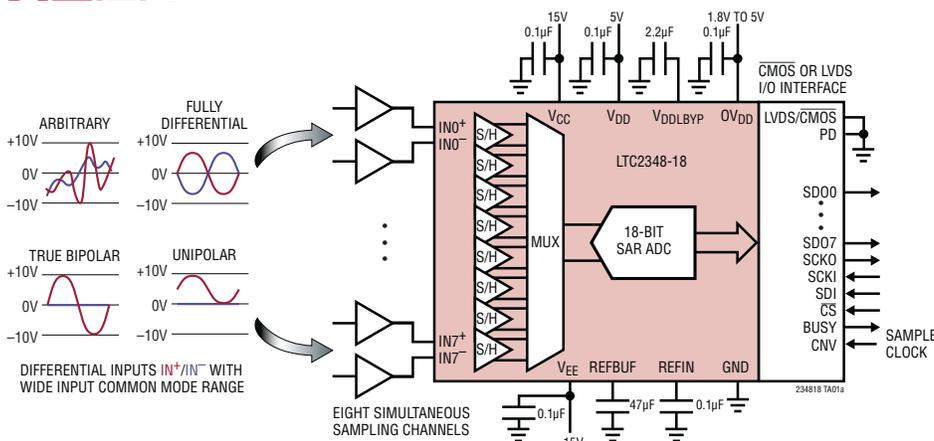
LTC[®]2348-18 是一款 18 位、低噪声、8 通道同时采样逐次逼近型寄存器 (SAR) ADC, 其具有差分、宽共模范围输入。该 SoftSpan™ ADC 采用一个 5V 低电压电源、灵活的高电压电源, 并使用内部基准和缓冲器, 其每个通道可按“逐个转换”的方式进行配置, 以接受 $\pm 10.24V$ 、 $0V$ 至 $10.24V$ 、 $\pm 5.12V$ 或 $0V$ 至 $5.12V$ 信号。另外, 还可以停用个别通道以增加其余通道的吞吐量。

LTC2348-18 模拟输入的宽输入共模范围和 118dB CMRR 使得该 ADC 能够直接对多种信号进行数字处理, 从而简化了信号链路设计。这种输入信号灵活性, 再加上 $\pm 3\text{LSB}$ INL、无漏失码 (在 18 位) 和 96.7dB SNR, 使 LTC2348-18 非常适合于许多要求宽动态范围的高电压应用。

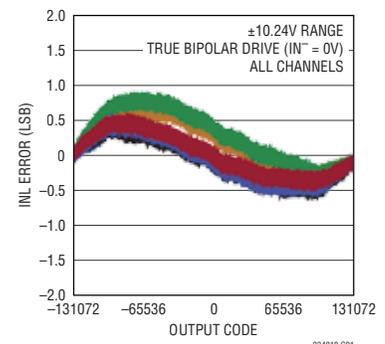
LTC2348-18 支持引脚可选的 SPI CMOS (1.8V 至 5V) 和 LVDS 串行接口。在 CMOS 模式中可以使用 1 至 8 个数据输出线道, 因而允许用户优化总线宽度和吞吐量。

LT、LT、LTC、LTM、Linear Technology 和 Linear 标识是凌力尔特公司的注册商标, SoftSpan 是凌力尔特公司的商标。所有其他商标均为其各自拥有者的产权。受包括第 7705765、7961132、8319673 号美国专利的保护。其他专利正待审议。

典型应用



积分非线性与输出代码和通道的关系曲线



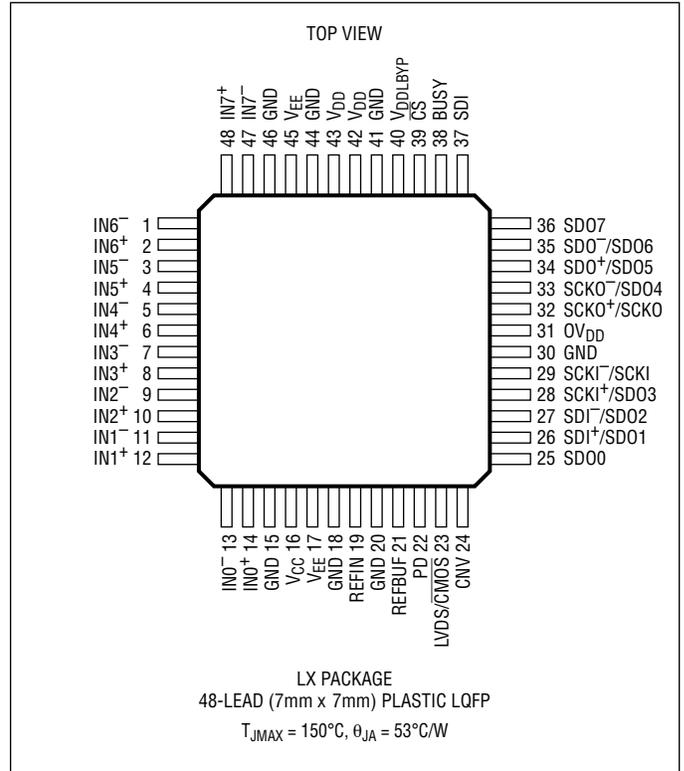
LTC2348-18

绝对最大额定值

(注 1、2)

电源电压 (V_{CC})	-0.3V 至 ($V_{EE} + 40V$)
电源电压 (V_{EE})	-17.4V 至 0.3V
电源电压差 ($V_{CC} - V_{EE}$)	40V
电源电压 (V_{DD})	6V
电源电压 (OV_{DD})	6V
内部已调节电源旁路 (V_{DDLBY})	(注 3)
模拟输入电压		
$IN0^+$ 至 $IN7^+$,		
$IN0^-$ 至 $IN7^-$ (注 4) ($V_{EE} - 0.3V$) 至 ($V_{CC} + 0.3V$)		
REFIN	-0.3V 至 2.8V
REFBUF, CNV (注 5)	-0.3V 至 ($V_{DD} + 0.3V$)
数字输入电压 (注 5)	-0.3V 至 ($OV_{DD} + 0.3V$)
数字输出电压 (注 5)	-0.3V 至 ($OV_{DD} + 0.3V$)
功率耗散	500mW
工作温度范围		
LTC2348C	0°C 至 70°C
LTC2348I	-40°C 至 85°C
LTC2348H	-40°C 至 125°C
贮存温度范围	-65°C 至 150°C

引脚配置



订购信息

无铅涂层	卷带	器件标记 *	封装描述	温度范围
LTC2348CLX-18#PBF	LTC2348CLX-18#PBF	LTC2348LX-18	48 引脚 (7mm x 7mm) 塑料 LQFP	0°C 至 70°C
LTC2348ILX-18#PBF	LTC2348ILX-18#PBF	LTC2348LX-18	48 引脚 (7mm x 7mm) 塑料 LQFP	-40°C 至 85°C
LTC2348HLX-18#PBF	LTC2348HLX-18#PBF	LTC2348LX-18	48 引脚 (7mm x 7mm) 塑料 LQFP	-40°C 至 125°C

对于规定工作温度范围更宽的器件，请咨询凌力尔特公司。 * 温度等级请见集装箱上的标识。
有关非标准含铅涂层器件的信息，请咨询凌力尔特公司。

如需了解更多有关无铅器件标记的信息，请登录：<http://www.linear.com.cn/leadfree/>

电气特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 6)

符号	参数	条件	最小值	典型值	最大值	单位
V_{IN+}	绝对输入范围 ($IN0+$ 至 $IN7+$)	(注 7)	●	V_{EE}	$V_{CC} - 4$	V
V_{IN-}	绝对输入范围 ($IN0-$ 至 $IN7-$)	(注 7)	●	V_{EE}	$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	输入差分电压范围	SoftSpan 7 : $\pm 2.5 \cdot V_{REFBUF}$ 范围 (注 7)	●	$-2.5 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 6 : $\pm 2.5 \cdot V_{REFBUF}/1.024$ 范围 (注 7)	●	$-2.5 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 5 : 0V 至 $2.5 \cdot V_{REFBUF}$ 范围 (注 7)	●	0	$2.5 \cdot V_{REFBUF}$	V
		SoftSpan 4 : 0V 至 $2.5 \cdot V_{REFBUF}/1.024$ 范围 (注 7)	●	0	$2.5 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 3 : $\pm 1.25 \cdot V_{REFBUF}$ 范围 (注 7)	●	$-1.25 \cdot V_{REFBUF}$	$1.25 \cdot V_{REFBUF}$	V
		SoftSpan 2 : $\pm 1.25 \cdot V_{REFBUF}/1.024$ 范围 (注 7)	●	$-1.25 \cdot V_{REFBUF}/1.024$	$1.25 \cdot V_{REFBUF}/1.024$	V
		SoftSpan 1 : 0V 至 $1.25 \cdot V_{REFBUF}$ 范围 (注 7)	●	0	$1.25 \cdot V_{REFBUF}$	V
V_{CM}	输入共模电压范围	(注 7)	●	V_{EE}	$V_{CC} - 4$	V
$V_{IN+} - V_{IN-}$	输入差分过驱动容差	(注 8)	●	$-(V_{CC} - V_{EE})$	$(V_{CC} - V_{EE})$	V
I_{IN}	模拟输入漏电流		●	-1	1	μA
C_{IN}	模拟输入电容	采样模式		50		pF
		保持模式		10		pF
CMRR	输入共模抑制比	$V_{IN+} = V_{IN-} = 18V_{P-P}$ 200Hz 正弦	●	100	118	dB
V_{IHCNV}	CNV 高电平输入电压		●	1.3		V
V_{ILCNV}	CNV 低电平输入电压		●		0.5	V
I_{INCNV}	CNV 输入电流	$V_{IN} = 0V$ 至 V_{DD}	●	-10	10	μA

转换器特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 9)

符号	参数	条件	最小值	典型值	最大值	单位	
	分辨率		●	18		位	
	无漏失码		●	18		位	
	转换噪声	SoftSpans 7 和 6 : $\pm 10.24V$ 和 $\pm 10V$ 范围		1.3		LSB_{RMS}	
		SoftSpans 5 和 4 : 0V 至 10.24V 和 0V 至 10V 范围		2.6		LSB_{RMS}	
		SoftSpans 3 和 2 : $\pm 5.12V$ 和 $\pm 5V$ 范围		2.0		LSB_{RMS}	
		SoftSpan 1 : 0V 至 5.12V 范围		4.0		LSB_{RMS}	
INL	积分线性误差	SoftSpans 7 和 6 : $\pm 10.24V$ 和 $\pm 10V$ 范围 (注 10)	●	-3	±1	3	LSB
		SoftSpans 5 和 4 : 0V 至 10.24V 和 0V 至 10V 范围 (注 10)	●	-4	±1.5	4	LSB
		SoftSpans 3 和 2 : $\pm 5.12V$ 和 $\pm 5V$ 范围 (注 10)	●	-2.5	±0.75	2.5	LSB
		SoftSpan 1 : 0V 至 5.12V 范围 (注 10)	●	-2.5	±0.75	2.5	LSB
DNL	差分线性误差	(注 11)	●	-0.9	±0.2	0.9	LSB
ZSE	零标度误差	(注 12)	●	-550	±80	550	μV
	零标度误差漂移			±2		$\mu\text{V}/^\circ\text{C}$	
FSE	全标度误差	(注 12)	●	-0.1	±0.025	0.1	%FS
	全标度误差漂移			±2.5		$\text{ppm}/^\circ\text{C}$	

动态准确度

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $A_{IN} = -1\text{dBFS}$ 。(注 9、13)

符号	参数	条件	最小值	典型值	最大值	单位	
SINAD	信号与 (噪声 + 失真) 之比	SoftSpans 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	93.0	96.5	dB	
		SoftSpans 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●	87.6	90.6	dB	
		SoftSpans 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	90.0	93.2	dB	
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●	84.2	87.3	dB	
SNR	信噪比	SoftSpans 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	93.7	96.7	dB	
		SoftSpans 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●	87.7	90.7	dB	
		SoftSpans 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	90.2	93.2	dB	
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●	84.3	87.3	dB	
THD	总谐波失真	SoftSpans 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●		-109	-101	dB
		SoftSpans 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●		-111	-104	dB
		SoftSpans 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●		-113	-104	dB
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●		-114	-103	dB
SFDR	无杂散动态范围	SoftSpans 7 和 6: $\pm 10.24\text{V}$ 和 $\pm 10\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	101	110	dB	
		SoftSpans 5 和 4: 0V 至 10.24V 和 0V 至 10V 范围, $f_{IN} = 2\text{kHz}$	●	105	112	dB	
		SoftSpans 3 和 2: $\pm 5.12\text{V}$ 和 $\pm 5\text{V}$ 范围, $f_{IN} = 2\text{kHz}$	●	105	114	dB	
		SoftSpan 1: 0V 至 5.12V 范围, $f_{IN} = 2\text{kHz}$	●	105	115	dB	
	通道至通道串扰	一个通道在 $\pm 10.24\text{V}$ 范围内转换 $18\text{V}_{\text{p-p}}$ 200Hz 正弦信号, 至所有其他通道的串扰			-109	dB	
	-3dB 输入带宽			7		MHz	
	孔径延迟			1		ns	
	孔径延迟匹配			150		ps	
	孔径抖动			3		psRMS	
	瞬态响应	全标度阶跃, 0.005% 稳定		360		ns	

内部基准特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 9)

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFIN}	内部基准输出电压		2.043	2.048	2.053	V
	内部基准温度系数	(注 14)	●	5	20	ppm/ $^\circ\text{C}$
	内部基准电压调节	$V_{\text{DD}} = 4.75\text{V}$ 至 5.25V		0.1		mV/V
	内部基准输出阻抗			20		k Ω
V_{REFIN}	REFIN 电压范围	REFIN 过驱动 (注 7)	1.25		2.2	V

基准缓冲器特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 9)

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFBUF}	基准缓冲器输出电压	REFIN 过驱动, $V_{\text{REFIN}} = 2.048\text{V}$	● 4.091	4.096	4.101	V
	REFBUF 电压范围	REFBUF 过驱动 (注 7、15)	● 2.5		5	V
	REFBUF 输入阻抗	$V_{\text{REFIN}} = 0\text{V}$, 缓冲器停用		13		k Ω
I_{REFBUF}	REFBUF 负载电流	$V_{\text{REFBUF}} = 5\text{V}$, 8 个通道启用 (注 15、16)	●	1.5	1.9	mA
		$V_{\text{REFBUF}} = 5\text{V}$, 采集或打盹模式 (注 15)		0.39		mA

数字输入和数字输出

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 9)

符号	参数	条件	最小值	典型值	最大值	单位
CMOS 数字输入和输出						
V_{IH}	高电平输入电压		● $0.8 \cdot 0V_{\text{DD}}$			V
V_{IL}	低电平输入电压		●		$0.2 \cdot 0V_{\text{DD}}$	V
I_{IN}	数字输入电流	$V_{\text{IN}} = 0\text{V}$ 至 $0V_{\text{DD}}$	● -10		10	μA
C_{IN}	数字输入电容			5		pF
V_{OH}	高电平输出电压	$I_{\text{OUT}} = -500\mu\text{A}$	● $0V_{\text{DD}} - 0.2$			V
V_{OL}	低电平输出电压	$I_{\text{OUT}} = 500\mu\text{A}$	●		0.2	V
I_{OZ}	高阻抗输出漏电流	$V_{\text{OUT}} = 0\text{V}$ 至 $0V_{\text{DD}}$	● -10		10	μA
I_{SOURCE}	输出供应电流	$V_{\text{OUT}} = 0\text{V}$		-50		mA
I_{SINK}	输出吸收电流	$V_{\text{OUT}} = 0V_{\text{DD}}$		50		mA
LVDS 数字输入和输出						
V_{ID}	差分输入电压		● 200	350	600	mV
R_{ID}	片内输入终接电阻	$\overline{\text{CS}} = 0\text{V}$, $V_{\text{ICM}} = 1.2\text{V}$	● 90	106	125	Ω
		$\overline{\text{CS}} = 0V_{\text{DD}}$		10		M Ω
V_{ICM}	共模输入电压		● 0.3	1.2	2.2	V
I_{ICM}	共模输入电流	$V_{\text{IN}^+} = V_{\text{IN}^-} = 0\text{V}$ 至 $0V_{\text{DD}}$	● -10		10	μA
V_{OD}	差分输出电压	$R_{\text{L}} = 100\Omega$ 差分终接	● 275	350	425	mV
V_{OCM}	共模输出电压	$R_{\text{L}} = 100\Omega$ 差分终接	● 1.1	1.2	1.3	V
I_{OZ}	高阻抗输出漏电流	$V_{\text{OUT}} = 0\text{V}$ 至 $0V_{\text{DD}}$	● -10		10	μA

LTC2348-18

电源要求 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 9)

符号	参数	条件	最小值	典型值	最大值	单位
V_{CC}	电源电压		● 0		38	V
V_{EE}	电源电压		● -16.5		0	V
$V_{CC} - V_{EE}$	电源电压差		● 10		38	V
V_{DD}	电源电压		● 4.75	5.00	5.25	V
I_{VCC}	电源电流	200ksps 采样速率, 8 个通道启用	●	1.8	2.2	mA
		采集模式	●	3.8	4.5	mA
		打盹模式	●	0.7	0.9	mA
		断电模式	●	1	15	μA
I_{VEE}	电源电流	200ksps 采样速率, 8 个通道启用	●	-2.8	-2.2	mA
		采集模式	●	-4.9	-4.0	mA
		打盹模式	●	-1.1	-0.8	mA
		断电模式	●	-15	-1	μA

CMOS I/O 模式

OV_{DD}	电源电压		● 1.71		5.25	V
I_{VDD}	电源电流	200ksps 采样速率, 8 个通道启用	●	15.2	17.5	mA
		200ksps 采样速率, 8 个通道启用, $V_{REFBUF} = 5\text{V}$ (注 15)	●	13.4	15.4	mA
		采集模式	●	1.6	2.1	mA
		打盹模式	●	1.4	1.9	mA
		断电模式 (C 级和 I 级)	●	65	175	μA
	断电模式 (H 级)	●	65	450	μA	
I_{OVDD}	电源电流	200ksps 采样速率, 8 个通道启用 ($C_L = 25\text{pF}$)	●	1.6	2.6	mA
		采集或打盹模式	●	1	20	μA
		断电模式	●	1	20	μA
P_D	功率耗散	200ksps 采样速率, 8 个通道启用	●	140	169	mW
		采集模式	●	125	152	mW
		打盹模式	●	30	40	mW
		断电模式 (C 级和 I 级)	●	0.36	1.4	mW
		断电模式 (H 级)	●	0.36	2.8	mW

LVDS I/O 模式

OV_{DD}	电源电压		● 2.375		5.25	V
I_{VDD}	电源电流	200ksps 采样速率, 8 个通道启用	●	17.7	20.4	mA
		200ksps 采样速率, 8 个通道启用, $V_{REFBUF} = 5\text{V}$ (注 15)	●	16.1	18.5	mA
		采集模式	●	3.2	3.8	mA
		打盹模式	●	3.0	3.7	mA
		断电模式 (C 级和 I 级)	●	65	175	μA
	断电模式 (H 级)	●	65	450	μA	
I_{OVDD}	电源电流	200ksps 采样速率, 8 个通道启用 ($R_L = 100\Omega$)	●	7	8.5	mA
		采集或打盹模式 ($R_L = 100\Omega$)	●	7	8.0	mA
		断电模式	●	1	20	μA
P_D	功率耗散	200ksps 采样速率, 8 个通道启用	●	166	199	mW
		采集模式	●	151	180	mW
		打盹模式	●	55	69	mW
		断电模式 (C 级和 I 级)	●	0.36	1.4	mW
		断电模式 (H 级)	●	0.36	2.8	mW

ADC 定时特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(注 9)

符号	参数	条件	最小值	典型值	最大值	单位	
f_{SMPL}	最大采样频率	8 个通道启用	●		200	ksps	
t_{CYC}	转换之间的时间	8 个通道启用	●	5		μs	
t_{CONV}	转换时间	8 个通道启用, $1 \leq N \leq 8$	●	$450 \cdot N$	$500 \cdot N$	$550 \cdot N$	ns
t_{ACQ}	采集时间	8 个通道启用 ($t_{\text{ACQ}} = t_{\text{CYC}} - t_{\text{CONV}} - t_{\text{BUSY LH}}$)	●	570	980		ns
t_{CNVH}	CNV 高电平时间		●	40		ns	
t_{CNVL}	CNV 低电平时间		●	500		ns	
$t_{\text{BUSY LH}}$	CNV \uparrow 至 BUSY 延迟	$C_L = 25\text{pF}$	●		30	ns	
t_{QUIET}	数字 I/O 静态时间 (自 CNV \uparrow)		●	20		ns	
t_{PDH}	PD 高电平时间		●	40		ns	
t_{PDL}	PD 低电平时间		●	40		ns	
t_{WAKE}	REFBUF 唤醒时间	$C_{\text{REFBUF}} = 47\mu\text{F}$, $C_{\text{REFIN}} = 0.1\mu\text{F}$		200		ms	

CMOS I/O 模式

t_{SCKI}	SCKI 周期	(注 17、18)	●	10		ns	
t_{SCKIH}	SCKI 高电平时间		●	4		ns	
t_{SCKIL}	SCKI 低电平时间		●	4		ns	
t_{SSDISCKI}	SDI 建立时间 (自 SCKI \uparrow)	(注 17)	●	2		ns	
t_{HSDISCKI}	SDI 保持时间 (自 SCKI \uparrow)	(注 17)	●	1		ns	
t_{DSDOSCKI}	SDO 数据有效延迟 (自 SCKI \uparrow)	$C_L = 25\text{pF}$ (注 17)	●		7.5	ns	
t_{HSDOSCKI}	SDO 保持有效延迟 (自 SCKI \uparrow)	$C_L = 25\text{pF}$ (注 17)	●	1.5		ns	
t_{SKEW}	SDO 至 SCKO 时滞	(注 17)	●	-1	0	1	ns
$t_{\text{DSDOBUSYL}}$	SDO 数据有效延迟 (自 BUSY \downarrow)	$C_L = 25\text{pF}$ (注 17)	●	0		ns	
t_{EN}	$\overline{\text{CS}}\downarrow$ 之后的总线启用时间	(注 17)	●		15	ns	
t_{DIS}	$\overline{\text{CS}}\uparrow$ 之后的总线释放时间	(注 17)	●		15	ns	

LVDS I/O 模式

t_{SCKI}	SCKI 周期	(注 19)	●	4		ns	
t_{SCKIH}	SCKI 高电平时间	(注 19)	●	1.5		ns	
t_{SCKIL}	SCKI 低电平时间	(注 19)	●	1.5		ns	
t_{SSDISCKI}	SDI 建立时间 (自 SCKI)	(注 11、19)	●	1.2		ns	
t_{HSDISCKI}	SDI 保持时间 (自 SCKI)	(注 11、19)	●	-0.2		ns	
t_{DSDOSCKI}	SDO 数据有效延迟 (自 SCKI)	(注 11、19)	●		6	ns	
t_{HSDOSCKI}	SDO 保持有效延迟 (自 SCKI)	(注 11、19)	●	1		ns	
t_{SKEW}	SDO 至 SCKO 时滞	(注 11)	●	-0.4	0	0.4	ns
$t_{\text{DSDOBUSYL}}$	SDO 数据有效延迟 (自 BUSY \downarrow)	(注 11)	●	0		ns	
t_{EN}	$\overline{\text{CS}}\downarrow$ 之后的总线启用时间		●		50	ns	
t_{DIS}	$\overline{\text{CS}}\uparrow$ 之后的总线释放时间		●		15	ns	

ADC 定时特性

注 1：高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2：所有的电压值均以地电位基准。

注 3： V_{DDLBYP} 是一个内部电压调节器的输出，且应只连接至一个 $2.2\mu\text{F}$ 陶瓷电容器以把该引脚旁路至 GND，如“引脚功能”部分所述。不要把该引脚连接至任何外部电路。

注 4：当把这些引脚电压拉至低于 V_{EE} 或高于 V_{CC} 时，它们将被内部二极管所箝位。在低于 V_{EE} 或者高于 V_{CC} 的情况下，本产品能处理高达 100mA 的电流，且不会发生闭锁。

注 5：当把这些引脚电压拉至低于地电位或者高于 V_{DD} 或 $0V_{DD}$ 时，它们将被内部二极管所箝位。在低于地电位或者高于 V_{DD} 或 $0V_{DD}$ 的情况下，本产品能处理高达 100mA 的电流，且不会发生闭锁。

注 6： $-16.5\text{V} \leq V_{EE} \leq 0\text{V}$, $0\text{V} \leq V_{CC} \leq 38\text{V}$, $10\text{V} \leq (V_{CC} - V_{EE}) \leq 38\text{V}$, $V_{DD} = 5\text{V}$ ，除非特别注明。

注 7：推荐的工作条件。

注 8：超过任何通道上的这些限值都有可能损坏其他通道上的转换结果。请查阅“绝对最大额定值”部分以了解与器件可靠性有关的引脚电压限值。

注 9： $V_{CC} = 15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $0V_{DD} = 2.5\text{V}$, $f_{\text{SMPL}} = 200\text{kpsps}$ ，内部基准和缓冲器，双极 SoftSpan 范围中的真正双极输入信号驱动，单极 SoftSpan 范围中的单极输入信号驱动，除非特别注明。

注 10：积分非线性被定义为一个代码相对一根穿过转移函数曲线实际端点的直线的偏离程度。该偏离是以量化频带的中心为起点进行测量的。

注 11：由设计提供保证，未经测试。

注 12：对于双极 SoftSpan 范围 7、6、3 和 2，零标度误差是输出代码在 00 0000 0000 0000 和 11 1111 1111 1111 1111 之间摆动时以 -0.5LSB 为起点所测得的偏移电压。这些 SoftSpan 范围的全标度误差是相对于理想的首次和末次代码变换的最坏情况偏离，并包括偏移误差的影响。对于单极 SoftSpan 范围 5、4 和 1，零标度误差是输出代码在 00 0000 0000 0000 0000 和 00 0000 0000 0000 0001 之间摆动时以 0.5LSB 为起点所测得的偏移电压。这些 SoftSpan 范围的全标度误差是相对于理想的首次和末次代码变换的最坏情况偏离，并包括偏移误差的影响。

注 13：所有以 dB 为单位的规格均参考于一个位于相关 SoftSpan 输入范围内的全标度输入，串扰除外（其参考于串扰抑制信号幅度）。

注 14：温度系数通过用输出电压的最大变化除以规定的温度范围进行计算。

注 15：当 REFBUF 被过驱动时，必须通过设定 $\text{REFIN} = 0\text{V}$ 来停用内部基准缓冲器。

注 16： I_{REFBUF} 随着采样速率和工作通道的数目成比例地变化。

注 17：在 $0V_{DD} = 1.71\text{V}$ 、 $0V_{DD} = 2.5\text{V}$ 和 $0V_{DD} = 5.25\text{V}$ 的条件下对参数提供测试与保证。

注 18： 10ns (最小值) 的 t_{SCKI} 周期可提供一个用于上升沿捕获的高达 100MHz 的移位时钟频率。

注 19： $V_{\text{ICM}} = 1.2\text{V}$, $V_{\text{ID}} = 350\text{mV}$ (用于 LVDS 差分输入对)。

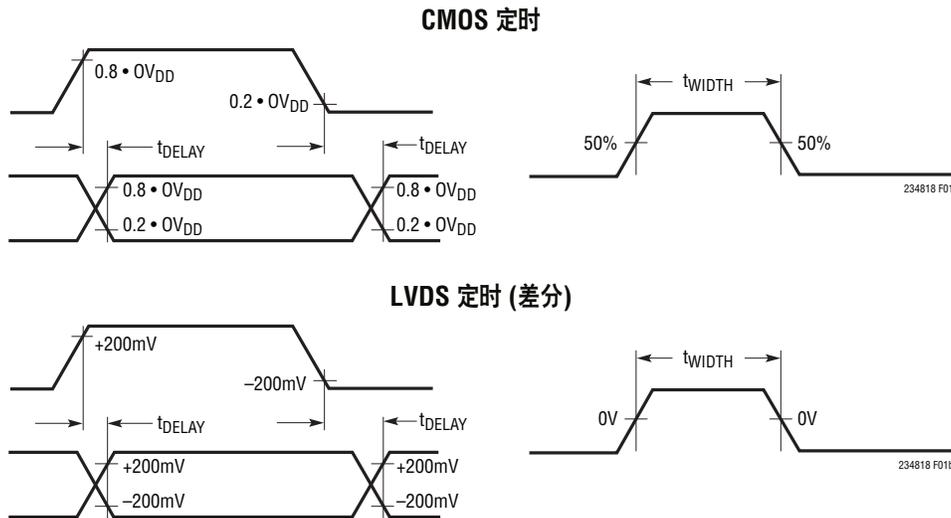
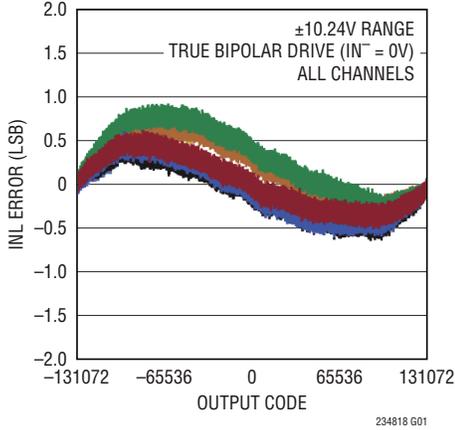


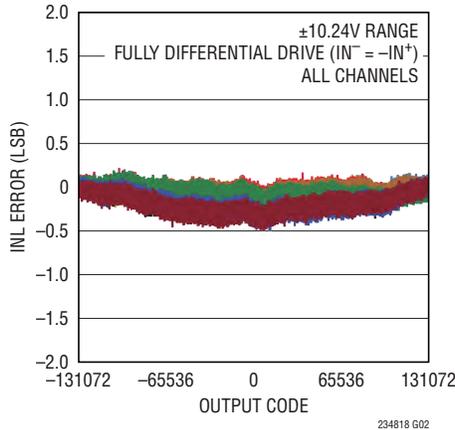
图 1：用于定时规格的电压电平

典型性能特征 $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $0V_{DD} = 2.5\text{V}$, 内部基准和缓冲器($V_{REFBUF} = 4.096\text{V}$), $f_{SAMPL} = 200\text{ksps}$, 除非特别注明。

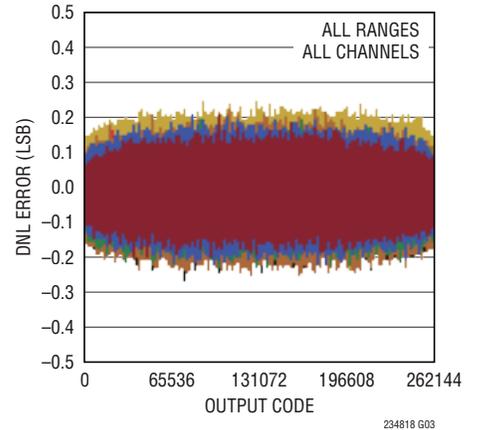
积分非线性与输出代码和通道的关系



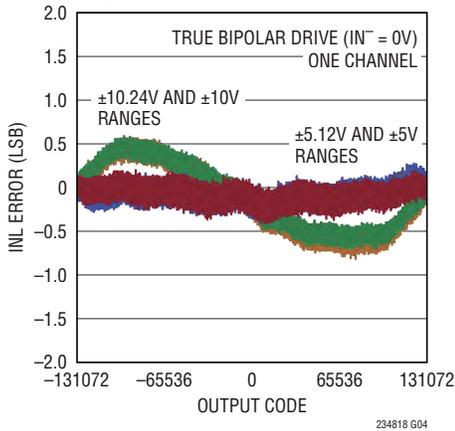
积分非线性与输出代码和通道的关系



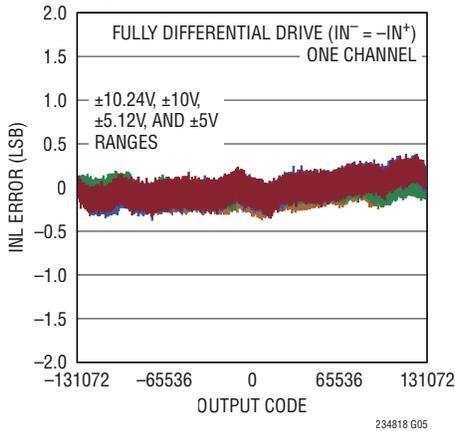
差分非线性与输出代码和通道的关系



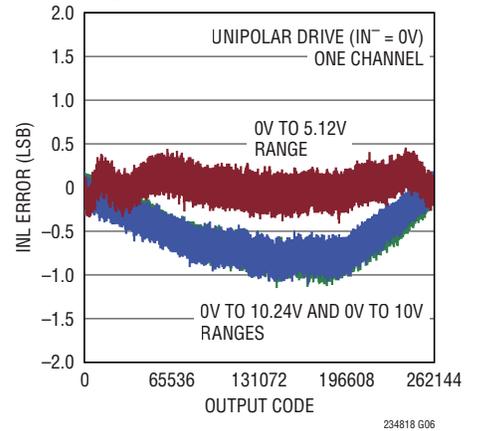
积分非线性与输出代码和范围的关系



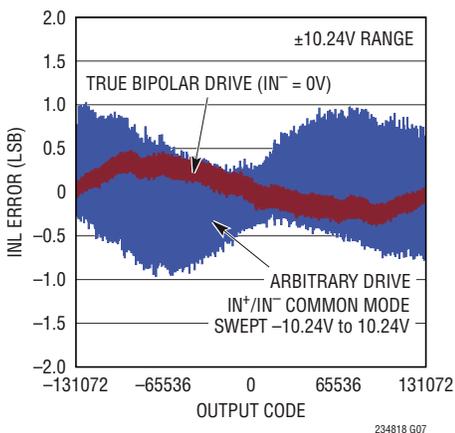
积分非线性与输出代码和范围的关系



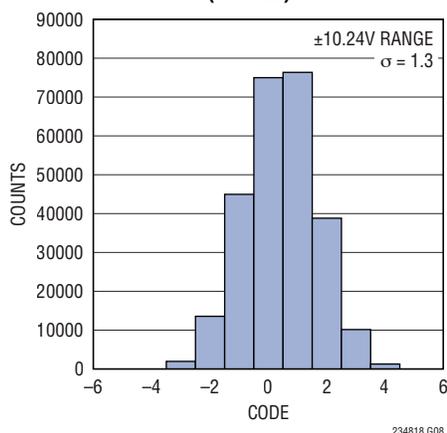
积分非线性与输出代码和范围的关系



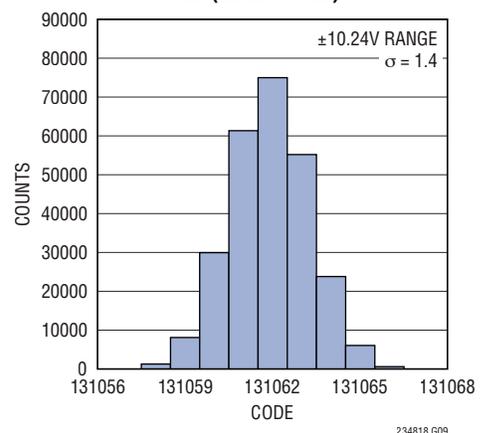
积分非线性与输出代码的关系



DC 直方图 (零标度)



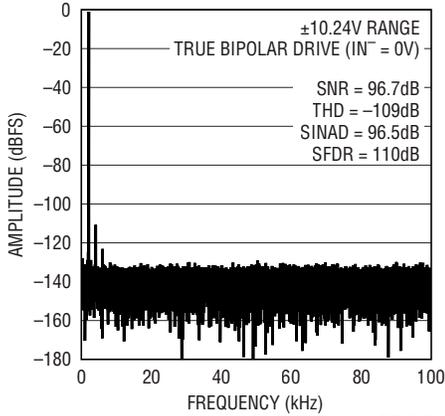
DC 直方图 (接近全标度)



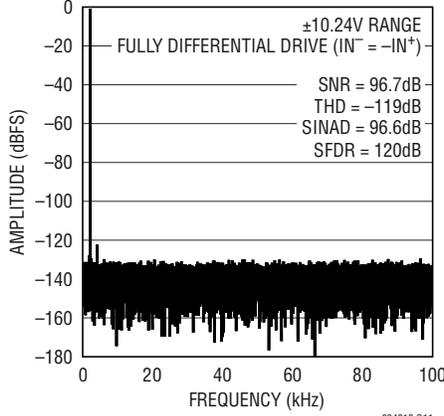
LTC2348-18

典型性能特征 $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $0V_{DD} = 2.5\text{V}$, 内部基准和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{SMPL} = 200\text{ksps}$, 除非特别注明。

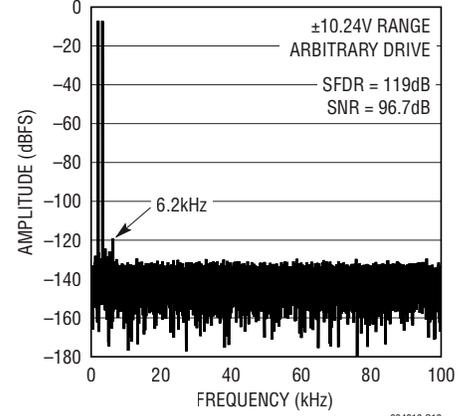
32k 点 FFT, $f_{SMPL} = 200\text{kHz}$, $f_{IN} = 2\text{kHz}$



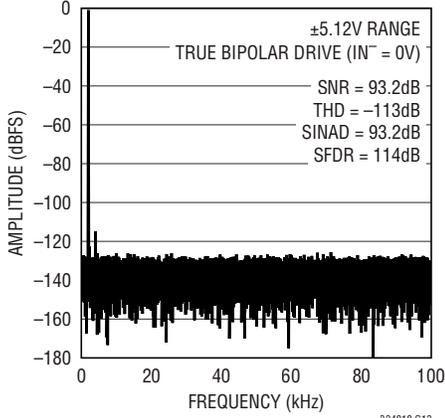
32k 点 FFT, $f_{SMPL} = 200\text{kHz}$, $f_{IN} = 2\text{kHz}$



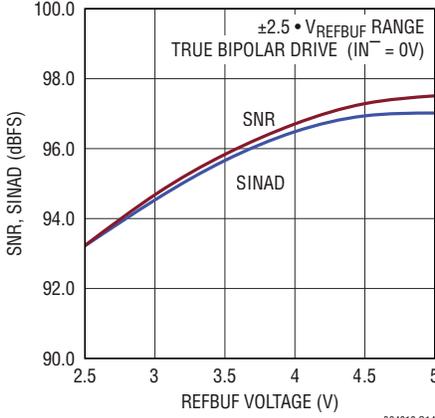
32k 点任意双音 FFT, $f_{SMPL} = 200\text{kHz}$, $IN^+ = -7\text{dBFS } 2\text{kHz}$ 正弦, $IN^- = -7\text{dBFS } 3.1\text{kHz}$ 正弦



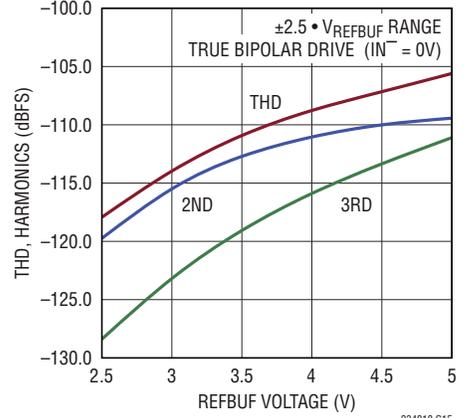
32k 点 FFT, $f_{SMPL} = 200\text{kHz}$, $f_{IN} = 2\text{kHz}$



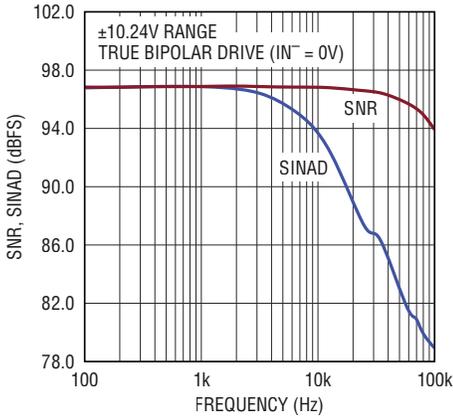
SNR、SINAD 与 V_{REFBUF} 的关系, $f_{IN} = 2\text{kHz}$



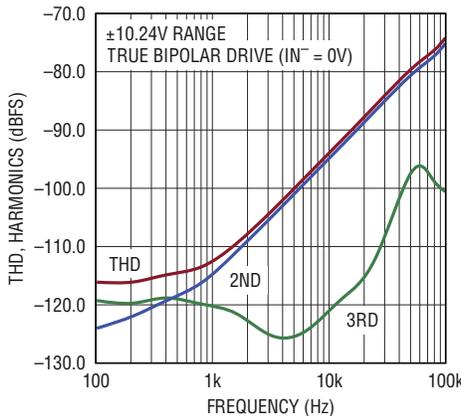
THD 谐波与 V_{REFBUF} 的关系, $f_{IN} = 2\text{kHz}$



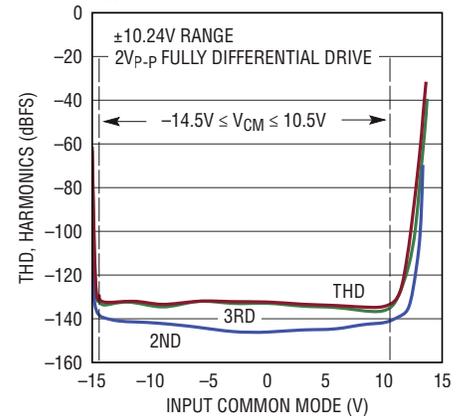
SNR、SINAD 与输入频率的关系



THD、谐波与输入频率的关系



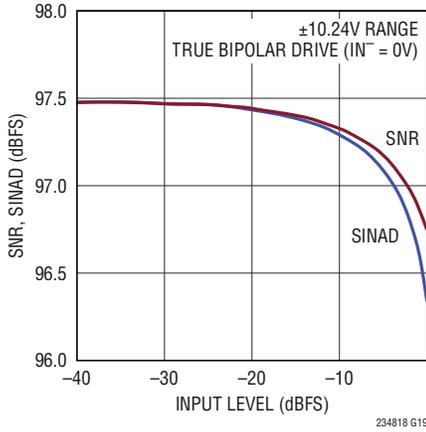
THD、谐波与输入共模的关系, $f_{IN} = 2\text{kHz}$



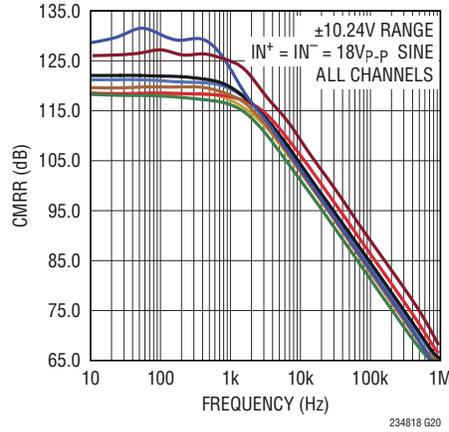
234818f

典型性能特征 $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $0V_{DD} = 2.5\text{V}$, 内部基准和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{\text{SMPL}} = 200\text{ksps}$, 除非特别注明。

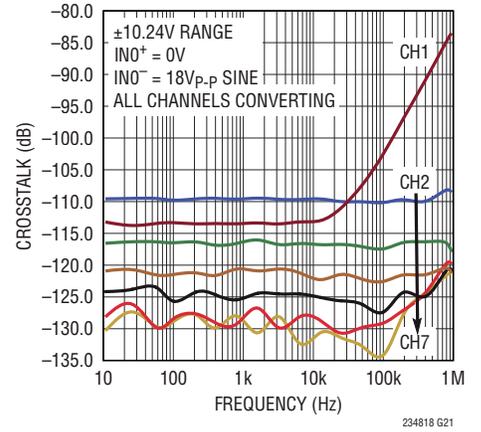
SNR、SINAD 与输入电平的关系， $f_{\text{IN}} = 2\text{kHz}$



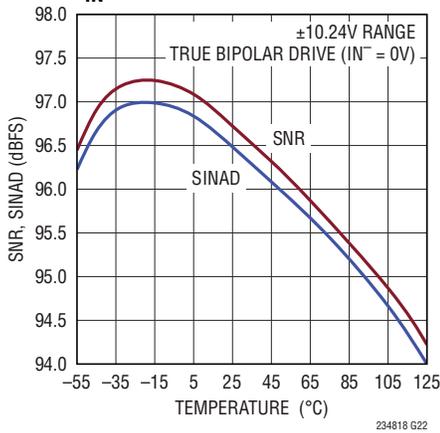
CMRR 与输入频率和通道的关系



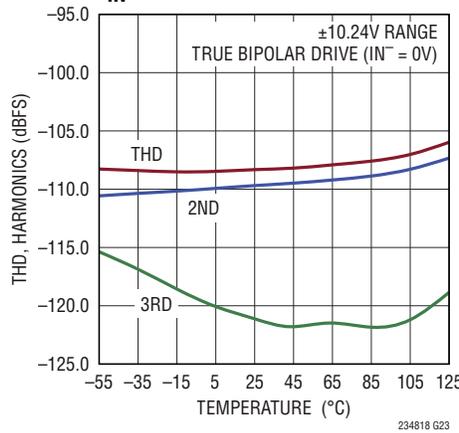
串扰与输入频率和通道的关系



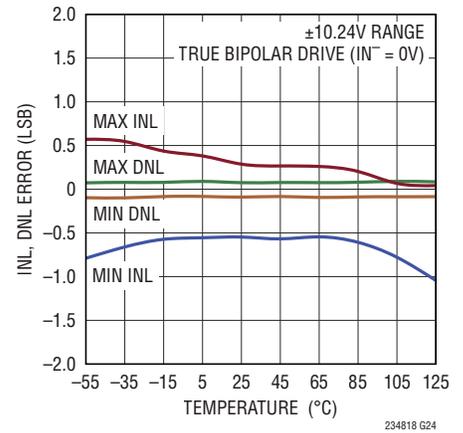
SNR、SINAD 与温度的关系， $f_{\text{IN}} = 2\text{kHz}$



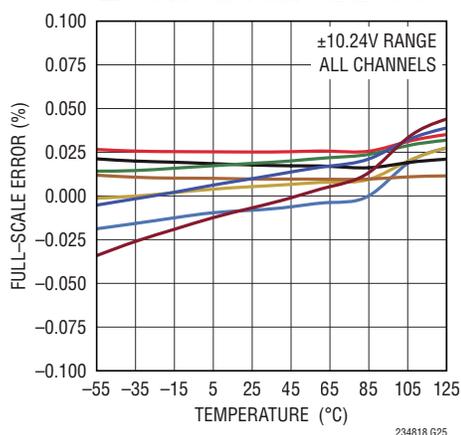
THD、谐波与温度的关系曲线 $f_{\text{IN}} = 2\text{kHz}$



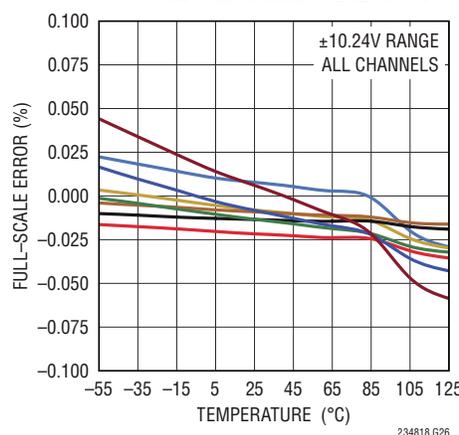
INL/DNL 与温度的关系曲线



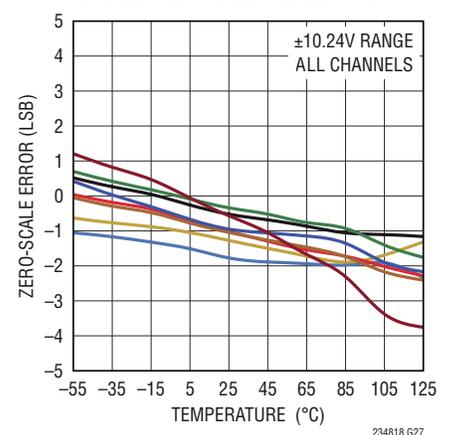
正全标度误差与温度和通道的关系



负全标度误差与温度和通道的关系



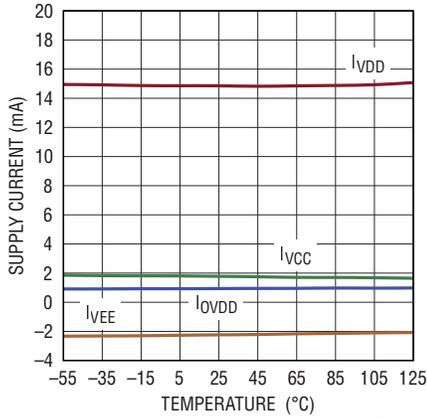
零标度误差与温度和通道的关系



LTC2348-18

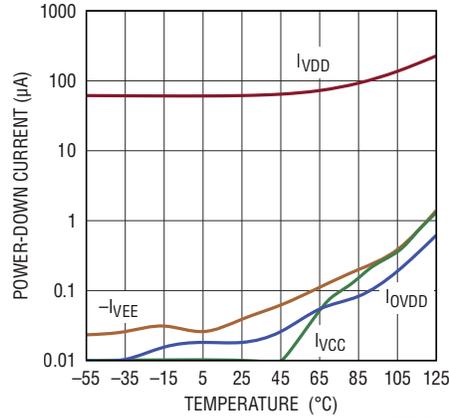
典型性能特征 $T_A = 25^\circ\text{C}$, $V_{CC} = +15\text{V}$, $V_{EE} = -15\text{V}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, 内部基准和缓冲器 ($V_{REFBUF} = 4.096\text{V}$), $f_{SAMPL} = 200\text{ksps}$, 除非特别注明。

电源电流与温度的关系



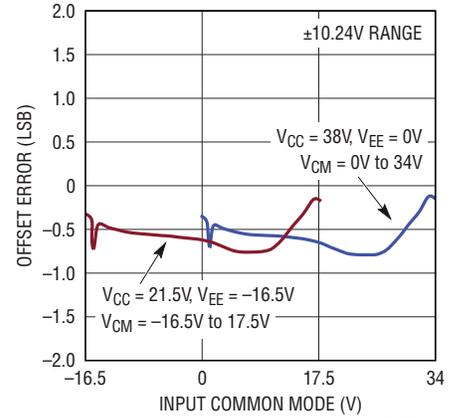
234818 G28

断电电流与温度的关系



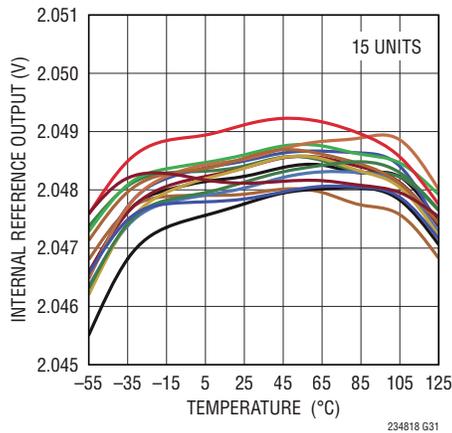
234818 G29

偏移误差与输入共模电压的关系



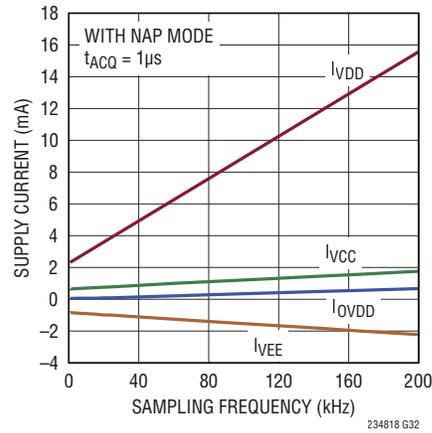
234818 G30

内部基准输出与温度的关系



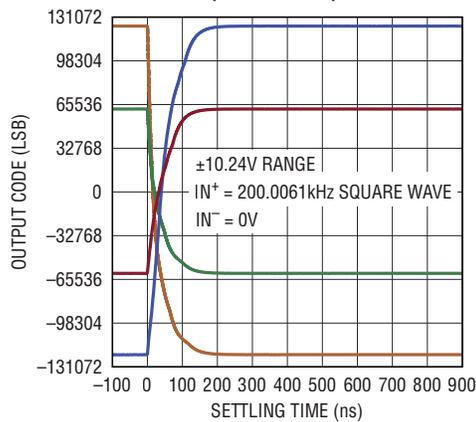
234818 G31

电源电流与采样速率的关系



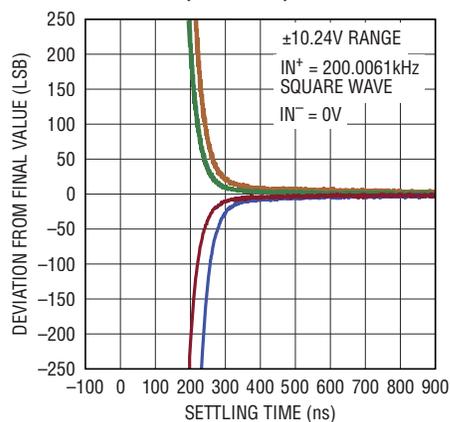
234818 G32

阶跃响应 (大信号稳定)



234818 G33

阶跃响应 (精细稳定)



234818 G34

234818f

引脚功能

对于所有数字 I/O 模式相同的引脚。

IN0⁺ 至 IN7⁺, IN0⁻ 至 IN7⁻ (引脚 1、2、3、4、5、6、7、8、9、10、11、12、13、14、47 和 48)：正和负模拟输入，通道 0 至 7。转换器同时为所有的通道提供采样和数字处理 ($V_{IN+} - V_{IN-}$)。宽输入共模范围 ($V_{EE} \leq V_{CM} \leq V_{CC} - 4V$) 和高共模抑制允许输入接受多种信号摆幅。全标度输入范围由通道的 SoftSpan 配置决定。

GND (引脚 15、18、20、30、41、44、46)：地。把所有的 GND 引脚焊接至一个完整的接地平面。

V_{CC} (引脚 16)：正高电压电源。 V_{CC} 的范围为 0V 至 38V (相对于 GND) 和 10V 至 38V (相对于 V_{EE})。通过一个 0.1 μ F 陶瓷电容器将 V_{CC} 旁路至靠近该引脚的 GND。在那些 V_{CC} 短接至 GND 的应用中，可以去掉这个电容器。

V_{EE} (引脚 17、45)：负高电压电源。 V_{EE} 的范围为 0V 至 -16.5V (相对于 GND) 和 -10V 至 -38V (相对于 V_{CC})。把引脚 17 和引脚 45 连接在一起，并通过一个 0.1 μ F 陶瓷电容器将 V_{EE} 网络旁路至靠近引脚 17 的 GND。在那些 V_{EE} 短接至 GND 的应用中，可以去掉这个电容器。

REFIN (引脚 19)：带隙基准输出 / 基准缓冲器输入。一个内部带隙基准在该引脚上提供 2.048V 的标称输出。一个内部基准缓冲器放大 V_{REFIN} 以在 REFBUF 引脚上产生转换器主控器基准电压 $V_{REFBUF} = 2 \cdot V_{REFIN}$ 。当采用内部基准时，通过一个 0.1 μ F 陶瓷电容器将 REFIN 旁路至靠近该引脚的 GND (引脚 20)，以滤除带隙输出噪声。如果需要更高的准确度，则采用一个电压介于 1.25V 至 2.2V 之间的外部基准对 REFIN 进行过驱动。

REFBUF (引脚 21)：内部基准缓冲器输出。一个内部基准缓冲器放大 V_{REFIN} 以在该引脚上产生转换器主控器基准电压 $V_{REFBUF} = 2 \cdot V_{REFIN}$ ，当采用内部带隙基准时其标称值为 4.096V。通过一个 47 μ F 陶瓷电容器将 REFBUF 旁路至

靠近该引脚的 GND (引脚 20)。内部基准缓冲器可通过将其输入接地在 REFIN 来停用。当缓冲器被停用时，采用一个介于 2.5V 至 5V 之间的外部基准电压对 REFBUF 进行过驱动。当采用内部基准缓冲器时，把连接至 REFBUF 的任何外部电路的负载限制在 10 μ A 以下。建议采用一个高输入阻抗放大器将 V_{REFBUF} 缓冲至任何外部电路。

PD (引脚 22)：断电输入。当该引脚被拉至高电平时，LTC2348-18 断电并忽略后续的转换请求。如果这出现在某个转换期间，则器件将在转换完成之后立即断电。如果该引脚被两次拉至高电平且其间未插进一个转换操作，则启动一个内部全局复位，这等效于一个上电复位过程。逻辑电平由 OV_{DD} 决定。

LVDS/ \overline{CMOS} (引脚 23)：I/O 模式选择。将该引脚连接至 OV_{DD} (以选择 LVDS I/O 模式)，或连接至地 (以选择 CMOS I/O 模式)。逻辑电平由 OV_{DD} 决定。

CNV (引脚 24)：转换起动输入。该引脚上的一个上升沿把内部采样及保持电路置于保持模式，并启动一个新的转换。CNV 并非由 \overline{CS} 选通，因而使得转换的启动与串行 I/O 总线的状态无关。

BUSY (引脚 38)：忙碌输出。BUSY 信号指示某个转换正在进行之中。该引脚在每个转换开始的时候从低电平变换至高电平，并保持高电平至转换完成为止。逻辑电平由 OV_{DD} 决定。

V_{DDL}BYP (引脚 40)：内部 2.5V 稳压器旁路引脚。该引脚上的电压是通过一个依靠 V_{DD} 供电运作的内部稳压器产生的。必须通过一个 2.2 μ F 陶瓷电容器将该引脚旁路至靠近该引脚 GND。不要把该引脚连接至任何外部电路。

V_{DD} (引脚 42、43)：5V 电源。 V_{DD} 的范围为 4.75V 至 5.25V。把引脚 42 和 43 连接在一起，并通过一个靠近这些引脚的共享 0.1 μ F 陶瓷电容器把 V_{DD} 网络旁路至 GND。

引脚功能

CMOS I/O 模式

SD00 至 SD07 (引脚 25、26、27、28、33、34、35 和 36) : CMOS 串行数据输出。通道 0 至 7。在 SCKI 的每个上升沿上，最新的转换结果和通道配置信息一起由时钟同步输出至 SDO 引脚。输出数据格式在“数字接口”部分描述。把未用的 SDO 输出置于不连接状态。逻辑电平由 OV_{DD} 决定。

SCKI (引脚 29) : CMOS 串行时钟输入。利用串行 I/O 时钟来驱动 SCKI。SCKI 上升沿把串行数据锁入至 SDI 上，并由时钟将串行数据同步输出到 SD00 至 SD07 上。对于标准的 SPI 总线操作，在 SCKI 的上升沿于接收器上捕捉输出数据。SCKI 允许闲置于高电平或低电平。逻辑电平由 OV_{DD} 决定。

OV_{DD} (引脚 31) : I/O 接口电源。在 CMOS I/O 模式中， OV_{DD} 的范围为 1.71V 至 5.25V。通过一个 0.1 μ F 陶瓷电容器将 OV_{DD} 旁路至靠近该引脚的 GND (引脚 30)。

SCKO (引脚 32) : CMOS 串行时钟输出。SCKI 上升沿触发 SCKO 上与 SD00 至 SD07 上的串行输出数据流时滞匹配的转换。最终产生的 SCKO 频率为 SCKI 频率的一半。SCKO 的上升沿和下降沿可用于以双倍数据速率 (DDR) 形式在接收器 (FPGA) 上捕捉 SDO 数据。对于标准 SPI 总线操作，SCKO 未使用且应置于不连接状态。在 BUSY 的下降沿上强制 SCKO 为低电平。逻辑电平由 OV_{DD} 决定。

SDI (引脚 37) : CMOS 串行数据输入。利用锁存在 SCKI 上升沿上的期望 24 位 SoftSpan 配置字 (见表 1a) 来驱动该引脚。如果所有通道均将被配置为仅运作于 SoftSpan 7，则把 SDI 连接至 OV_{DD} 。逻辑电平由 OV_{DD} 决定。

\overline{CS} (引脚 39) : 芯片选择输入。串行数据 I/O 总线在 \overline{CS} 为低电平时被使能，而在 \overline{CS} 为高电平时则被停用并呈高阻抗。另外， \overline{CS} 还负责选通外部移位时钟、SCKI。逻辑电平由 OV_{DD} 决定。

LVDS I/O 模式

SD00, SD07 (引脚 25 和 36) : CMOS 串行数据输出。在 LVDS I/O 模式中，这些引脚呈高阻抗。

SDI⁺, SDI⁻ (引脚 26 和 27) : LVDS 正和负串行数据输入。利用锁存在 SCKI⁺/SCKI⁻ 上升沿和下降沿上的期望 24 位 SoftSpan 配置字 (见表 1a) 对 SDI⁺/SDI⁻ 进行差分驱动。当 $\overline{CS} = 0$ 时，SDI⁺/SDI⁻ 输入对利用一个 100 Ω 差分电阻器在内部终接。

SCKI⁺, SCKI⁻ (引脚 28 和 29) : LVDS 正和负串行时钟输入。利用串行 I/O 时钟对 SCKI⁺/SCKI⁻ 进行差分驱动。SCKI⁺/SCKI⁻ 上升沿和下降沿把串行数据锁入到 SDI⁺/SDI⁻ 上，并由时钟在 SDO⁺/SDO⁻ 上同步输出串行数据。使 SCKI⁺/SCKI⁻ 闲置在低电平，包括在转换 \overline{CS} 的时候。当 $\overline{CS} = 0$ 时，SCKI⁺/SCKI⁻ 输入对利用一个 100 Ω 差分电阻器在内部终接。

OV_{DD} (引脚 31) : I/O 接口电源。在 LVDS I/O 模式中， OV_{DD} 的范围为 2.375V 至 5.25V。通过一个 0.1 μ F 陶瓷电容器将 OV_{DD} 旁路至靠近该引脚的 GND (引脚 30)。

SCKO⁺, SCKO⁻ (引脚 32 和 33) : LVDS 正和负串行时钟输出。SCKO⁺/SCKO⁻ 输出在 SCKI⁺/SCKI⁻ 上接收的输入串行 I/O 时钟的副本 (其与 SDO⁺/SDO⁻ 上的串行输出数据流时滞匹配)。采用 SCKO⁺/SCKO⁻ 的上升沿和下降沿以在接收器 (FPGA) 上捕捉 SDO⁺/SDO⁻ 数据。必须利用一个 100 Ω 电阻器以差分的方式把 SCKO⁺/SCKO⁻ 输出对终接在接收器 (FPGA)。

SDO⁺, SDO⁻ (引脚 34 和 35) : LVDS 正和负串行数据输出。在 SCKI⁺/SCKI⁻ 的上升沿和下降沿上，最新的转换结果和通道配置信息一起由时钟同步输出至 SDO⁺/SDO⁻ (从通道 0 开始)。必须利用一个 100 Ω 电阻器以差分的方式把 SDO⁺/SDO⁻ 输出对终接在接收器 (FPGA)。

\overline{CS} (引脚 39) : 芯片选择输入。串行数据 I/O 总线在 \overline{CS} 为低电平时被使能，而在 \overline{CS} 为高电平时则被停用并呈高阻抗。另外， \overline{CS} 还负责选通外部移位时钟、SCKI⁺/SCKI⁻。SCKI⁺/SCKI⁻ 和 SDI⁺/SDI⁻ 输入对上的内部 100 Ω 差分终接电阻器在 \overline{CS} 为高电平时被停用。逻辑电平由 OV_{DD} 决定。

配置表

表 1a：SoftSpan 配置表。采用该表和表 1b 以根据期望的模拟输入范围来选择用于每个通道的独立二进制 SoftSpan 代码 SS[2:0]。组合 SoftSpan 代码以形成 24 位 SoftSpan 配置字 S[23:0]。使用串行接口以将 SoftSpan 配置字写至 LTC2348-18，如图 19 所示。

二进制 SoftSpan 代码 SS[2:0]	模拟输入范围	全标度范围	转换结果的二进制格式
111	$\pm 2.5 \cdot V_{REFBUF}$	$5 \cdot V_{REFBUF}$	二进制补码
110	$\pm 2.5 \cdot V_{REFBUF}/1.024$	$5 \cdot V_{REFBUF}/1.024$	二进制补码
101	0V 至 $2.5 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	直接二进制
100	0V 至 $2.5 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	直接二进制
011	$\pm 1.25 \cdot V_{REFBUF}$	$2.5 \cdot V_{REFBUF}$	二进制补码
010	$\pm 1.25 \cdot V_{REFBUF}/1.024$	$2.5 \cdot V_{REFBUF}/1.024$	二进制补码
001	0V 至 $1.25 \cdot V_{REFBUF}$	$1.25 \cdot V_{REFBUF}$	直接二进制
000	通道被停用	通道被停用	全是零

表 1b：基准配置表。LTC2348-18 支持三种基准配置。模拟输入范围随转换器主控器基准电压 V_{REFBUF} 而调节。

基准配置	V_{REFIN}	V_{REFBUF}	二进制 SoftSpan 代码 SS[2:0]	模拟输入范围
具内部缓冲器的内部基准	2.048V	4.096V	111	$\pm 10.24V$
			110	$\pm 10V$
			101	0V 至 10.24V
			100	0V 至 10V
			011	$\pm 5.12V$
			010	$\pm 5V$
			001	0V 至 5.12V
具内部缓冲器的外部基准 (从外部对 REF _{IN} 引脚进行过驱动)	1.25V (最小值)	2.5V	111	$\pm 6.25V$
			110	$\pm 6.104V$
			101	0V 至 6.25V
			100	0V 至 6.104V
			011	$\pm 3.125V$
			010	$\pm 3.052V$
			001	0V 至 3.125V
	2.2V (最大值)	4.4V	111	$\pm 11V$
			110	$\pm 10.742V$
			101	0V 至 11V
			100	0V 至 10.742V
			011	$\pm 5.5V$
			010	$\pm 5.371V$
			001	0V 至 5.5V

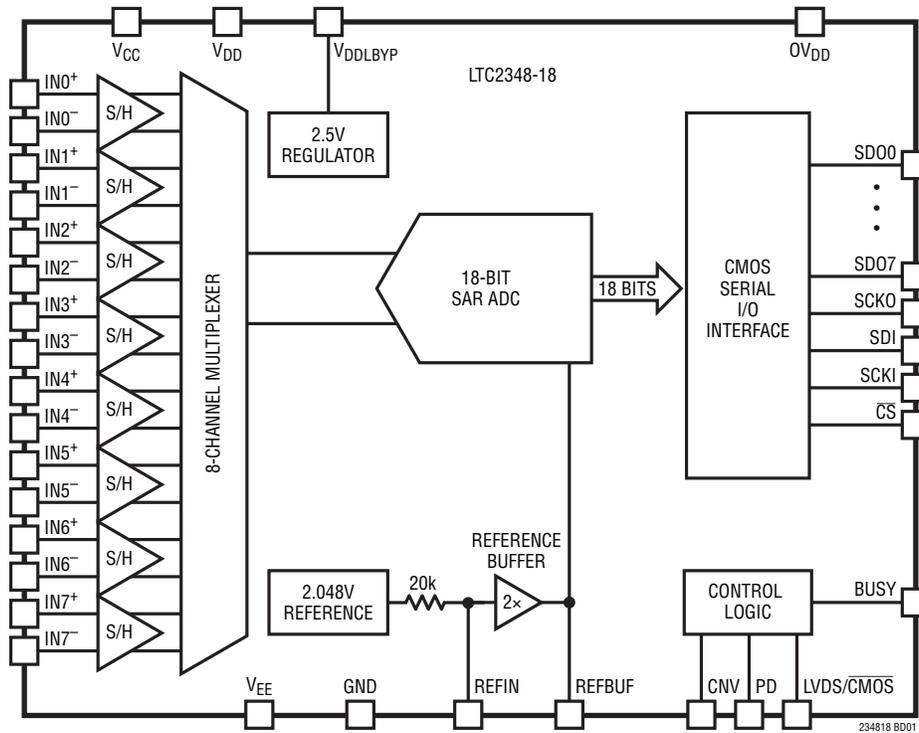
配置表

表 1b：基准配置表 (续)。LTC2348-18 支持三种基准配置。模拟输入范围随转换器主控器基准电压 V_{REFBUF} 而调节。

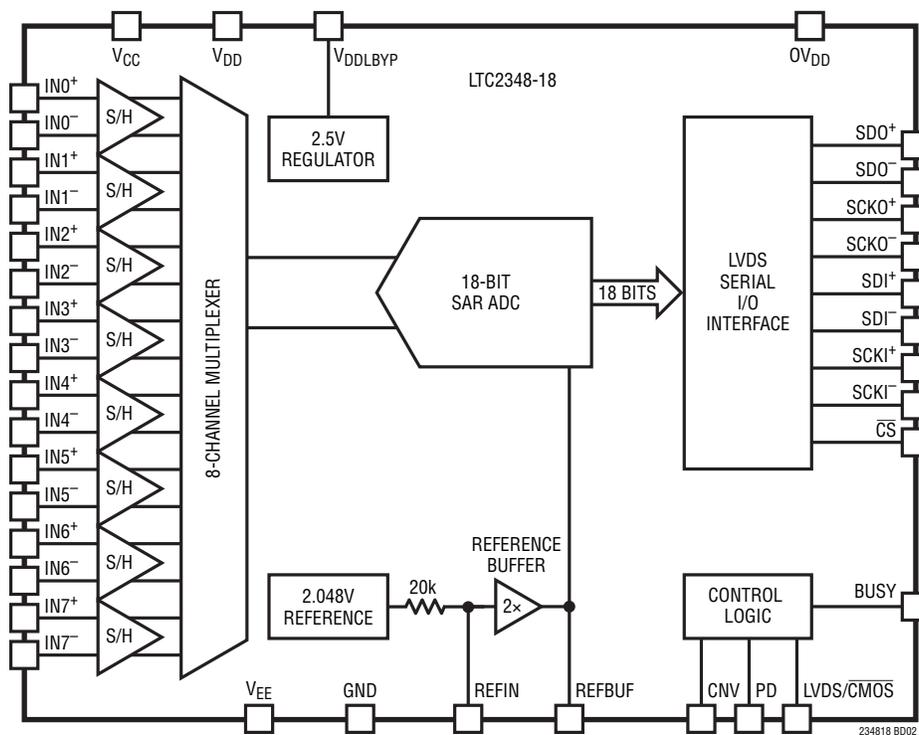
基准配置	V_{REFIN}	V_{REFBUF}	二进制 SoftSpan 代码 SS[2:0]	模拟输入范围
外部基准 无缓冲 (从外部对 REFBUF 引脚进行过驱动， REFIN 引脚接地)	0V	2.5V (最小值)	111	±6.25V
			110	±6.104V
			101	0V 至 6.25V
			100	0V 至 6.104V
			011	±3.125V
			010	±3.052V
			001	0V 至 3.125V
	0V	5V (最大值)	111	±12.5V
			110	±12.207V
			101	0V 至 12.5V
			100	0V 至 12.207V
			011	±6.25V
			010	±6.104V
			001	0V 至 6.25V

功能方框图

CMOS I/O 模式



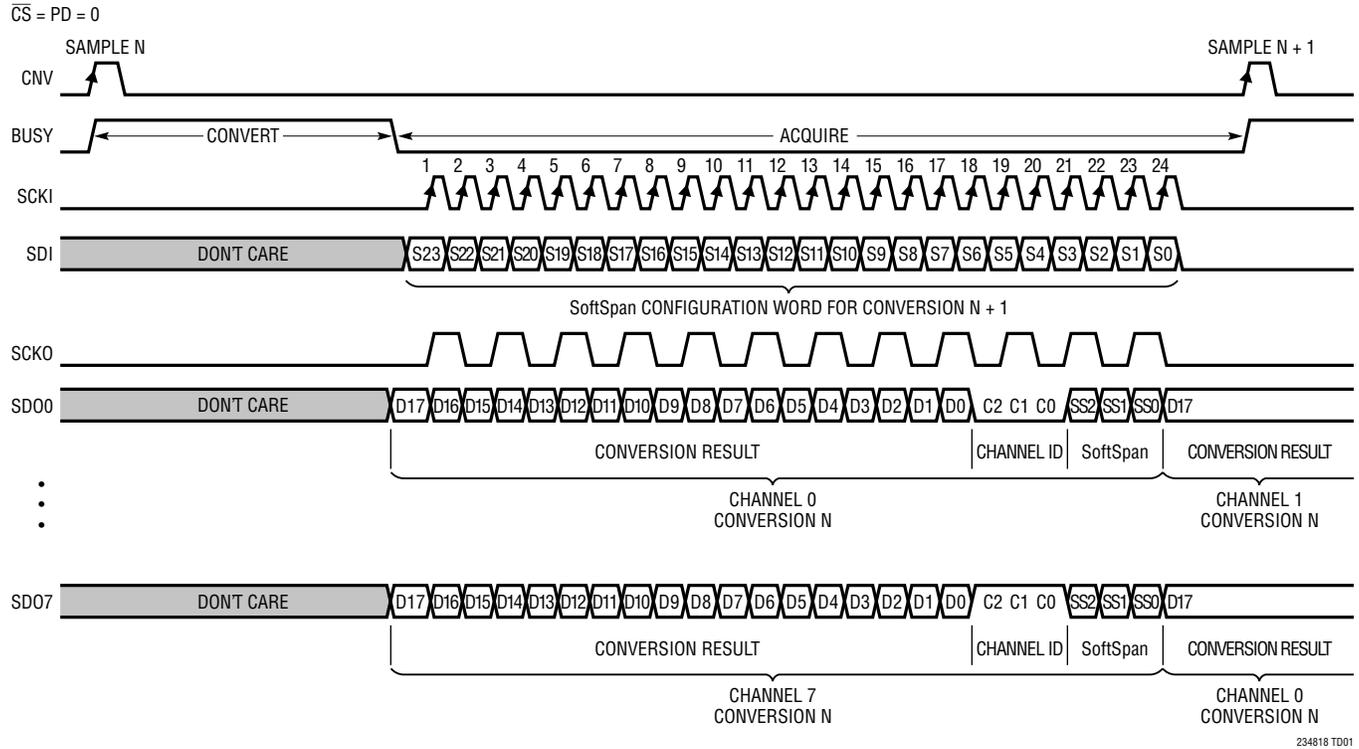
LVDS I/O 模式



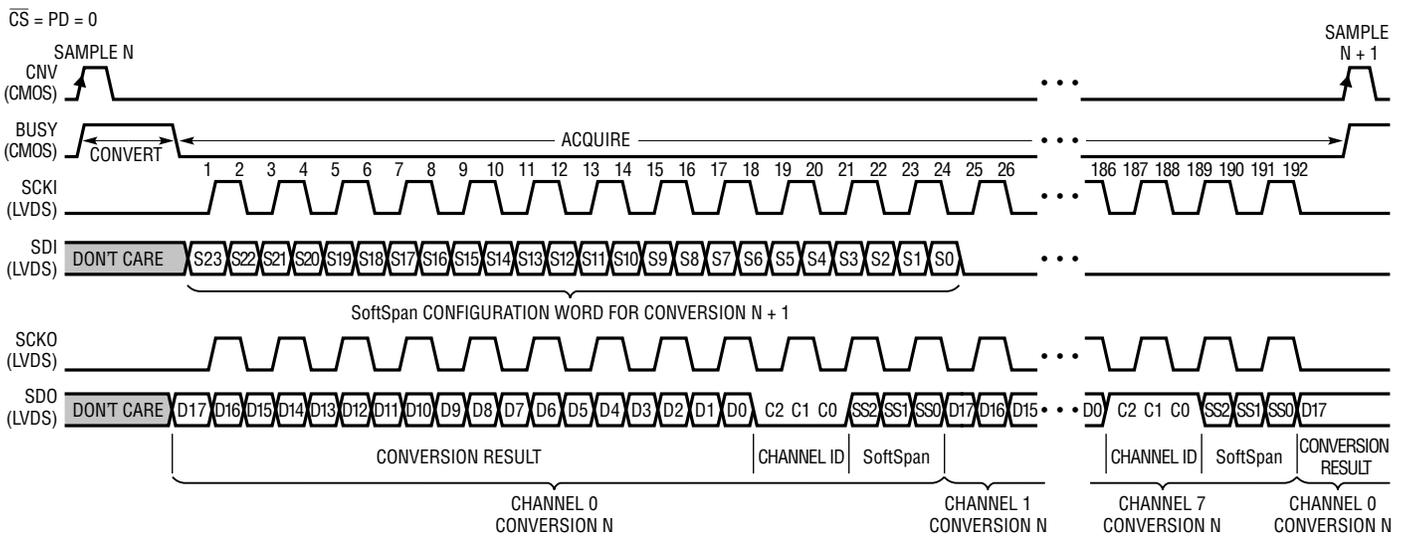
234818f

时序图

CMOS I/O 模式



LVDS I/O 模式



应用信息

概述

LTC2348-18 是一款 18 位、低噪声、8 通道同时采样逐次逼近型寄存器 (SAR) ADC，其具有差分、宽共模范围输入。该 ADC 采用一个 5V 低电压电源和灵活的高电压电源 (标称值为 $\pm 15V$)。通过使用集成型低漂移基准和缓冲器 ($V_{REFBUF} = 4.096V$ 标称值)，该 SoftSpan ADC 的每个通道可按“逐个转换”的方式进行配置，以接受 $\pm 10.24V$ 、 $0V$ 至 $10.24V$ 、 $\pm 5.12V$ 或 $0V$ 至 $5.12V$ 信号。可采用一个外部 5V 基准把输入信号范围扩展至高达 $\pm 12.5V$ 。另外，还可以停用个别通道以增加其余通道的吞吐量。

LTC2348-18 模拟输入的宽输入共模范围和高 CMRR (118dB 典型值， $V_{IN+} - V_{IN-} = 18V_{p-p}$ 200Hz 正弦) 使得该 ADC 能够直接对多种信号进行数字处理，从而简化了信号链路设计。绝对共模输入范围由高电压电源的选择来决定，其可围绕地电位施加不对称的偏置，并具有把正电源或负电源直接连接至地的能力。这种输入信号完整性，再加上 $\pm 3LSB$ INL、无漏失码 (在 18 位) 和 96.7dB SNR，使 LTC2348-18 非常适合于许多要求宽动态范围的高电压应用。

LTC2348-18 支持引脚可选的 SPI CMOS (1.8V 至 5V) 和 LVDS 串行接口，从而使其能够与老式微控制器和新式 FPGA 进行同样良好的通信。在 CMOS 模式中，应用电路可以使用 1 至 8 个串行输出数据通道，因而允许用户优化总线宽度和数据吞吐量。当以每通道 200ksps 的吞吐速率同时对 8 个模拟输入通道进行转换时，LTC2348-18 通常消耗 140mW 的功率。可以采用任选的打盹和断电模式以进一步降低待机期间的功耗。

转换器操作

LTC2348-18 的操作分两个阶段。在采集阶段中，每个通道的采样及保持 (S/H) 电路中的采样电容器连接至其各自的模拟输入引脚并跟踪差分模拟输入电压 ($V_{IN+} - V_{IN-}$)。CNV 引脚上的一个上升沿使所有通道的 S/H 电路从跟踪模式转换至保持模式，在所有通道上同时进行输入信号的采样并启动一个转换。在转换阶段中，每个通道的采样电容器被连接 (一次一个通道) 至一个 18 位电荷再分布电容器 D/A 转换器 (CDAC)。该 CDAC 通过一种逐次逼近算法进行排序，并采用一个差分比较器有效地比较采样输入电压与通道的 SoftSpan 全标度范围的二进制加权分数 (例如： $V_{FSR}/2$ ， $V_{FSR}/4 \dots V_{FSR}/262144$)。在该过程结束时，CDAC 的输出近似于通道的采样模拟输入。一旦所有的通道均以这种方式进行了转换，ADC 控制逻辑即为串行传输准备了取自每个通道的 18 位数字输出代码。

转移函数

LTC2348-18 把每个通道的全标度电压范围数字化为 2^{18} 个电平。一个通道的 SoftSpan 配置与 ADC 主控器基准电压 V_{REFBUF} 一起决定了其输入电压范围、全标度范围、LSB 大小、及其转换结果的二进制格式，如表 1a 和 1b 所示。例如，通过采用内部基准和缓冲器 ($V_{REFBUF} = 4.096V$ 标称值)，SoftSpan 7 配置一个通道以接受 $\pm 10.24V$ 双极模拟输入电压范围，其对应于一个 20.48V 全标度范围和一个 $78.125\mu V$ LSB。可以采用其他的 SoftSpan 配置和基准电压以转换较大和较小的双极和单极输入范围。转换结果以二进制补码格式 (对于所有的双极 SoftSpan 范围) 和直接二进制格式 (对于所有的单极 SoftSpan 范围) 输出。理想的二进制补码转移函数示于图 2，而理想的直接二进制转移函数示于图 3。

应用信息

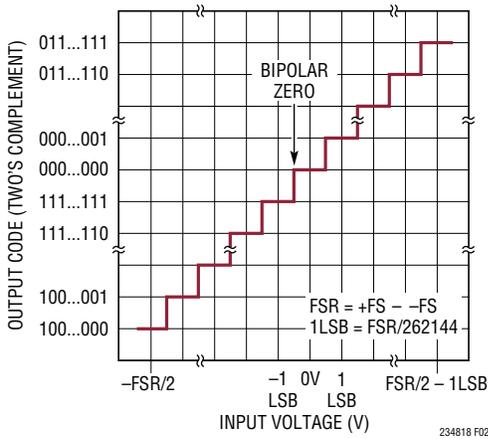


图 2：LTC2348-18 二进制补码转移函数

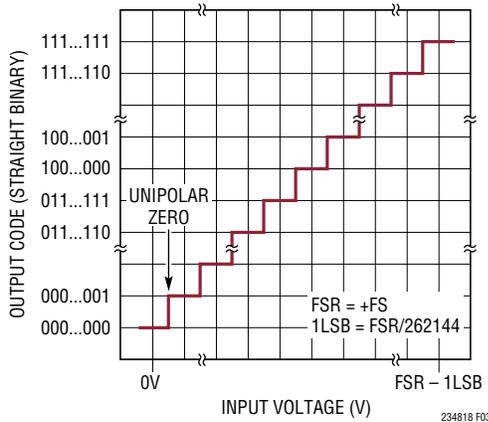


图 3：LTC2348-18 直接二进制转移函数

模拟输入

LTC2348-18 的每个通道在一个很宽的共模输入范围内对其模拟输入引脚之间的电压差 ($V_{IN+} + V_{IN-}$) 进行同时采样，并利用 ADC 的共模抑制比 (CMRR) 来衰减两个输入引脚共有的无用信号。宽共模输入范围搭配高 CMRR 可允许 IN^+/IN^- 模拟输入以一种任意的相互关系摆动，前提是每个引脚的电压保持在 ($V_{CC} - 4V$) 和 V_{EE} 之间。LTC2348-18 的这一独特特性使其能够接受众多的信号摆幅，包括传

统类别的模拟输入信号，例如：伪差分单极、伪差分真正双极和全差分，从而简化了信号链路设计。

高电压电源的宽工作范围提供了进一步的输入共模灵活性。只要遵守 $10V \leq V_{CC} - V_{EE} \leq 38V$ 的电压差限值， V_{CC} 和 V_{EE} 就可以在其自己个别容许的工作范围内的任何位置独立地施加偏置，包括能够将任一个电源直接连接至地。该特性使得 LTC2348-18 的共模输入范围可针对特定的应用要求进行相应的调整。

在所有的 SoftSpan 范围中，每个通道的模拟输入可利用图 4 中示出的等效电路来建模。在采集开始时， $40pF$ 采样电容器 (C_{IN}) 通过采样开关连接至模拟输入引脚 IN^+/IN^- ，这些开关各具大约 600Ω 的导通电阻 (R_{IN})。在采集开始时，两个采样电容器上的初始电压约等于来自先前转换的采样共模电压 $(V_{IN+} + V_{IN-})/2$ 。连接至 IN^+ 和 IN^- 的外部电路必须供应或吸收在采样电容器于采样间隔过程中从其初始电压稳定至新的输入引脚电压时流过 R_{IN} 的电流。在转换、打盹和断电模式中，模拟输入仅吸收很小的漏电流。输入端上的二极管用于提供 ESD 保护。

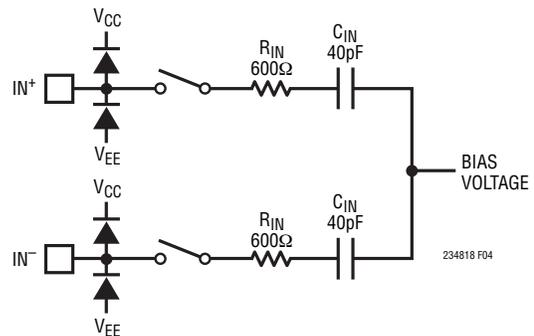


图 4：用于差分模拟输入的等效电路 (示出了单通道)

应用信息

双极 SoftSpan 输入范围

对于配置在 SoftSpan 范围 7、6、3 或 2 中的通道，LTC2348-18 分别在一个 $\pm 2.5 \cdot V_{REFBUF}$ 、 $\pm 2.5 \cdot V_{REFBUF}/1.024$ 、 $\pm 1.25 \cdot V_{REFBUF}$ 或 $\pm 1.25 \cdot V_{REFBUF}/1.024$ 的双极范围内对差分模拟输入电压 ($V_{IN+} - V_{IN-}$) 进行数字化处理，如表 1a 中所示。这些 SoftSpan 范围适用于在 IN^+ 和 IN^- 相互摆动至高于或低于对方的场合中对输入信号进行数字化处理。传统示例包括全差分输入信号 (这里， IN^+ 和 IN^- 以一个共模电压 $(V_{IN+} + V_{IN-})/2$ 为中心彼此 180° 异相驱动)，以及伪差分真正双极输入信号 (这里， IN^+ 摆动至高于和低于一个接地参考电平，并在 IN^- 上驱动)。不管选择的是哪种 SoftSpan 范围， IN^+/IN^- 模拟输入的宽共模输入范围和高 CMRR 都允许它们以任意的相互关系进行摆动，前提是每个引脚的电压保持在 ($V_{CC} - 4V$) 和 V_{EE} 之间。用于所有双极 SoftSpan 范围的输出数据格式均为二进制补码。

单极 SoftSpan 输入范围

对于配置在 SoftSpan 范围 5、4 或 1 中的通道，LTC2348-18 分别在一个 $0V$ 至 $2.5 \cdot V_{REFBUF}$ 、 $0V$ 至 $2.5 \cdot V_{REFBUF}/1.024$ 、或 $0V$ 至 $1.25 \cdot V_{REFBUF}$ 的单极范围内对差分模拟输入电压 ($V_{IN+} - V_{IN-}$) 进行数字化处理，如表 1a 中所示。这些 SoftSpan 范围适用于在 IN^+ 保持高于 IN^- 的场合中对输入信号进行数字化处理。传统示例包括伪差分单极输入信号，这里， IN^+ 在接地参考电平之上摆动，并将 IN^- 接地电平。不管选择的是哪种 SoftSpan 范围， IN^+/IN^- 模拟输入的宽共模输入范围和高 CMRR 都允许它们以任意的相互关系进行摆动，前提是每个引脚的电压保持在 ($V_{CC} - 4V$) 和 V_{EE} 之间。用于所有单极 SoftSpan 范围的输出数据格式均为直接二进制。

输入驱动电路

在采集开始时，每个通道的采样电容器上的初始电压必须在采集间隔期间稳定至新的输入引脚电压。当该稳定过程出现时，连接至 IN^+ 和 IN^- 的外部电路必须供应或吸收流过 R_{IN} 的电荷。LTC2348-18 采样网络 RC 时间常数为 $24ns$ ，这意味着针对一个全标度阶跃的 18 位稳定时间大约为 $13 \cdot (R_{IN} \cdot C_{IN}) = 312ns$ 。连接至模拟输入引脚的外部电路的阻抗和自稳定将增加所需的总稳定时间。低阻抗源能够直接驱动 LTC2348-18 的输入，且没有增益误差，但是高阻抗源则应实施缓冲以确保在采集期间实现充分的稳定并优化 ADC 的线性 and 失真性能。即使对于 DC 输入信号来说稳定时间也是一个重要的考虑因素，因为采样电容器上的电压将不同于采集开始时的模拟输入引脚电压。

大多数应用都应采用一个缓冲放大器来驱动 LTC2348-18 的模拟输入。该放大器提供低输出阻抗，并在采集阶段中实现模拟信号的快速稳定。另外，当进入采集阶段时，它还在信号源与模拟输入端上的电荷流之间提供了隔离。

输入滤波

必须考虑输入缓冲放大器和其他支持电路的噪声和失真，因为它们会导致 ADC 噪声和失真的增加。应采用一个低带宽滤波器在缓冲放大器之前对有噪声的输入信号进行滤波，以最大限度地降低噪声。对于许多应用而言，采用一个简单的单极点 RC 低通滤波器 (如图 5 所示) 就足够了。

在缓冲器的输出端上，由 600Ω 采样开关导通电阻 (R_{IN}) 和 $40pF$ 采样电容 (C_{IN}) 形成的一个低通 RC 滤波器网络把每个通道上的输入带宽限制为 $7MHz$ ，这对于在采样期间提供充分的瞬态稳定并同时滤除驱动器宽带噪声来说是足够快了。应选择一个具有低噪声密度的缓冲放大器以尽量减少该

应用信息

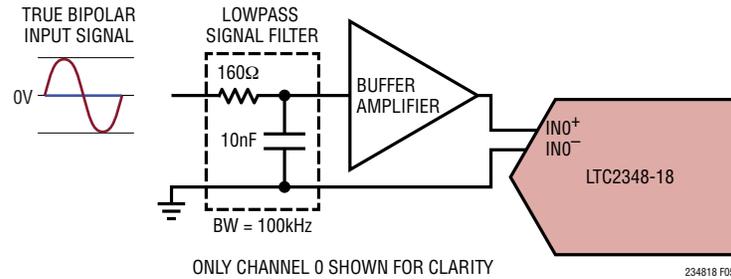


图 5：采用输入滤波的真正双极信号链路

带宽内的 SNR 指标下降。在缓冲器输出和 ADC 输入之间可布设一个额外的滤波器网络，以进一步最大限度地降低缓冲器产生的噪声，并抑制 ADC 采集瞬变对缓冲器造成的干扰。对于很多应用来说，使用一个简单的单极点低通 RC 滤波器就足够了。重要的是：该滤波器的 RC 时间常数应足够小，以允许模拟输入在 ADC 采集时间 (t_{ACQ}) 之内完全地稳定至 18 位分辨率，因为稳定不充分会限制 INL 和 THD 性能。

在 RC 滤波器中应采用高质量的电容器和电阻器，因为这些组件会增加噪声。NPO/COG 及银云母型介质电容器具有卓越的线性度。表面贴装型碳质电阻器会由于其自发热及焊接过程中可能出现的损坏而产生失真。表面贴装型金属膜电阻器对于上述两种问题的敏感度都低得多。

缓冲任意和全差分模拟输入信号

LTC2348-18 的宽共模输入范围和高 CMRR 允许每个通道的 IN^+ 和 IN^- 引脚以一种任意的相互关系摆动，前提是每个引脚的电压保持在 $(V_{CC} - 4V)$ 和 V_{EE} 之间。LTC2348-18 的这一独特特性使其能够接受众多的信号摆幅，从而简化了信号链路设计。在许多应用中，把一个通道的 IN^+ 和 IN^- 引脚直接连接至现有的信号链路电路将不会使该通道的采样网络在 ADC 采集时间 (t_{ACQ}) 之内稳定至 18 位分辨率。在这些场合中，建议在信号源与 ADC 输入引脚之间插入两个单位增益缓冲器，如图 6a 所示。表 2 列举了一些推荐用于该电路的放大器与低通滤波器组合。LT1469 兼具快速稳定、高线性度、低失调和 $5nV/\sqrt{Hz}$ 的输入参考噪声密度，因而使其能够实现 ADC 产品手册给出的完整 SNR 及 THD 性能指标，如图 6b 至 6e 中的 FFT 曲线图所示在可接受轻微下降的 SNR 和 THD 性能的应用中，可采用较低功

表 2：推荐用于图 6a 和图 9 中的缓冲器电路的放大器与滤波器组合。AC 性能采用图 6a 中的电路测量 ($\pm 10.24V$ 范围)。

放大器	R_{FILT} (Ω)	C_{FILT} (pF)	输入信号驱动	SNR (dB)	THD (dB)	SINAD (dB)	SFDR (dB)
1/2 LT1469	49.9	1000	全差分	96.7	-119	96.6	120
1/2 LT1355	100	270	全差分	96.5	-119	96.4	120
1/2 LT1469	49.9	1000	真正双极	96.7	-109	96.5	110
1/2 LT1355	100	270	真正双极	96.5	-106	96.1	108
1/2 LT1469	0	0	真正双极	95.7	-109	95.5	110
1/2 LT1355	0	0	真正双极	95.9	-106	95.5	108

应用信息

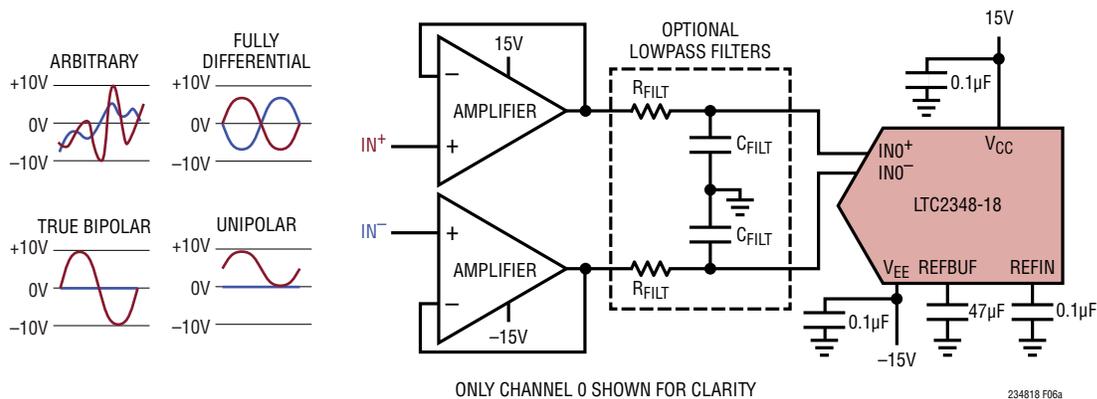


图 6a：缓冲任意、全差分、真正双极和单极信号。推荐的放大器与滤波器组合请见表 2。

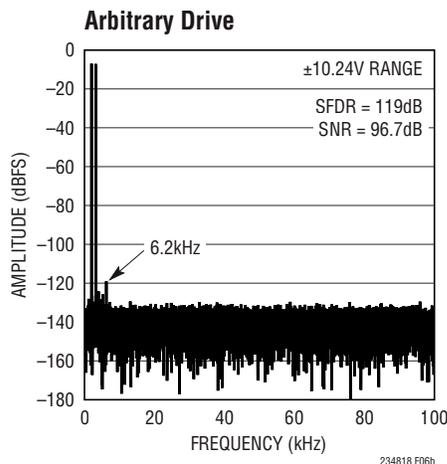


图 6b：双音调测试。IN⁺ = -7dBFS 2kHz 正弦，IN⁻ = -7dBFS 3.1kHz 正弦，32k 点 FFT，f_{SAMPL} = 200ksps。图 6a 中示出的电路采用 LT1469 放大器、R_{FILT} = 49.9Ω、C_{FILT} = 1000pF。

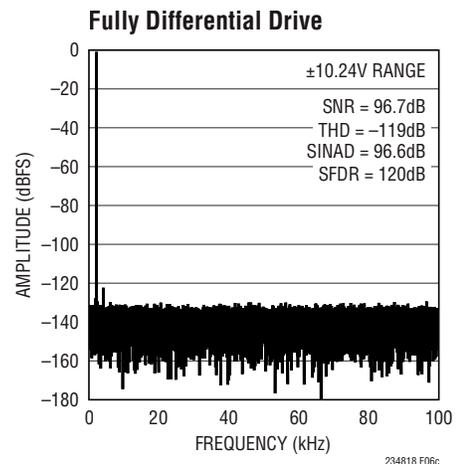


图 6c：IN⁺/IN⁻ = -1dBFS 2kHz 全差分正弦，V_{CM} = 0V，32k 点 FFT，f_{SAMPL} = 200ksps。图 6a 中示出的电路采用 LT1469 放大器、R_{FILT} = 49.9Ω、C_{FILT} = 1000pF。

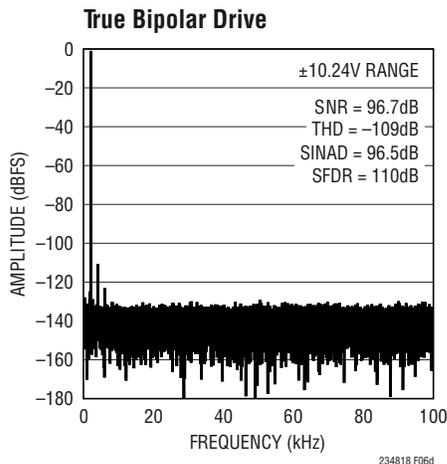


图 6d：IN⁺ = -1dBFS 2kHz 真正双极正弦，IN⁻ = 0V，32k 点 FFT，f_{SAMPL} = 200ksps。图 6a 中示出的电路采用 LT1469 放大器、R_{FILT} = 49.9Ω、C_{FILT} = 1000pF。

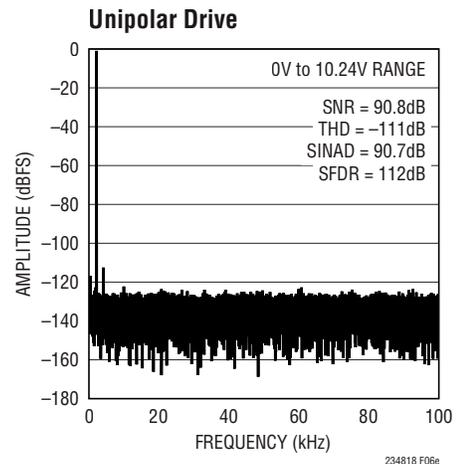


图 6e：IN⁺ = -1dBFS 2kHz 单极正弦，IN⁻ = 0V，32k 点 FFT，f_{SAMPL} = 200ksps。图 6a 中示出的电路采用 LT1469 放大器、R_{FILT} = 49.9Ω、C_{FILT} = 1000pF。

应用信息

率的 LT1355 来驱动 LTC2348-18。LT1355 整合了快速稳定、良好的线性、中等失调和 $10\text{nV}/\sqrt{\text{Hz}}$ 的输入参考噪声密度，因而使其能够驱动 LTC2348-18，相比于 LT1469，SNR 和 THD 性能指标仅分别下降了 0.2dB 和 3dB。如表 2 中所示，这两款推荐的放大器均可在未搭配低通滤波器的情况下使用，由于宽带噪声的增加所造成的 SNR 性能下降幅度 $\leq 1\text{dB}$ 。

图 6b 中的双音调测试证实了 LTC2348-18 的任意输入驱动能力。该测试同时驱动 IN^+ (利用一个 -7dBFS 2kHz 单端正弦波) 和 IN^- (利用一个 -7dBFS 3.1kHz 单端正弦波)。这些信号共同在一个很宽的共模和差模电压组合范围内扫描模拟输入，这类似于更加常见的任意输入信号场合。另外，它们还具有一种简单的谱表示。没有共模敏感性的理想差分转换器将把该信号数字化为两个 -7dBFS 频谱音调 (每个正弦波频率上一个音调)。如图 6b 中的 FFT 曲线图所示，LTC2348-18 的响应接近于该理想值，SFDR 达到了 119dB，其受限于转换器针对 IN^- 上的 3.1kHz 正弦波的二次谐波失真响应。

LTC2348-18 在宽输入共模范围内接受任意信号摆幅的能力和高 CMRR 特性能够简化应用解决方案。实际上，许多传感器都会产生“骑”在一个大共模信号上的差分传感器电压。图 7a 描绘了采用 LTC2348-18 对此类信号进行数字化处理的一种方法。放大器级给所需的传感器信号提供了一个大约 $10\text{V}/\text{V}$ 的差分增益，而不想要的共模信号则由 ADC CMRR 进行衰减。该电路采用了 ADC 的 $\pm 5\text{V}$ SoftSpan 范围。图 7b 示出了该解决方案的实测 CMRR 性能，其堪与最佳的市售仪表放大器一较高下。图 7c 示出了该解决方案的实测 AC 性能。在图 8 中示出了另一款应用电路，其采用了 LTC2348-18 的两个通道，以在一个宽共模范围内同时感测一个检测电阻器上的电压以及流过此电阻器的双向电流。在许多此类应用中，外部电路的阻抗足够低，因而使得 ADC 采样网络能够在未采用缓冲的情况下实现完全的稳定。

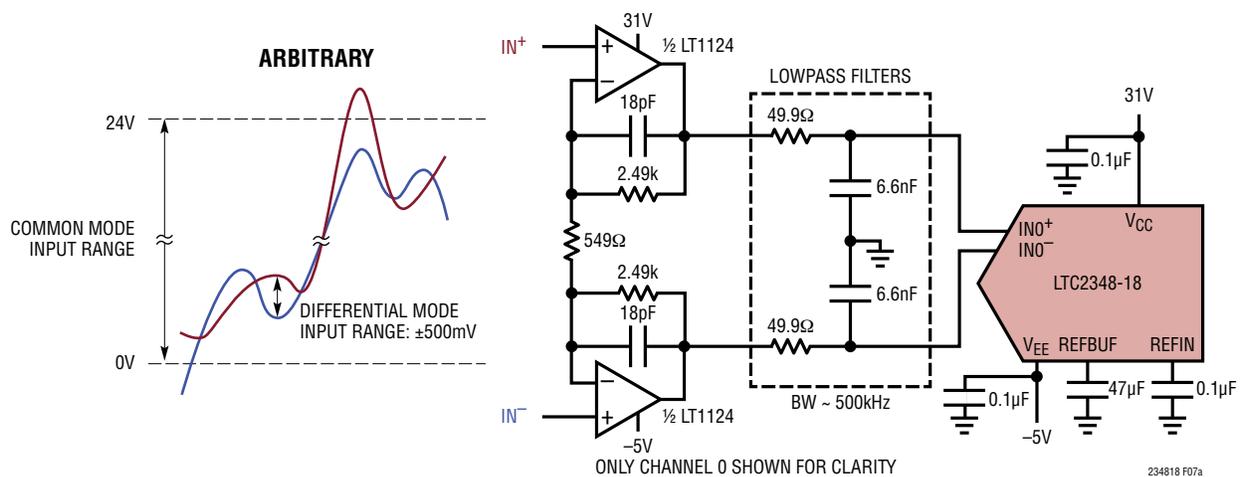


图 7a：在一个宽共模范围内对差分信号进行数字化处理

应用信息

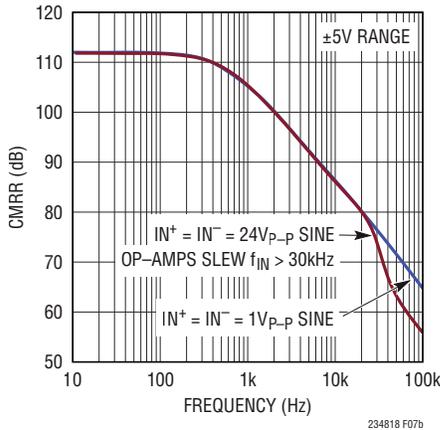


图 7b：CMRR 与输入频率的关系。针对图 7a 中所示的电路。

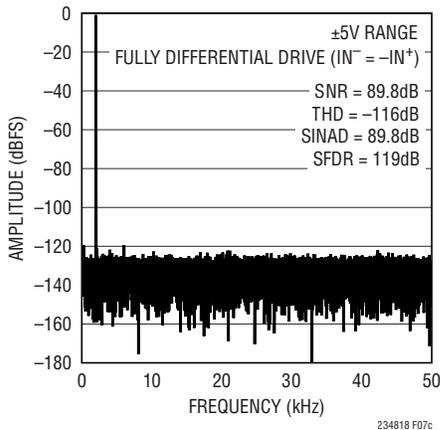
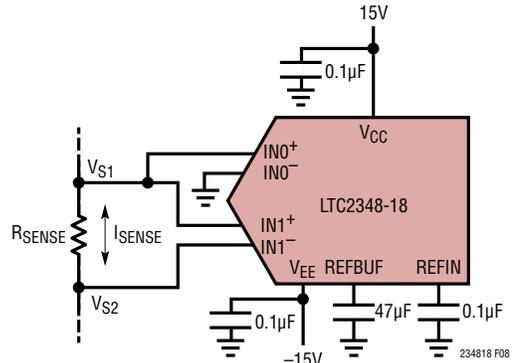


图 7c：IN⁺/IN⁻ = 450mV 2kHz 全差分正弦，
0V ≤ V_{CM} ≤ 24V，32k 点 FFT，f_{SAMPL} = 100ksps。
针对图 7a 中所示的电路。



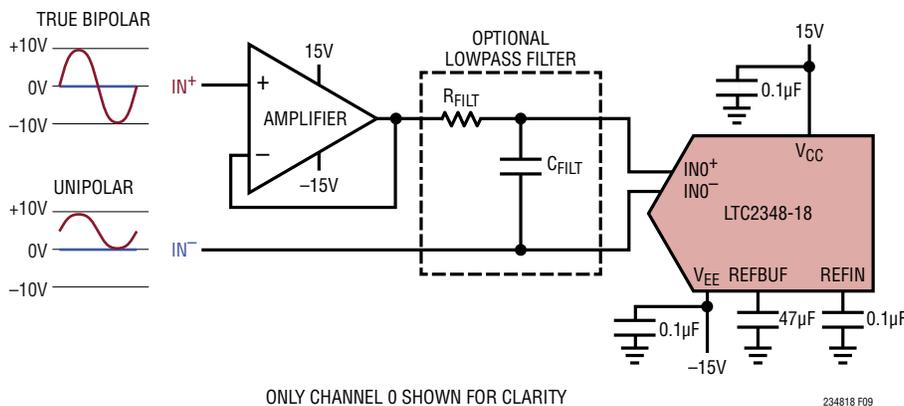
ONLY CHANNELS 0 AND 1 SHOWN FOR CLARITY

$$I_{SENSE} = \frac{V_{S1} - V_{S2}}{R_{SENSE}} \quad \begin{matrix} -10.24V \leq V_{S1} \leq 10.24V \\ -10.24V \leq V_{S2} \leq 10.24V \end{matrix}$$

图 8：在一个宽共模范围内
同时感测电压 (CH0) 和电流 (CH1)

缓冲单端模拟输入信号

虽然图 6a 中所示的电路能够缓冲单端输入信号，但是当单端信号基准电平为固有的低阻抗且不需要缓冲时，最好采用图 9 中示出的电路。该电路去除了一个驱动器和低通滤波器，从而减少了部件数和功率耗散，并抑制了由于驱动器噪声所导致的 SNR 性能劣化。通过采用表 2 中推荐的驱动器和滤波器组合，该电路在使用单端输入信号时的性能与图 6a 中所示电路的性能处于同等水平。



ONLY CHANNEL 0 SHOWN FOR CLARITY

234818 F09

图 9：缓冲单端输入信号。推荐的放大器与滤波器组合请见表 2。

应用信息

ADC 基准

如前面的表 1b 所示，LTC2348-18 支持三种基准配置。第一种配置采用了内部带隙基准和基准缓冲器。第二种配置从外部对内部基准进行过驱动，但保留了内部缓冲器，其负责把外部基准与 ADC 转换瞬变隔离开来。这种配置非常适合于在多个 ADC 之间共享单个高精度外部基准。第三种配置停用了内部缓冲器，并从外部对 REFBUF 引脚进行过驱动。

采用内部基准及内部缓冲器

LTC2348-18 具有一个片内、低噪声、低漂移 (20ppm/°C 最大值)、温度补偿型带隙基准，其在出厂时修整至 2.048V。基准输出通过一个 20kΩ 电阻器连接至 REFIN 引脚，该引脚充当片内基准缓冲器的输入，如图 10a 所示。当采用内部带隙基准时，应通过一个 0.1μF 陶瓷电容器将 REFIN 引脚旁路至靠近该引脚的 GND (引脚 20)，以滤除宽带噪声。基准缓冲器放大 V_{REFIN} 以在 REFBUF 引脚上产生转换器主基准电压 $V_{REFBUF} = 2 \cdot V_{REFIN}$ ，当采用内部带隙基准时其标称值为 4.096V。通过至少一个 47μF 陶瓷电容器 (X7R、10V、1210 规格封装或 X5R、10V、0805 规格封装) 将 REFBUF 旁路至靠近该引脚的 GND (引脚 20)，以补偿基准缓冲器、吸收瞬态转换电流并最大限度地降低噪声。

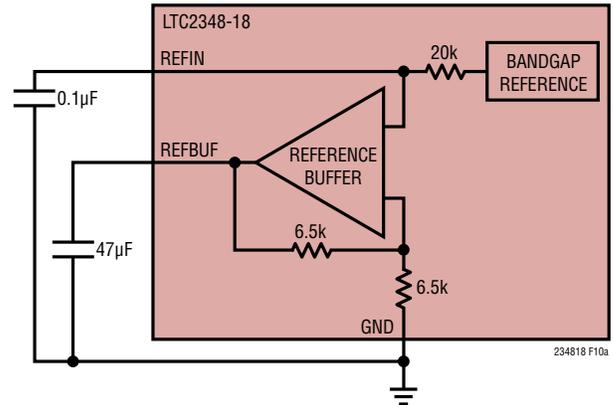


图 10a：采用内部缓冲器配置的内部基准

采用外部基准及内部缓冲器

如果需要更高的准确度和 / 或较低的漂移，可容易地利用一个外部基准来对 REFIN 进行过驱动，因为 20kΩ 电阻将内部带隙基准输出与 REFIN 引脚隔离开来，如图 10b 所示。REFIN 引脚上的外部基准电压过驱动的有效范围为 1.25V 至 2.2V，分别产生介于 2.5V 和 4.4V 之间的转换器主控器基准电压 V_{REFBUF} 。凌力尔特提供了一个专为满足诸多应用的需求而设计的高性能基准产品库。凭藉其小尺寸、低功率和高准确度，LTC6655-2.048 非常适合与 LTC2348-18 配合使用，以对内部基准进行过驱动。LTC6655-2.048 可提供 0.025% (最大值) 的初始准确度和 2ppm/°C (最大值) 的温度系数，因而适合高精度应用。LTC6655-2.048 完全

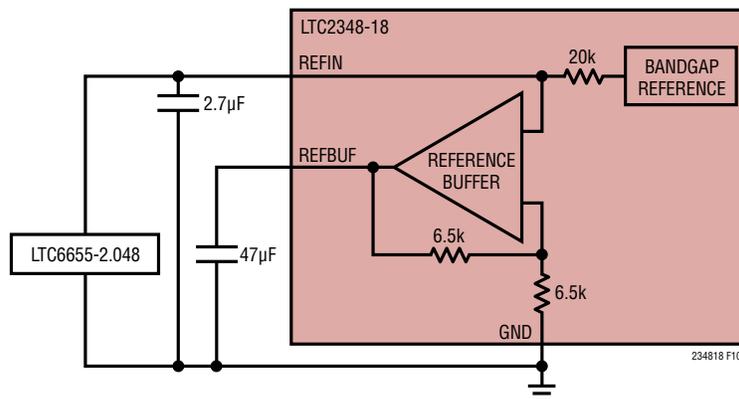


图 10b：采用内部缓冲器配置的外部基准

应用信息

满足 H 级温度范围，因而对 LTC2348-18 高达 125°C 的扩展温度范围起到了补充。建议通过一个靠近 REFIN 引脚的 2.7 μ F 至 100 μ F 陶瓷电容器对 LTC2348-18 进行旁路。

采用外部基准并停用内部缓冲器

内部基准缓冲器支持 $V_{REFBUF} = 4.4V$ (最大值)。通过把 REFIN 接地，可停用内部缓冲器，从而允许采用一个介于 2.5V 和 5V 之间的外部基准电压对 REFBUF 进行过驱动，如图 10c 所示。最大输入信号摆幅和 SNR 通过采用一个外部 5V 基准对 REFBUF 进行过驱动来实现。缓冲器反馈电阻器给 REFBUF 引脚施加了 13k Ω 负载，即使当基准缓冲器被停用时也不例外。LTC6655-5 提供了与 LTC6655-2.048 相同的小尺寸、准确度、漂移特性和扩展温度范围，并在与 LTC2348-18 配对使用时实现了一个 97.5dB (典型值) 的 SNR。通过至少一个 47 μ F 陶瓷电容器 (X7R、10V、1210 规格封装或 X5R、10V、0805 规格封装) 将 LTC6655-5 旁路至靠近 REFBUF 引脚的 GND (引脚 20)，以吸收瞬态转换电流并最大限度地降低噪声。

LTC2348-18 转换器在每个转换周期中从 REFBUF 引脚吸收一定电荷 (Q_{CONV})。在短时标上，该电荷大多由外部 REFBUF 旁路电容器提供，而在较长的时标上，所有的电荷均由基准缓冲器或者 (当内部基准缓冲器被停用) 外部基准提供。该吸收电荷对应一个相当于 $I_{REFBUF} = Q_{CONV} \cdot f_{SMPL}$ 的 DC 电流，其与采样速率成比例。在那些于漫长的闲置周期之后获取一串突发样本的应用中 (如图 11 所示)，

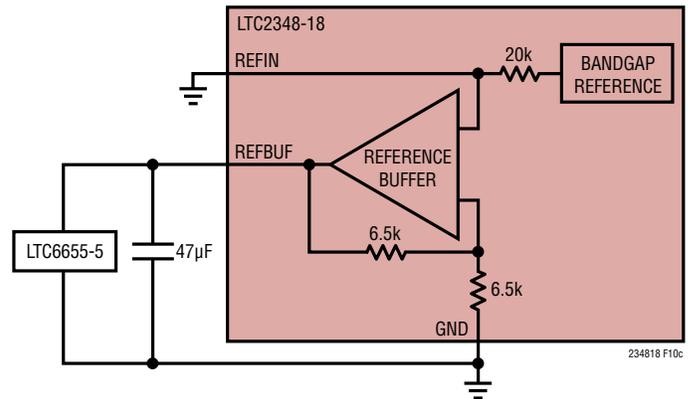


图 10c：采用停用内部缓冲器配置的外部基准

I_{REFBUF} 快速地从约 0.4mA 转换至 1.5mA ($V_{REFBUF} = 5V$, $f_{SMPL} = 200kHz$)。该电流阶跃在外部基准中触发了一个必须考虑的瞬态响应，因为 V_{REFBUF} 中的任何偏差都会影响转换器准确度。如果采用一个外部基准来对 REFBUF 进行过驱动，则建议使用具快速稳定特性的 LTC6655 系列基准。

内部基准缓冲器瞬态响应

为了在采用突发采样 (burst sampling) 的应用中获得最佳性能，应使用采用内部基准缓冲器配置的外部基准。内部基准缓冲器运用了一种专有设计，其能够在响应一个闲置周期后的一串突发转换时最大限度地减小 V_{REFBUF} 的变化。图 12 针对两种基准配置比较了 LTC2348-18 在采用一个接近全标度的输入时的突发转换响应。第一种配置采用了内部基

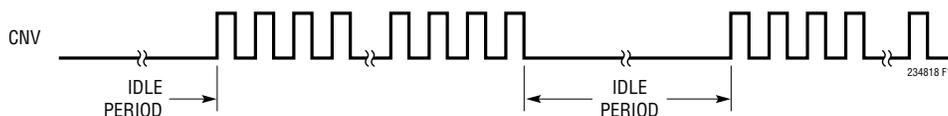


图 11：显示突发采样的 CNV 波形

应用信息

准缓冲器，由一个 LTC6655-2.048 从外部对 REFIN 进行过驱动，而第二种配置则停用了内部基准缓冲器，并利用一个外部 LTC6655-4.096 对 REFBUF 进行过驱动。在这两种场合中，均通过一个 47μF 陶瓷电容器把 REFBUF 旁路至 GND。

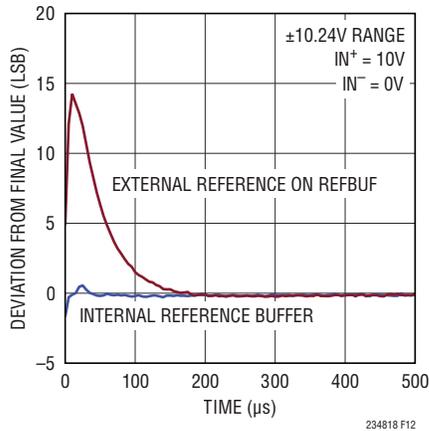


图 12：LTC2348-18 的突发转换响应，
 $f_{\text{SMPL}} = 200\text{ksps}$

动态性能

采用快速富里叶变换 (FFT) 方法来测试额定吞吐速率下的 ADC 频率响应、失真和噪声。通过施加一个低失真正弦波并采用一种 FFT 算法来分析数字输出，可检查 ADC 频谱成分中超出基频之外的频率情况。LTC2348-18 为 AC 失真及噪声测量均提供了保证测试限值。

信号与噪声加失真之比 (SINAD)

信号与噪声加失真之比 (SINAD) 是输入基频的 RMS 幅度与 A/D 输出端上的所有其他频率分量的 RMS 幅度之比。输出被带限至低于半采样频率的频带内 (不包括 DC)。如图 13 所示，LTC2348-18 在 200kHz 采样速率及采用真正双极 2kHz 输入信号时于 ±10.24V 范围中下实现了一个 96.5dB 的典型 SINAD。

信噪比 (SNR)

信噪比 (SNR) 是输入基频的 RMS 幅度与除了首五个谐波和 DC 之外的所有其他频率分量的 RMS 幅度之比。如图 13 所示，LTC2348-18 在 200kHz 采样速率及采用真正双极 2kHz 输入信号时于 ±10.24V 范围中下实现了一个 96.7dB 的典型 SNR。

总谐波失真 (THD)

总谐波失真 (THD) 是输入信号所有谐波的 RMS 之和与基频自身之比。带外谐波混入介于 DC 和半采样频率 ($f_{\text{SMPL}}/2$) 之间的频带。THD 由下式来表示：

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots V_N^2}}{V_1}$$

式中的 V_1 为基频的 RMS 幅度， V_2 至 V_N 分别为二次至 N 次谐波的幅度。如图 13 所示，LTC2348-18 在 200kHz 采样速率及采用真正双极 2kHz 输入信号时于 ±10.24V 范围中下实现了一个 -109dB ($N = 6$) 的典型 THD。

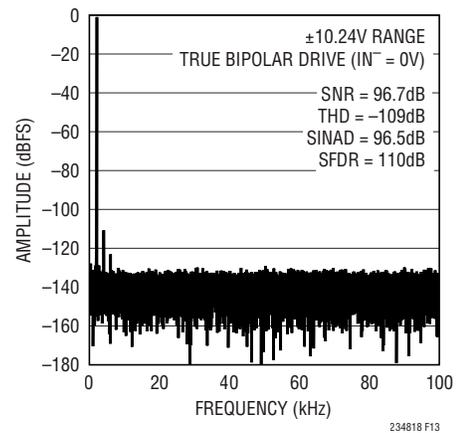


图 13：32k 点 FFT $f_{\text{SMPL}} = 200\text{kHz}$ ， $f_{\text{IN}} = 2\text{kHz}$

应用信息

电源考虑

LTC2348-18 提供了 4 组电源引脚：正和负高电压电源 (V_{CC} 和 V_{EE})、5V 内核电源 (V_{DD}) 和数字输入 / 输出 (I/O) 接口电源 (OV_{DD})。只要遵守 $10V \leq V_{CC} - V_{EE} \leq 38V$ 的电压差限值， V_{CC} 和 V_{EE} 就可以在其自己容许的工作范围内的任何位置独立地施加偏置，包括能够将任一个电源直接连接至地。该特性使得 LTC2348-18 的共模输入范围可针对特定的应用要求进行相应的调整。灵活的 OV_{DD} 电源使得 LTC2348-18 能够与工作电压介于 1.8V 和 5V 之间的 CMOS 逻辑电路 (包括 2.5V 和 3.3V 系统) 进行通信。当采用 LVDS I/O 模式时， OV_{DD} 的范围为 2.375V 至 5.25V。

电源排序

LTC2348-18 没有任何特殊的电源排序要求。应谨慎地遵守“绝对最大额定值”部分中所描述的最大电压关系。LTC2348-18 具有一个内部上电复位 (POR) 电路，在初始上电和 V_{DD} 下降至 2V 以下时，此电路将使转换器复位。当电源电压重新进入标称电源电压范围时，POR 将重新预置 ADC。在一个 POR 过程之后的至少 10ms 之内，不得启动转换操作以确保初始化周期已经结束。当采用内部基准缓冲器时，需为缓冲器的上电和 REFBUF 旁路电容器的再充电提供 200ms 的时间。在这些时点之前启动的任何转换都将产生无效的结果。

定时和控制

CNV 定时

LTC2348-18 的采样和转换受控于 CNV。CNV 上的一个上升沿将把所有通道的 S/H 电路从跟踪模式转换至保持模式，对所有通道上的输入信号进行同时采样并起动一个转换。如“复位定时”部分中讨论的那样，一旦某个转换被启动，那么它将不能被提前终止 (除了使 ADC 复位之外)。为了获得最佳的性能，CNV 应利用一个乾淨的低抖动信号来驱动，并且在 CNV 上升沿到来之前避免数据 I/O 线路上发生电平转换。此外，为最大限度地抑制通道至通道串扰，在 CNV 上升沿的前后 100ns 应避免模拟输入端上出现高摆率。转换器状态由 BUSY 输出指示，该输出在每个转换的起点从低电平变换至高电平，并保持高电平直到转换操作完成为止。一旦 CNV 被拉至高电平以开始一个转换，则其在随后的 40ns 至 60ns 之间或在 BUSY 的下降沿之后返回低电平，以尽量减小内部转换过程中的外部扰动。“打盹模式”部分将描述利用减低功率的打盹操作模式所需的 CNV 定时。

内部转换时钟

LTC2348-18 具有一个内部时钟，该时钟经过修整以实现一个 $550 \cdot N$ ns 的最大转换时间 (启用 N 个通道时)。凭藉一个 570ns 的最小采集时间，可在无需任何外部调整的情况下保证 200ksps 的吞吐速率性能。

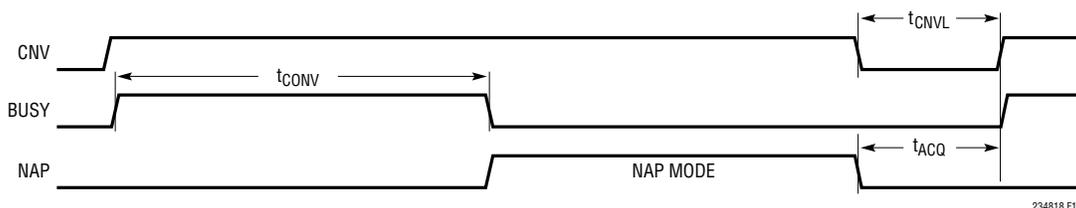


图 14 : LTC2348-18 的打盹模式定时

应用信息

打盹模式

在完成了一个转换之后可以把 LTC2348-18 置于打盹模式，以降低转换操作之间的功耗。在该模式中，器件的一部分电路被关闭，包括那些与模拟输入信号的采样有关的电路。通过在转换操作之间把 CNV 保持于高电平来启用打盹模式，如图 14 所示。如欲在进入打盹模式之后启动一个新的转换，则把 CNV 拉至低电平并保持至少 500ns，然后再将其重新拉至高电平。当采用打盹模式时，转换器采集时间 (t_{ACQ}) 由 CNV 低电平时间 (t_{CNVL}) 设定。

断电模式

当 PD 引脚被拉至高电平时，则 LTC2348-18 断电且后续的转换请求被忽略。假如这种情况出现在转换期间，则器件将在转换完成时立即断电。在该模式中，器件仅吸收很小的稳压器待机电流，因而产生了一个 0.36mW 的典型功率耗散。如欲退出断电模式，则把 PD 引脚拉至低电平并至少等待 10ms 之后再启动一个转换。当采用内部基准缓冲器时，需为缓冲器的上电和 REFBUF 旁路电容器的再充电提供 200ms 的时间。在这些时点之前启动的任何转换都将产生无效的结果。

复位定时

可执行 LTC2348-18 的全局复位 (等效于上电复位过程)，并不需要使电源经历通断循环。当从那些需要把整个系统的状态复位至一个已知同步值的系统级事件恢复时，该特性是很有用处的。如需启动一个全局复位，则把 PD 引脚两次拉至高电平，且在其间未插进一个转换操作，则如图 15 所示。复位过程在 PD 的第二个上升沿上触发，并根据一个内

部定时器以异步的方式结束。复位将把所有的串行数据输出寄存器清零，并恢复所有通道在 SoftSpan7 中的内部 Soft-Span 配置寄存器默认状态。如果在某个转换期间触发复位，则转换操作立即暂停。与 PD 引脚电平走高相关联的正常断电运行方式不受复位的影响。一旦 PD 被拉至低电平，则等待至少 10ms 之后再启动一个转换。当采用内部基准缓冲器时，需为缓冲器的上电和 REFBUF 旁路电容器的再充电提供 200ms 的时间。在这些时点之前启动的任何转换都将产生无效的结果。

功率耗散与采样频率的关系

当采用打盹模式时，LTC2348-18 的功率耗散随着采样频率的降低而减少，如图 16 所示。平均功率耗散的这种下降是由于 LTC2348-18 的部分电路在打盹模式期间被关闭，以及停留在打盹状态的转换周期 (t_{CYC}) 所占的比例随着采样频率 (f_{SMPL}) 的降低而增大所致。

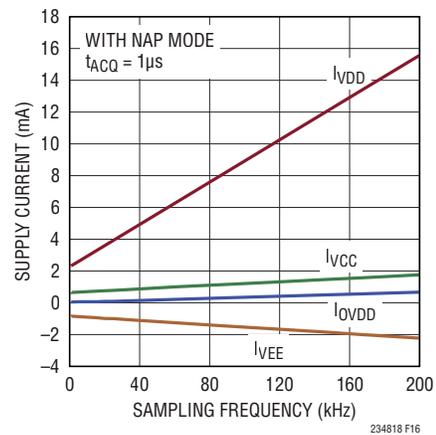


图 16 : LTC2348-18 的功率耗散随着采样频率的降低而减少

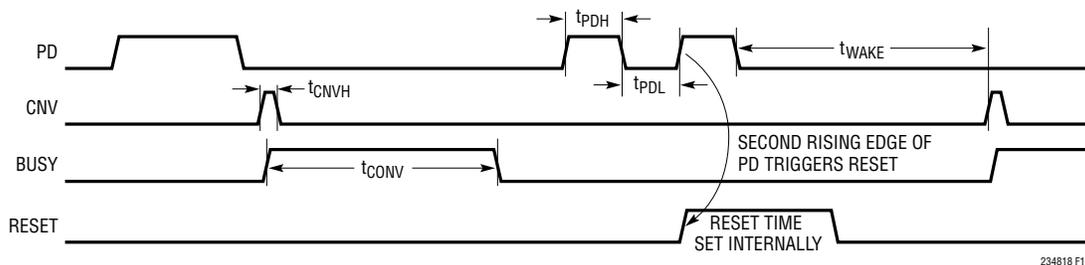


图 15 : LTC2348-18 的复位定时

应用信息

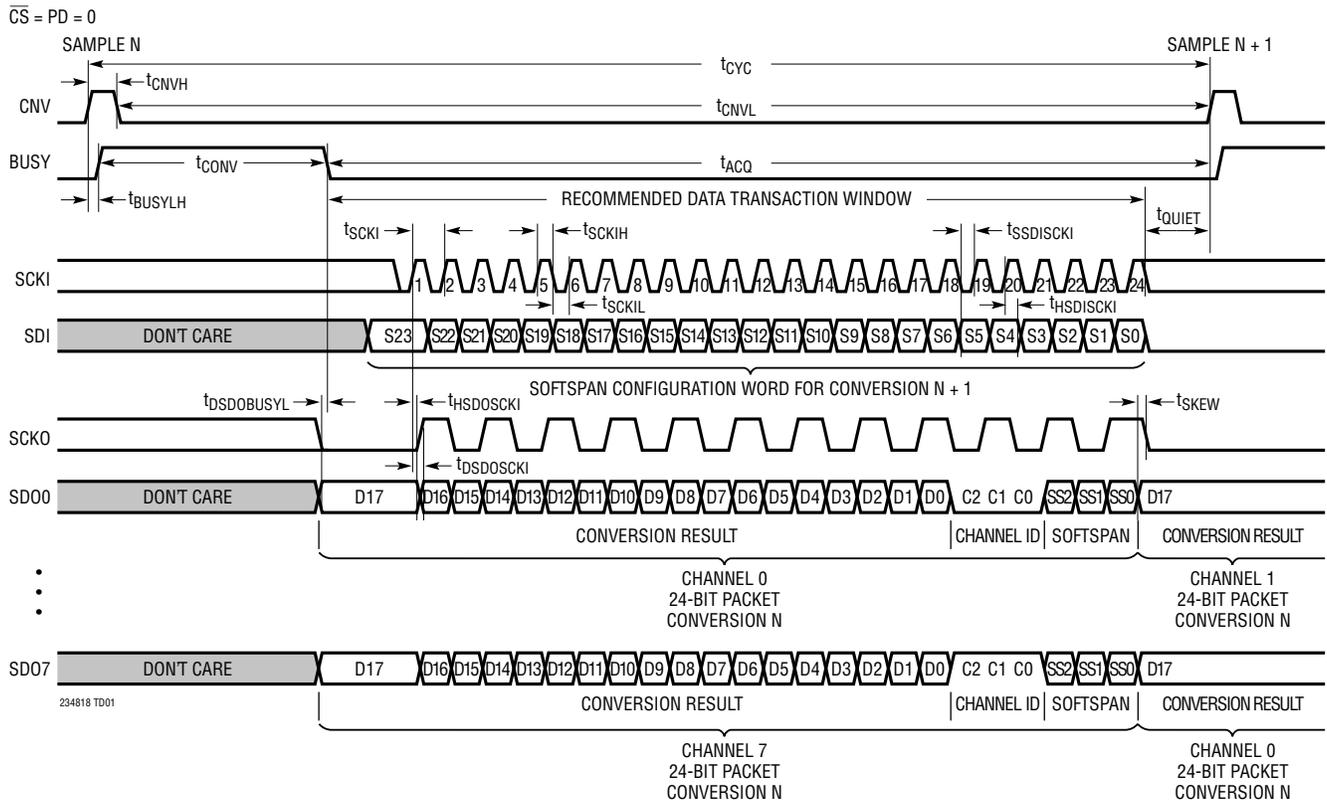


图 17：串行 CMOS I/O 模式

数字接口

LTC2348-18 具有 CMOS 和 LVDS 串行接口，可采用 LVDS/ $\overline{\text{CMOS}}$ 引脚来选择。灵活的 OV_{DD} 电源允许 LTC2348-18 与工作电压介于 1.8V 和 5V 之间的任何 CMOS 逻辑电路 (包括 2.5V 和 3.3V 系统) 进行通信，而 LVDS 接口可支持低噪声数字设计。在 CMOS 模式中，应用电路可以使用 1 至 8 个串行输出数据通道，从而允许用户优化总线宽度和数据吞吐量。这些 I/O 接口选项一起使得 LTC2348-18 能够与老式微控制器和新式 FPGA 进行同样良好的通信。

串行 CMOS I/O 模式

如图 17 所示，在 CMOS I/O 模式中，串行数据总线包括一个串行时钟输入 (SCKI)、串行数据输入 (SDI)、串行时钟

输出 (SCKO) 和 8 个串行数据输出 (SD00 至 SD07) 通道。通过该总线与 LTC2348-18 的通信在预先规定的数据事务处理窗口期内进行。在一个窗口之内，该器件接受用于 SDI 上的下一个转换的 24 位 SoftSpan 配置字，并在 SD00 至 SD07 上输出包含了前一个转换的转换结果和通道配置信息的 24 位信息包。新的数据事务处理窗口在 LTC2348-18 上电或复位之后的 10ms、以及 BUSY 下降沿上每个转换的结束时开启。在推荐的用例中，数据事务处理应在下一个转换开始之前的最小 t_{QUIET} 时间 (20ns) 里完成，如图 17 所示。新的 SoftSpan 配置字仅在这个推荐的数据事务处理窗口内接受，但是 SoftSpan 变更则立即生效，在开始下一个转换之前不需要额外的模拟输入稳定时间。在启动了下一个转换之后尽管仍然可以读取转换数据，但这将损害转换的准确度，因此建议不要这么做。

应用信息

就在 BUSY 的下降沿和新的数据事务处理窗口开启之前，SCKO 被强制为低电平，且 SD00 至 SD07 分别利用来自模拟输入通道 0 至 7 的最新转换结果进行更新。SCKI 的上升沿以串行的方式由时钟将转换结果和模拟输入通道配置信息在 SD00 至 SD07 上同步输出，并触发 SCKO 上与 SD00 至 SD07 上的数据时滞匹配的转换。最终产生的 SCKO 频率是 SCKI 频率的一半。另外，SCKI 上升沿还将锁存在 SDI 上提供的 SoftSpan 配置字，这些配置字用于设置内部 24 位 SoftSpan 配置寄存器。更多详情请见“在 CMOS I/O 模式中设置 SoftSpan 配置寄存器”部分。在 CMOS I/O 模式中允许 SCKI 闲置在高电平或低电平。如图 18 所示，CMOS 总线在 \overline{CS} 为低电平时被使能，而在 \overline{CS} 为高电平时则被停用并呈高阻抗，因而可在多个器件之间共享该总线。

SD00 至 SD07 上的数据被分组为由一个 18 位转换结果、3 位模拟通道 ID 和 3 位 SoftSpan 代码构成的 24 位信息包，均以 MSB 在前的方式呈现。如图 17 和 18 所示，每个 SDO 信道以一种顺序、循环的方式输出用于所有模拟输入通道的这些信息包。例如：SD00 上输出的第一个 24 位信息包对应于通道 0，跟随其后的是对应于通道 1 至 7 的信息包。SD00 上的数据输出然后回到通道 0，并无限期地重

复这种模式。其他 SDO 信道遵循一种相似的循环模式，只是在每个信道上呈现的第一个信息包对应于其关联的模拟输入通道。

当把 LTC2348-18 与一个标准的 SPI 总线相连时，在 SCKI 的上升沿于接收器上捕捉输出数据。SCKO 在该场合中未使用。另外，多个 SDO 信道在该场合中也常常是没有用的。在其他的应用中（例如：把 LTC2348-18 与一个 FPGA 或 CPLD 相连），可以采用 SCKO 的上升沿和下降沿以双倍数据速率 (DDR) 的形式来捕捉 SD00 至 SD07 上的串行输出数据。采用 SCKO 来捕捉数据可增强针对整个温度和电源范围内的延迟变化的坚固性。

全部 8 个信道的串行 CMOS 输出数据捕获

如表 3 所示，通过捕获来自全部 8 个串行数据输出信道 (SD00 至 SD07) 的第一个信息包 (总共 24 个 SCKI 周期)，可利用一个 45MHz SCKI 频率实现每通道 200ksp/s 的全吞吐速率。如果不需要 3 位模拟通道 ID 和 3 位 SoftSpan 代码，而且未改变器件的 SoftSpan 配置，那么该配置还使得能够采用最少 18 个 SCKI 周期来捕获所有通道的转换结果。多信道数据捕获通常最适合与 FPGA 或 CPLD 捕获硬件配合使用，但也可能适用于其他的特殊应用场合。

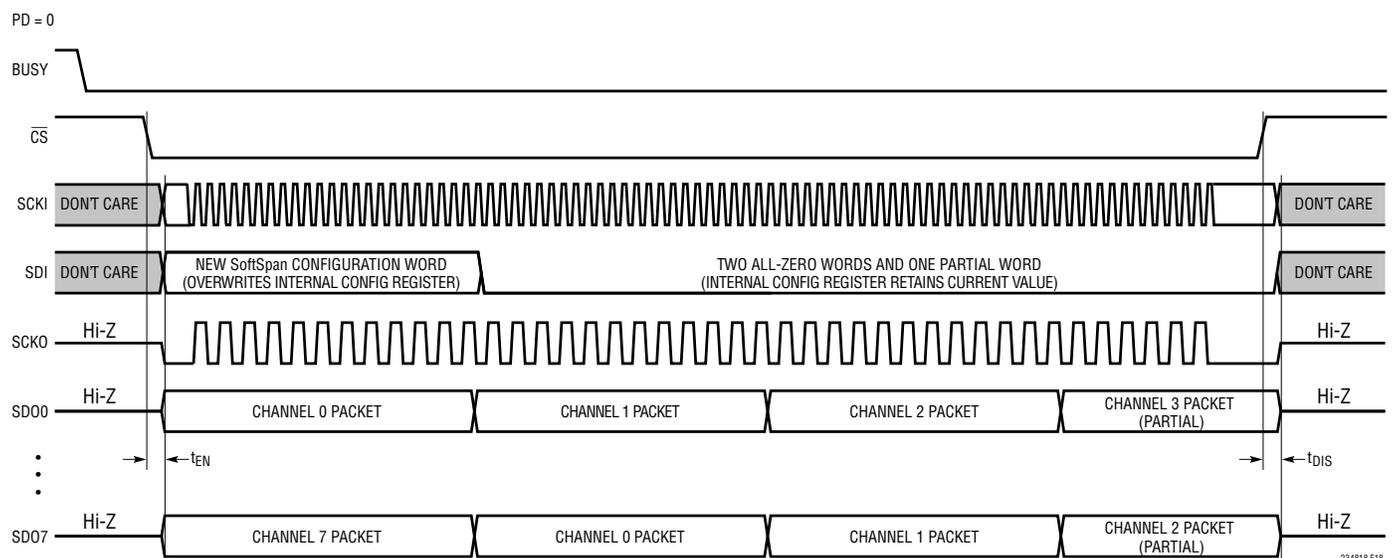


图 18：内部 SoftSpan 配置寄存器运行方式。串行 CMOS 总线对 \overline{CS} 做出响应

应用信息

少于 8 个线道的串行 CMOS 输出数据捕获

那些不能提供全部 8 个线道串行数据捕获的应用可以采用较少的线道，并不需要重新配置 LTC2348-18。捕获来自 SDO0、SDO2、SDO4 和 SDO6 的首两个信息包 (总共 48 个 SCKI 周期) 可通过使用 4 个输出线道分别提供用于模拟输入通道 0 和 1、2 和 3、4 和 5、以及 6 和 7 的数据。同样，捕获来自 SDO0 和 SDO4 的首 4 个信息包 (总共 96 个 SCKI 周期) 可通过使用 2 个输出线道分别提供用于模拟输入通道 0 至 3 和 4 至 7 的数据。如果只能容纳一个线道，则捕获来自 SDO0 的首 8 个信息包 (总共 192 个 SCKI 周期) 可提供用于所有模拟输入通道的数据。如表 3 中所示，在 4 线道场合中可利用一个 90MHz SCKI 频率实现每通道 200ksps 的全吞吐速率，但在两线道和一线道场合中，100MHz 的最大 CMOS SCKI 频率则把每通道吞吐速率限制在 200ksps 以下。最后需注意：在选择线道的数量以及把哪些线道用于数据捕获时，用户并不受限于上述的具体案例。在特定的应用中其他的选择或许是更优化的。

在 CMOS I/O 模式中设置 SoftSpan 配置寄存器

内部 24 位 SoftSpan 配置寄存器负责控制用于 LTC2348-18 所有模拟输入通道的 SoftSpan 范围。器件上电或复位之后该寄存器的默认状态为“全是 1”，将每个通道配置为在 SoftSpan 7 ($\pm 2.5 \cdot V_{REFBUF}$ 范围) 中执行转换 (见表 1a)。

通过在数据事务处理窗口期 (示于图 17) 于 SDI 上提供一个新的 24 位 SoftSpan 配置字，可以修改此寄存器的状态。新的 SoftSpan 配置字仅在这个推荐的数据事务处理窗口内接受，但是 SoftSpan 变更则立即生效，在起动下一个转换之前不需要额外的模拟输入稳定时间。把一个通道的 SoftSpan 代码设定为 $SS[2:0] = 000$ 将立即停用此通道，从而导致下一个转换上的 t_{CONV} 相应地缩短。同样，当启用一个先前停用的通道时，在开始下一个转换之前不需要额外的模拟输入稳定时间。串行 SoftSpan 配置字、内部 SoftSpan 配置寄存器和每个通道的 3 位 SoftSpan 代码之间的映射示于图 19。

如果在一个数据事务处理窗口期内提供的 SCKI 上升沿少于 24 个，则在 SDI 上接收的不完整的字将被忽略，且 SoftSpan 配置寄存器将不被更新。假如恰好提供了 24 个 SCKI 上升沿，那么 SoftSpan 配置寄存器将被更新以匹配接收的 SoftSpan 配置字 $S[23:0]$ 。该运行方式的唯一例外出现在 $S[23:0]$ 为“全是 0”的时候。在该场合中，SoftSpan 配置寄存器将不被更新，并允许应用通过使 SDI 闲置于低电平来保持当前的 SoftSpan 配置状态。倘若在一个数据事务处理窗口期内提供了多于 24 个 SCKI 上升沿，则在 SDI 上接收的每个完整的 24 位字将被解释为一个新的 SoftSpan 配置字，并如上所述被加至 SoftSpan 配置寄存器。任何不完整的字都被忽略。

表 3：在公用输出总线配置中实现各种不同吞吐速率所需的 SCKI 频率。阴影条目表示在某种给定配置中无法实现的吞吐速率。

I/O 模式	SDO 线道的数量	SCKI 周期的数量	实现以下吞吐速率所需的 f_{SCKI} (MHz)		
			每通道 200ksps	每通道 100ksps	每通道 50ksps
CMOS	8	18	35	4	2
	8	24	45	5	2
	4	48	90	9	4
	2	96	无法实现	18	7
	1	192	无法实现	35	13
LVDS	1	96	180 (360Mbps)	18 (36Mbps)	7 (14Mbps)

应用信息

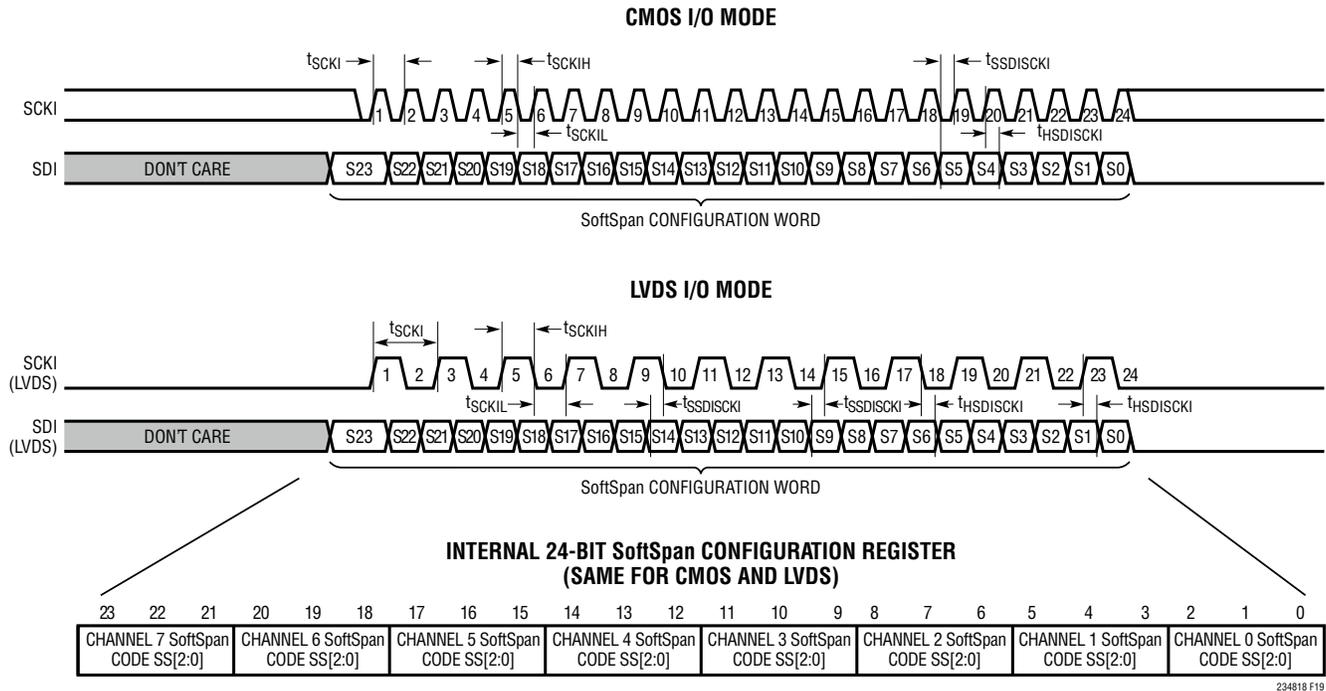


图 19：串行 SoftSpan 配置字、内部 SoftSpan 配置寄存器 and 用于每个模拟输入通道的 SoftSpan 代码之间的映射

通常，应用将按照图 17 和图 18 所示的方式来更新 SoftSpan 配置寄存器。在一个新的数据事务处理窗口于 BUSY 的下降沿开启之后，用户在首 24 个 SCKI 周期中于 SDI 上提供一个 24 位 SoftSpan 配置字。这个新的字在第 24 个 SCKI 上升沿之后改写内部配置寄存器内容。用户随后在剩余的数据事务处理窗口期里把 SDI 保持在低电平，从而导致寄存器保存其内容，这与施加的额外 SCKI 周期的数量无关。通过在整个数据事务处理窗口内将 SDI 保持在低电平，可以在多个转换操作期间保留 SoftSpan 设置，这与施加的 SCKI 周期数量无关。

串行 LVDS I/O 模式

在 LVDS I/O 模式中，信息是采用正和负信号对 (LVDS⁺/LVDS⁻) 来传输的，并把位差分编码为 (LVDS⁺ - LVDS⁻)。这些信号通常是采用具有 100Ω 特征阻抗的差分传输线来传送的。逻辑“1”和逻辑“0”在标称上分别由差分 +350mV 和 -350mV 来表示。为清楚起见，所有的 LVDS

时序图和接口讨论均采用逻辑惯例而不是物理惯例。

如图 20 所示，在 LVDS I/O 模式中，串行数据总线由一个串行时钟差分输入 SCKI、串行数据差分输入 SDI、串行时钟差分输出 SCKO 和串行数据差分输出 SDO 组成。通过该总线与 LTC2348-18 的通信在预先规定的的数据事务处理窗口期内进行。在一个窗口之内，该器件接受用于 SDI 上的下一个转换的 24 位 SoftSpan 配置字，并在 SDO 上输出包含了前一个转换的转换结果和通道配置信息的 24 位信息包。新的数据事务处理窗口在 LTC2348-18 上电或复位之后的 10ms、以及 BUSY 下降沿上每个转换的结束时开启。在推荐的用例中，数据事务处理应在下一个转换开始之前的最小 t_{QUIET} 时间 (20ns) 里完成，如图 20 所示。新的 SoftSpan 配置字仅在这个推荐的数据事务处理窗口内接受，但是 SoftSpan 变更则立即生效，在起动下一个转换之前不需要额外的模拟输入稳定时间。尽管在起动了下一个转换之后仍然可以读取转换数据，但这将损害转换的准确度，因此建议不要这么做。

应用信息

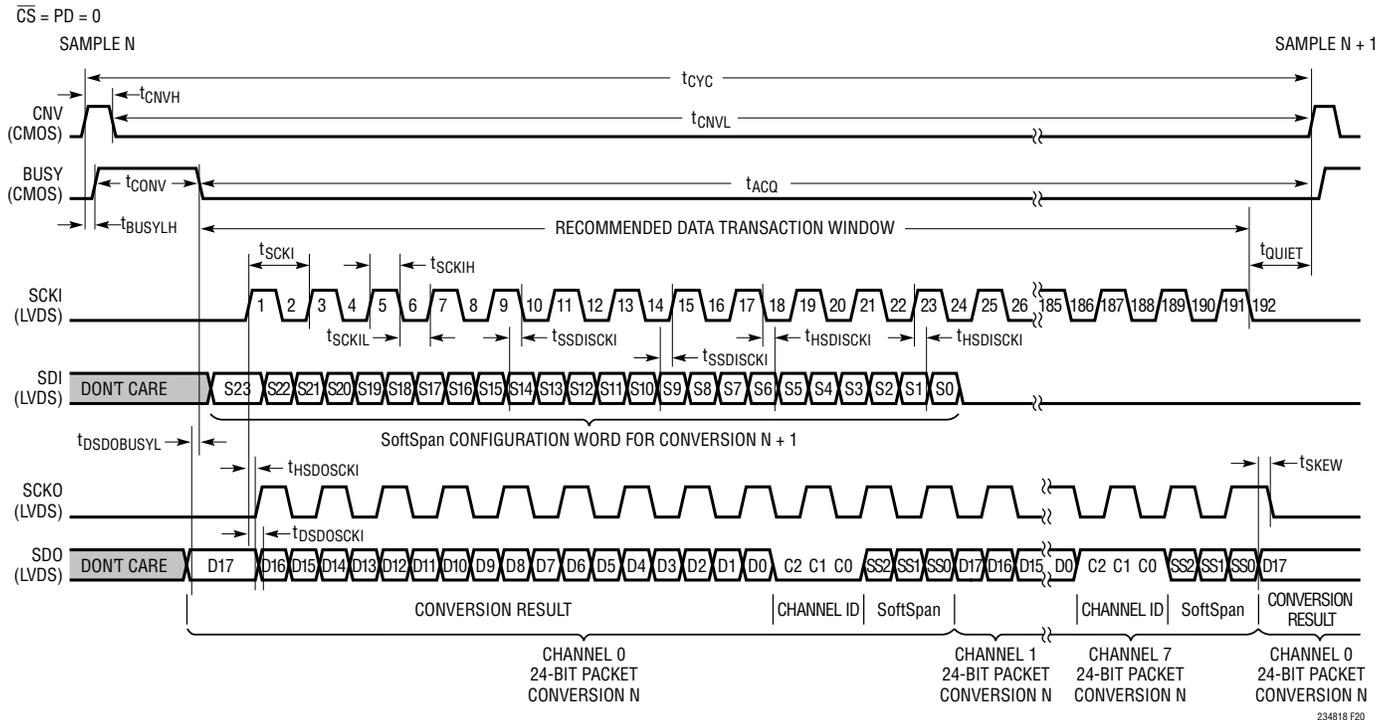


图 20：串行 LVDS I/O 模式

就在 BUSY 的下降沿和新的数据事务处理窗口开启之前，SDO 利用来自模拟输入通道 0 的最新转换结果进行更新。SCKI 的上升沿和下降沿均以串行的方式由时钟将转换结果和模拟输入通道配置信息在 SDO 上同步输出。SCKI 还在 SCKO 上得到回应，并与 SDO 上的数据实现时滞匹配。只要可能，建议采用 SCKO 的上升沿和下降沿来捕捉 SDO 上的 DDR 串行输出数据，因为这将产生针对整个电源和温度范围内的延迟变化的最佳坚固性。另外，SCKI 上升沿和下降沿还将锁存在 SDI 上提供的 SoftSpan 配置字，这些配置字用于设置内部 24 位 SoftSpan 配置寄存器。更多详情请见“在 LVDS I/O 模式中设置 SoftSpan 配置寄存器”部分。如图 21 所示，LVDS 总线在 \overline{CS} 为低电平时被使能，而在 \overline{CS} 为高电平时则被停用并呈高阻抗，因而可在多个器件之间共享该总线。由于 LVDS 信号传输需要高速度，因

此必须谨慎地考虑 LVDS 总线共享。由共享总线强加的传输线限制条件有可能对可实现的最大总线时钟速度造成限制。LVDS 输入利用一个 100Ω 差分电阻器在内部终接 (当 $\overline{CS} = 0$ 时)，而输出则必须利用一个 100Ω 电阻器以差分的方式终接在接收器 (FPGA)。在 LVDS I/O 模式中，SCKI 必须闲置在低电平状态 (包括对 \overline{CS} 进行转换的时候)。

SDO 上的数据被分组为由一个 18 位转换结果、3 位模拟通道 ID 和 3 位 SoftSpan 代码构成的 24 位信息包，均以 MSB 在前的方式提出。如图 20 和图 21 所示，SDO 以一种顺序、循环的方式输出用于所有模拟输入通道的这些信息包。例如：SDO 上输出的第一个 24 位信息包对应于模拟输入通道 0，跟随其后的是对应于通道 1 至 7 的信息包。SDO 上的数据输出然后回到通道 0，并无限期地重复这种模式。

应用信息

串行 LVDS 输出数据捕获

如表 3 所示，通过捕获来自 SDO 的 DDR 数据的首 8 个信息包 (总共 96 个 SCKI 周期)，可利用一个 180MHz SCKI 频率来实现每通道 200ksps 的全吞吐速率。LTC2348-18 支持高达 250MHz 的 LVDS SCKI 频率。

在 LVDS I/O 模式中设置 SoftSpan 配置寄存器

内部 24 位 SoftSpan 配置寄存器负责控制用于 LTC2348-18 所有模拟输入通道的 SoftSpan 范围。器件上电或复位之后该寄存器的默认状态为“全是 1”，将每个通道配置为在 SoftSpan 7 ($\pm 2.5 \cdot V_{REFBUF}$ 范围) 中执行转换 (见表 1a)。通过在数据事务处理窗口期 (示于图 20) 于 SDI 上提供一个新的 24 位 SoftSpan 配置字，可以修改此寄存器的状态。新的 SoftSpan 配置字仅在这个推荐的数据事务处理窗口内接受，但是 SoftSpan 变更则立即生效，在起下一个转换之前不需要额外的模拟输入稳定时间。把一个通道的 SoftSpan 代码设定为 $SS[2:0] = 000$ 将立即停用此通道，从而导致下一个转换上的 t_{CONV} 相应地缩短。同样，当启用一个先前停用的通道时，在起下一个转换之前不需要额外的模拟输入稳定时间。串行 SoftSpan 配置字、内部 SoftSpan 配置寄存器和每个通道的 3 位 SoftSpan 代码之间的映射示于图 19。

如果在一个数据事务处理窗口期内提供的 SCKI 边沿 (上升沿和下降沿) 少于 24 个，则在 SDI 上接收的不完整的字将被忽略，且 SoftSpan 配置寄存器将不被更新。假如恰好提供了 24 个 SCKI 边沿，那么 SoftSpan 配置寄存器将被更新以匹配接收的 SoftSpan 配置字 $S[23:0]$ 。该运行方式的唯一例外出现在 $S[23:0]$ 为“全是 0”的时候。在该场合中，SoftSpan 配置寄存器将不被更新，并允许应用通过使 SDI 闲置于低电平来保持当前的 SoftSpan 配置状态。倘若在一个数据事务处理窗口内提供了多于 24 个 SCKI 边沿，则在 SDI 上接收的每个完整的 24 位将被解释为一个新的 SoftSpan 配置字，并如上所述被加至 SoftSpan 配置寄存器。任何不完整的字都被忽略。

通常，应用将按照图 20 和图 21 所示的方式来更新 SoftSpan 配置寄存器。在一个新的数据事务处理窗口于 BUSY 的下降沿开启之后，用户在首 12 个 SCKI 周期于 SDI 上提供一个 24 位 DDR SoftSpan 配置字。这个新的字在第 12 个 SCKI 下降沿之后改写内部配置寄存器内容。用户随后在剩余的数据事务处理窗口期里把 SDI 保持在低电平，从而导致寄存器保存其内容，这与施加的额外 SCKI 周期的数量无关。通过在整个数据事务处理窗口内将 SDI 保持在低电平，可以在多个转换操作期间保留 SoftSpan 设置，这与施加的 SCKI 周期数量无关。

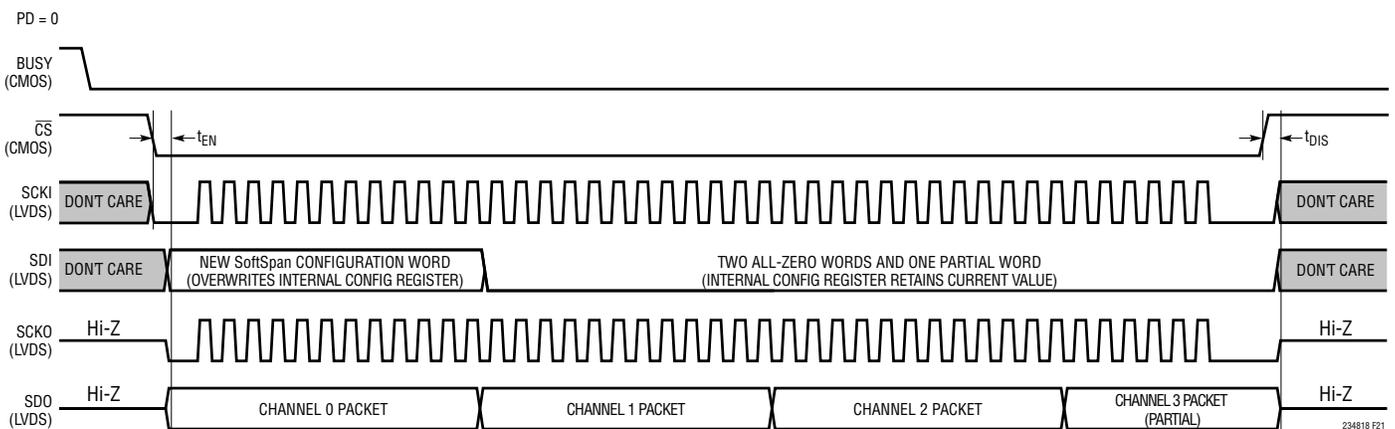


图 21：内部 SoftSpan 配置寄存器运行方式。串行 LVDS 总线对 \overline{CS} 做出响应。

电路板佈局

为了获得 LTC2348-18 的最佳性能，建议使用一个四层印刷电路板 (PCB)。该 PCB 的佈局应确保数字和模拟信号线是尽可能分开的。应特别注意不要沿着模拟信号迹线或在 ADC 的下方排布任何的数字时钟或信号走线。另外，还应最大限度地缩短 REFBUF 至 GND (引脚 20) 旁路电容器的长度，并避免在靠近信号线的地方佈设 CNV 走线 (这有可能干扰其上升沿)。

推荐佈局

下面给出了推荐的 PCB 佈局示例。应采用单个连续且不间断的接地平面。至电源的旁路电容器应佈设在尽可能靠近电源引脚的地方。用于这些旁路电容器的低阻抗公共回线对于实现 ADC 的低噪声操作是不可或缺的。模拟输入走线由地屏蔽。欲知更多细节和信息，请查阅 DC2094A (LTC2348-18 的评估套件) 的相关资料。

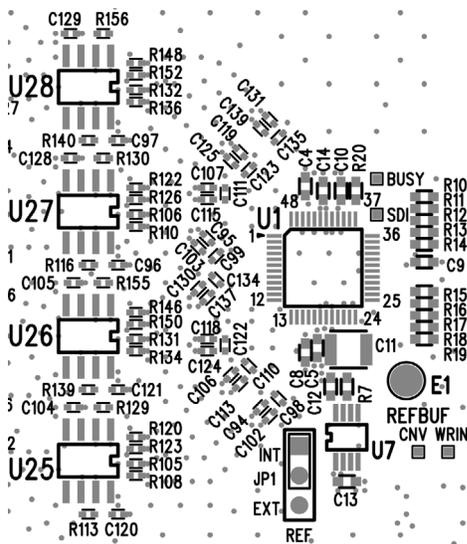


图 22：部分顶层丝网印刷

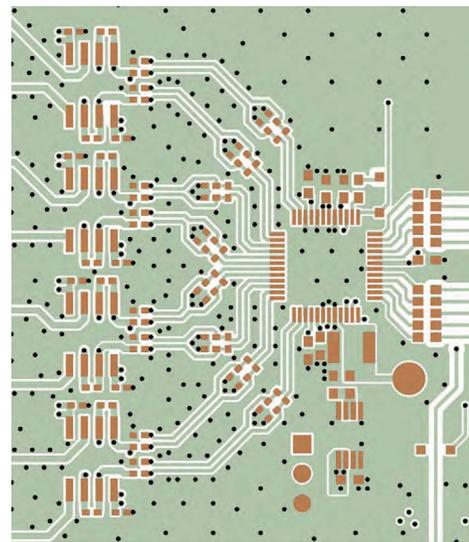


图 23：第一层 (部分)，顶层

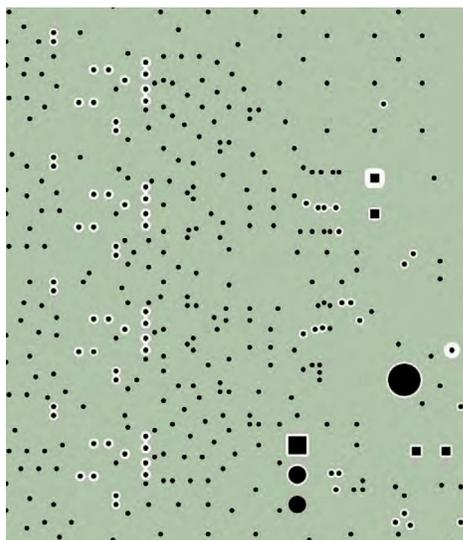


图 24：第二层 (部分)，接地平面

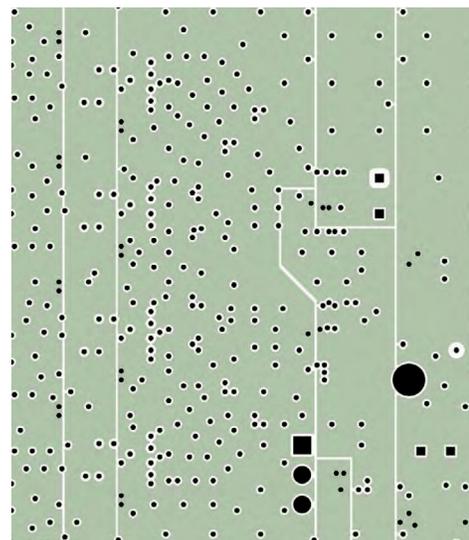


图 25：第三层 (部分)，电源平面

电路板佈局

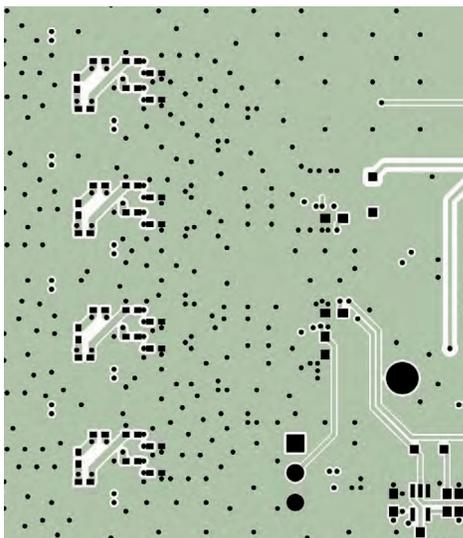


图 26：第四层 (部分)，底层

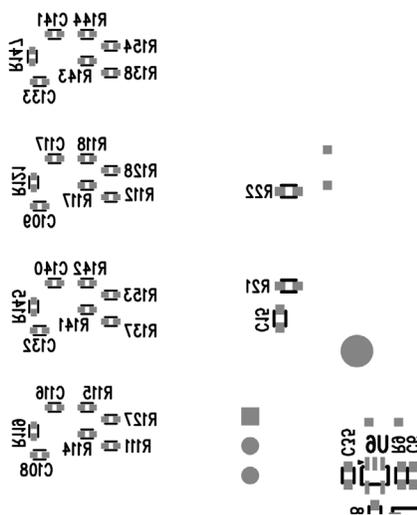
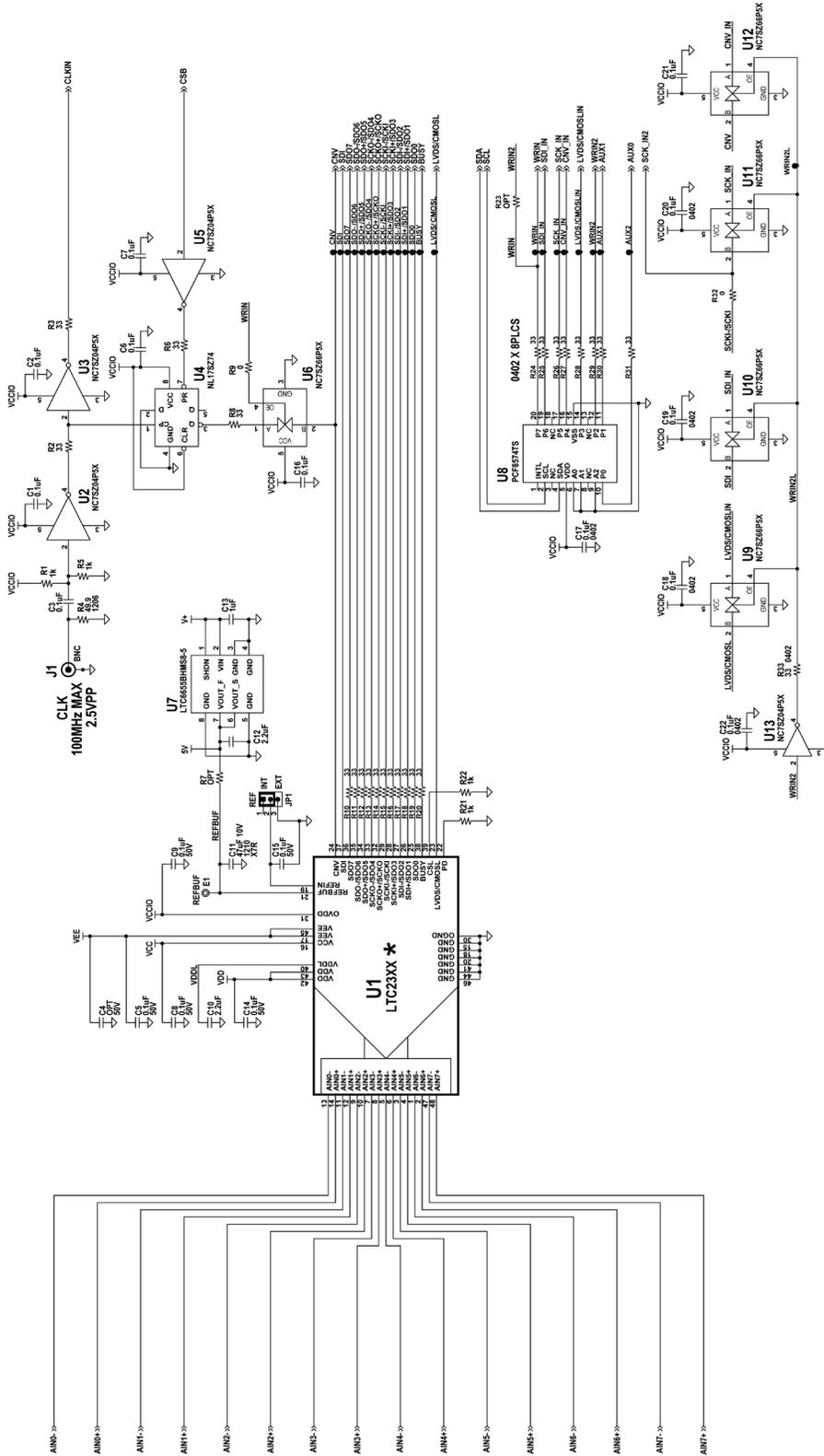


图 27：部分底侧丝网印刷

电路板原理图



ASSY	U1	SUFFIX	-Bit	Ksps	-CHANNEL
-A	LTC2348-18		48-18	200	8

*

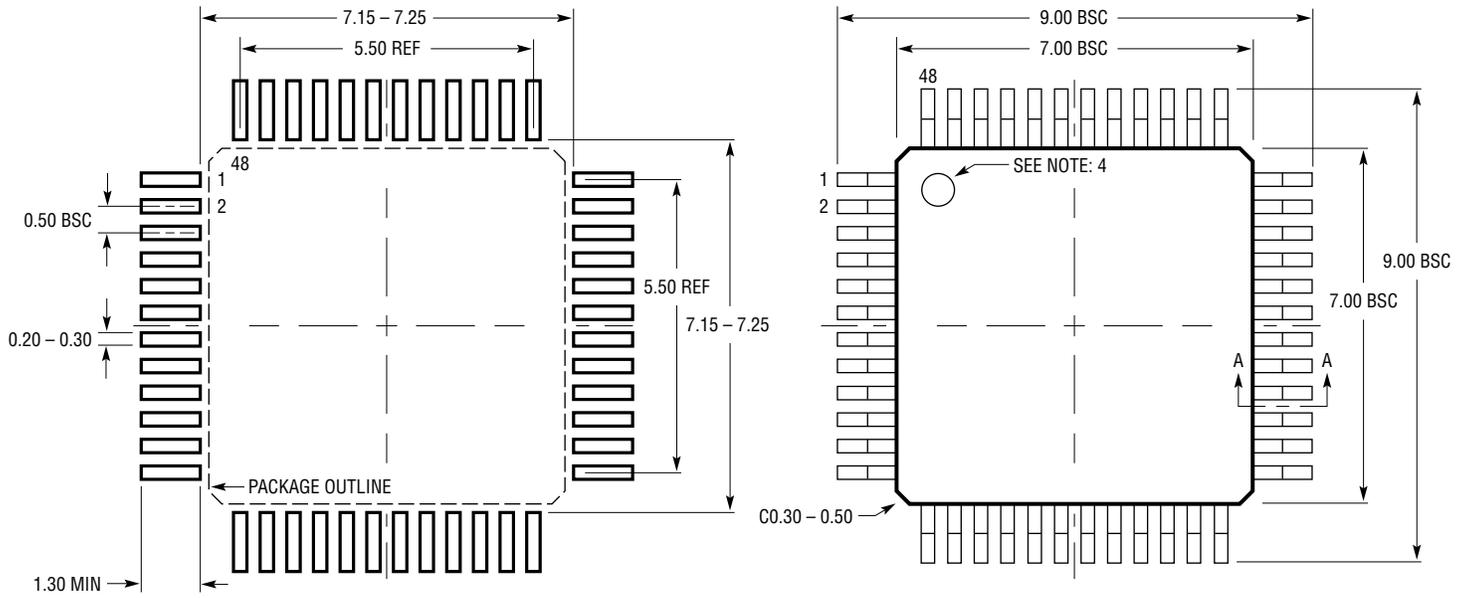
NOTES: UNLESS OTHERWISE SPECIFIED

1. ALL RESISTORS AND CAPACITORS ON THIS PAGE ARE 0603.

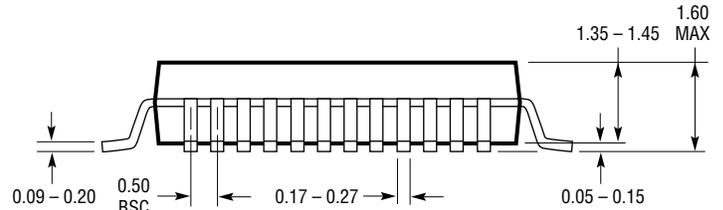
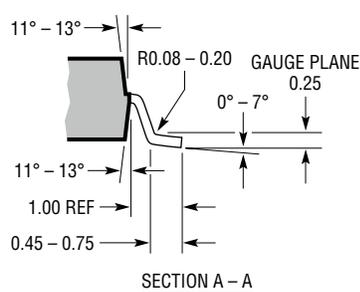
封装描述

如需了解最近的封装图样，请登录 <http://www.linear.com.cn/designtools/packaging/>

LX 封装 48 引脚塑料 LQFP (7mm × 7mm) (参考 LTC DWG # 05-08-1760 Rev A)

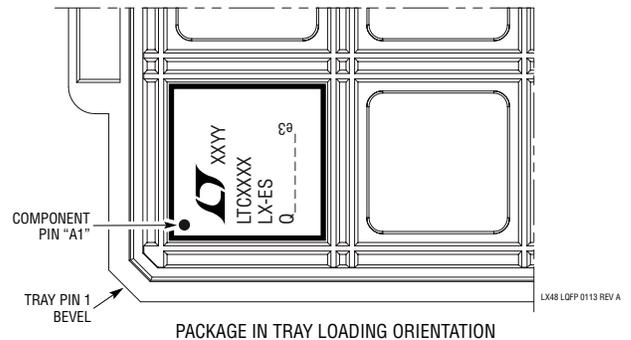


RECOMMENDED SOLDER PAD LAYOUT
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



NOTE:

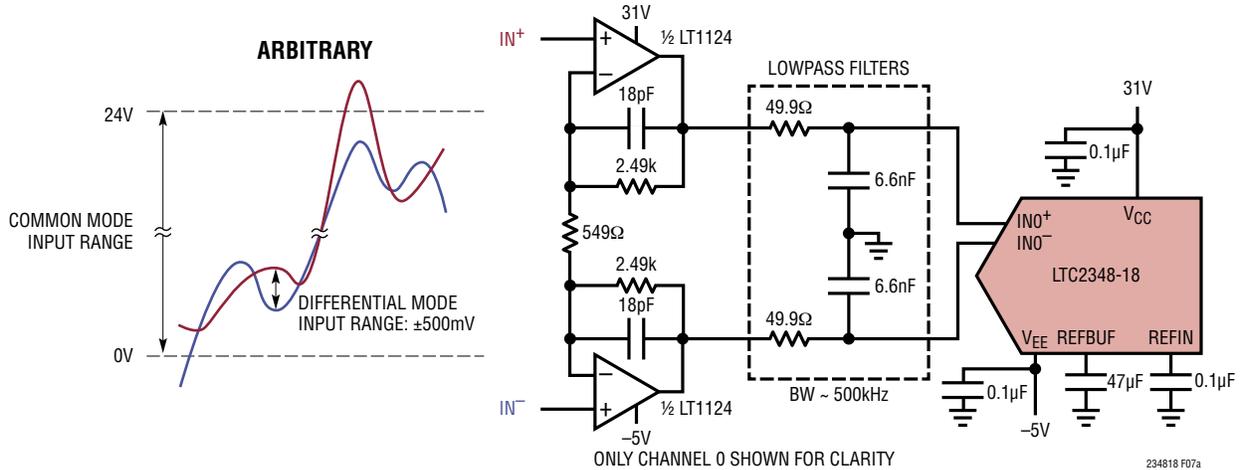
1. PACKAGE DIMENSIONS CONFORM TO JEDEC #MS-026 PACKAGE OUTLINE
2. DIMENSIONS ARE IN MILLIMETERS
3. DIMENSIONS OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.25mm ON ANY SIDE, IF PRESENT
4. PIN-1 IDENTIFIER IS A MOLDED INDENTATION, 0.50mm DIAMETER
5. DRAWING IS NOT TO SCALE



LX48 LQFP 0113 REV A

典型应用

在一个宽共模范围内对差分信号进行数字化处理



相关器件

器件型号	描述	备注
ADC		
LTC2378-20/LTC2377-20/ LTC2376-20	20 位、1Msps/500ksps/250ksps、 ±0.5ppm INL 串行、低功率 ADC	2.5V 电源，±5V 全差分输入，104dB SNR，MSOP-16 封装和 4mm x 3mm DFN-16 封装
LTC2338-18/LTC2337-18/ LTC2336-18	18 位、1Msps/500ksps/250ksps、串行、 低功率 ADC	5V 电源，±10.24V 全差分输入，100dB SNR，MSOP-16 封装
LTC2328-18/LTC2327-18/ LTC2326-18	18 位、1Msps/500ksps/250ksps、串行、 低功率 ADC	5V 电源，±10.24V 伪差分输入，95dB SNR，MSOP-16 封装
LTC2373-18/LTC2372-18	18 位、1Msps/500ksps、8 通道、串行 ADC	5V 电源，8 通道多路复用，可配置输入范围，100dB SNR， 数字增益压缩 (DGC)，5mm x 5mm QFN-32 封装
LTC2379-18/LTC2378-18/ LTC2377-18/LTC2376-18	18 位、1.6Msps/1Msps/500ksps/250ksps、 串行、低功率 ADC	2.5V 电源，差分输入，101.2dB SNR，±5V 输入范围，DGC， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2380-16/LTC2378-16/ LTC2377-16/LTC2376-16	16 位、2Msps/1Msps/500ksps/250ksps、 串行、低功率 ADC	2.5V 电源，差分输入，96.2dB SNR，±5V 输入范围，DGC， 采用 MSOP-16 和 4mm x 3mm DFN-16 封装的引脚兼容型系列
LTC2389-18/LTC2389-16	18 位 / 16 位、2.5Msps 并行/串行 ADC	5V 电源，引脚可配置输入范围，99.8dB/96dB SNR，并行或串行 I/O， 7mm x 7mm LQFP-48 封装和 QFN-48 封装
LTC1859/LTC1858/ LTC1857	16 位 / 14 位 / 12 位、8 通道、100ksps、 串行 ADC	±10V，SoftSpan™，单端或差分输入，单 5V 电源，SSOP-28 封装
LTC1609	16 位、200ksps 串行 ADC	±10V，可配置单极 / 双极输入，单 5V 电源，SSOP-28 封装和 SO-20 封装
LTC1606/LTC1605	16 位、250ksps / 100ksps、并行 ADC	±10V 输入，5V 电源，75mW / 55mW，SSOP-28 封装和 SO-28 封装
DAC		
LTC2756/LTC2757	18 位、串行 / 并行 I _{OUT} SoftSpan DAC	±1LSB INL/DNL，软件可选的范围，SSOP-28 封装和 7mm x 7mm LQFP-48 封装
LTC2641	16 位 / 14 位 / 12 位、单通道、串行 V _{OUT} DAC	±1LSB INL/DNL，MSOP-8 封装，0V 至 5V 输出
LTC2668	16 通道 16 位 / 12 位 ±10V V _{OUT} SoftSpan DAC	±4LSB INL，高精度基准 10ppm/°C (最大值)，6mm x 6mm QFN-40 封装
基准		
LTC6655	高精度低漂移低噪声缓冲基准	5V/2.5V/2.048V/1.25V，2ppm/°C，0.25ppm 峰至峰噪声，MSOP-8 封装
LTC6652	高精度低漂移低噪声缓冲基准	5V/2.5V/2.048V/1.25V，5ppm/°C，2.1ppm 峰至峰噪声，MSOP-8 封装
放大器		
LT1468/LT1469	单通道 / 双通道、90MHz、22V/μs、准确度达 16 位的运算放大器	低输入失调：75μV/125μV
LT1354/LT1355/LT1356	单通道 / 双通道 / 四通道、1mA、12MHz、 400V/μs 运算放大器	优良的 DC 准确度，可在采用全容性负载时保持稳定