

特点

- 用于正电源和负电源的热插拔 (Hot Swap™) 控制器
- 电源跟踪模式
- 工作电压范围为 $\pm 2.7V$ 至 $\pm 16.5V$
- 具折返式模拟电流限制
- 允许电路板在带电背板上安全地插拔
- 集电极开路式输出的电源状态良好比较器
- 在一个电流故障之后进行自动重试或锁定
- 两个欠压关断比较器输入
- 电流故障指示

应用

- 板卡带电插拔
- RAID 系统
- $-5.2V$ ECL 电源
- 工业控制
- 分离电源系统

描述

LT®4220 是 16 引脚双电压热插拔控制器允许电路板在带电背板上安全地插拔。该器件的工作电压可以是 $2.7V$ 至 $16.5V$ 与 $-2.7V$ 至 $-16.5V$ 电源的任意组合。利用两个外部 N 沟道调整晶体管, 可使电路板电源电压以一个可调速率进行斜坡上升。一种可选跟踪模式允许进行双电源跟踪控制, 以使正电源和负电源电压一道斜坡上升。

LT4220 具有折返电流限值功能, 且能在任一个电源保持电流限值状态的时间超过一个可调时间量时将两个栅极全部锁断。可将该 IC 配置为在一个由同一定时器所设定的延迟之后自动再启动。

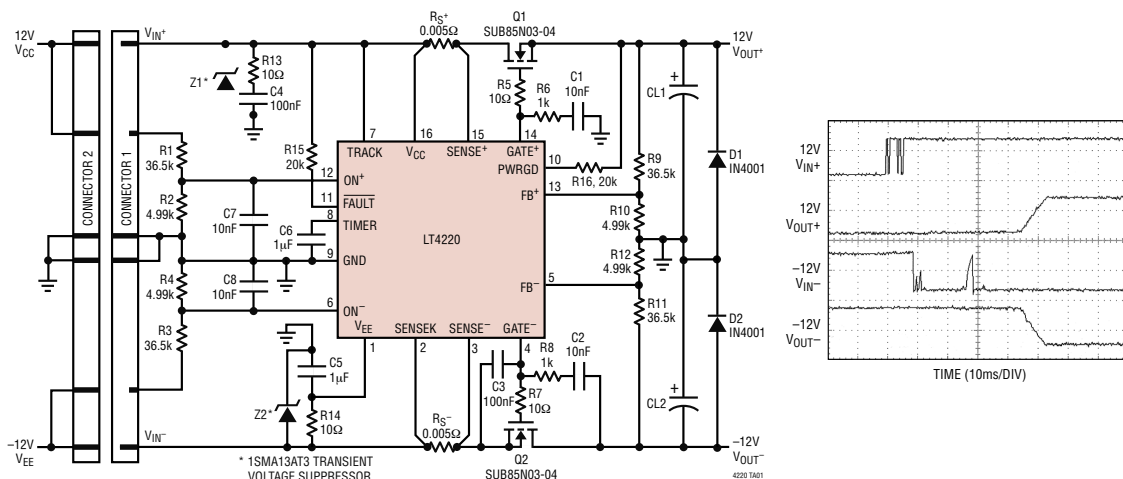
一个电源状态良好信号表明由两个 FB 比较器监视的输出电压处于容差范围之内, 且栅极驱动信号位于其满电压状态。

LT4220 采用 16 引脚窄式 SSOP 封装。

△、LTC 和 LT 是凌特公司的注册商标。
Hot Swap 是凌特公司的商标。

典型应用

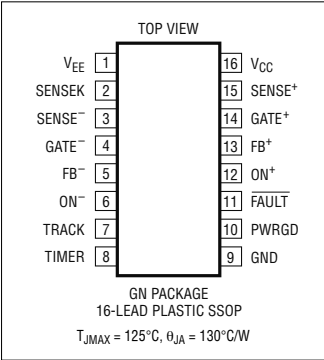
$\pm 12V$ 10A 热插拔控制器



绝对最大额定值 (注1, 2)

V_{CC} 至 GND	22V
V_{EE} 至 GND	-22V
TRACK、TIMER	-0.3V 至 $V_{CC} + 0.3V$
ON^+ 、 FB^+	$V_{EE} - 0.3V$ 至 $V_{CC} + 0.3V$
ON^- 、 FB^-	$V_{EE} - 0.3V$ 至 $V_{CC} + 0.3V$
$GATE^+$	-0.3V 至 $V_{CC} + 8V$
$GATE^-$	-16.5V 与 $V_{EE} = -22V$ 至 0V
SENSE $^+$	-0.3V 至 $V_{CC} + 5V$
SENSE $^-$ 、SENSEK	$V_{EE} - 0.3V$ 至 $V_{EE} + 3V$
PWRGD、FAULT	-0.3V 至 $V_{CC} + 5V$
工作温度范围	
LT4220C	$0^{\circ}C \leq T_A \leq 70^{\circ}C$
LT4220I	$-40^{\circ}C \leq T_A \leq 85^{\circ}C$
贮存温度范围	-65 $^{\circ}C$ 至 150 $^{\circ}C$
引脚温度 (焊接时间 10 秒)	300 $^{\circ}C$

封装/订购信息

	产品型号
	LT4220CGN LT4220IGN
	GN 器件标记
	4220 4220I

对于规定工作温度范围更宽的器件，请咨询凌特公司。

DC 电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^{\circ}C$ 。 $V_{CC} = 5V$ ， $V_{EE} = -5V$ ，除非特别注明。

符号	参数	条件	最小值	典型值	最大值	单位
V _{CC}	V _{CC} 工作电压范围		● 2.7		16.5	V
I _{CC}	V _{CC} 供电电流		●	2.7	4	mA
V _{EE}	V _{EE} 工作电压范围		● -2.7		-16.5	V
I _{EE}	V _{EE} 供电电流			-1.6	-2.4	mA
V _{PLKO}	V _{CC} 欠压关断		● 2.35	2.45	2.55	V
V _{MLKO}	V _{EE} 欠压关断		● -2.4	-2.45	-2.5	V
V _{ON+H}	ON ⁺ ON 门限	ON ⁺ 上升	● 1.22	1.24	1.26	V
V _{ON+HYS}	ON ⁺ 迟滞		● 25	50	70	mV
ΔV _{ON+H}	ON ⁺ ON 门限电压调节	V _{CC} = 2.7V，V _{EE} = -2.7V 至 V _{CC} = 16.5V，V _{EE} = -16.5V	●	0.02	0.15	mV/V
ΔV _{ON-H}	ON ⁻ ON 门限电压调节	V _{CC} = 2.7V，V _{EE} = -2.7V 至 V _{CC} = 16.5V，V _{EE} = -16.5V	●	0.05	1	mV/V
V _{ON-HYS}	ON ⁻ 迟滞		● 25	50	70	mV
V _{ON-H}	ON ⁻ ON 电压门限	ON ⁻ 下降	● -1.22	-1.24	-1.26	V
I _{ON+}	ON ⁺ 输入电流	V _{ON+} = 2V	●	0.01	±1	μA
I _{ON-}	ON ⁻ 输入电流	V _{ON-} = GND	●	0.01	±1	μA
V _{FB+H}	FB ⁺ PWRGD 电压门限	FB ⁺ 上升	● 1.22	1.24	1.26	V
V _{FB+HYS}	FB ⁺ 迟滞	栅极电压 = 5V	● 25	50	70	mV
V _{FB-H}	FB ⁻ PWRGD 电压门限	FB ⁻ 下降	● -1.22	-1.24	-1.26	V
V _{FB-HYS}	FB ⁻ 迟滞	栅极电压 = 3V	● 25	50	70	mV

DC 电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $V_{CC} = 5\text{V}$ ， $V_{EE} = -5\text{V}$ ，除非特别注明。

符号	参数	条件		最小值	典型值	最大值	单位
I_{INFB^+}	FB^+ 输入电流	$\text{FB}^+ = 3\text{V}$	●		0.09	± 1	μA
I_{INFB^-}	FB^- 输入电流	$\text{FB}^- = -3\text{V}$	●		0.08	± 1	μA
$\Delta V_{\text{FB}^+\text{H}}$	FB^+ PWRGD 门限电压调节	$V_{CC} = 2.7\text{V}$ ， $V_{EE} = -2.7\text{V}$ 至 $V_{CC} = 16.5\text{V}$ ， $V_{EE} = -16.5\text{V}$	●		0.015	0.15	mV/V
$\Delta V_{\text{FB}^-\text{H}}$	FB^- PWRGD 门限电压调节	$V_{CC} = 2.7\text{V}$ ， $V_{EE} = -2.7\text{V}$ 至 $V_{CC} = 16.5\text{V}$ ， $V_{EE} = -16.5\text{V}$	●		0.05	0.5	mV/V
V_{SENSE^+}	SENSE^+ 跳变电压 ($V_{CC} - V_{\text{SENSE}^+}$)	$V_{\text{FB}^+} = 0\text{V}$ ， $\text{GATE}^+ - 0.5\text{V}$ $V_{\text{FB}^+} = 1\text{V}$ ， $\text{GATE}^+ - 0.5\text{V}$	●	6 36	15 48	22 60	mV mV
V_{SENSE^-}	SENSE^- 跳变电压 ($V_{\text{SENSE}^-} - V_{\text{SENSE}^-}$)	$V_{\text{FB}^-} = 0\text{V}$ ， $\text{GATE}^- - 0.5\text{V}$ $V_{\text{FB}^-} = -1\text{V}$ ， $\text{GATE}^- - 0.5\text{V}$	●	-10 -43	-15 -52	-22 -61	mV mV
I_{GATEUP^+}	GATE^+ 上拉电流	充电泵接通， $V_{\text{GATE}^+} = 7\text{V}$	●	-9	-13	-17	μA
I_{GATEUP^-}	GATE^- 上拉电流	$V_{\text{GATE}^-} = -3\text{V}$	●	-6	-10	-14	μA
I_{GATEDN^+}	GATE^+ 下拉电流	任何故障条件， $V_{\text{GATE}^+} = 1\text{V}$	●	20	40	60	mA
I_{GATEDN^-}	GATE^- 下拉电流	任何故障条件， $V_{\text{GATE}^-} = V_{EE} + 4\text{V}$	●	30	70	130	mA
ΔV_{GATE^+}	外部 N 沟道 GATE^+ 驱动	$V_{\text{GATE}^+} - V_{CC}$ ， $V_{CC} = 2.7\text{V}$ ， $V_{EE} = -2.7\text{V}$ $V_{CC} = 5\text{V}$ 至 16.5V ， $V_{EE} = -5\text{V}$ 至 -16.5V	●	3.5 5	4 6.5	6 8	V V
ΔV_{GATE^-}	外部 N 沟道 GATE^- 驱动	$V_{\text{GATE}^-} - V_{EE}$ ， $V_{CC} = 2.7\text{V}$ ， $V_{EE} = -2.7\text{V}$ $V_{CC} = 5\text{V}$ 至 16.5V ， $V_{EE} = -5\text{V}$ 至 -16.5V	●	3.5 7.5	5.2 8.5	6 9	V V
V_{TIMERH}	TIMER 高电平门限，设定 FAULT		●	1.22	1.24	1.26	V
V_{TIMERL}	TIMER 低电平门限，允许再起动		●	0.4	0.5	0.6	V
I_{TIMERUP}	TIMER 上拉电流	TIMER = 0V	●	-40	-65	-85	μA
I_{TIMERDN}	TIMER 下拉电流	TIMER = 1V	●	2	3.3	4.5	μA
$I_{\text{TIMER(R)}}$	TIMER 电流比	$I_{\text{TIMERDN}}/I_{\text{TIMERUP}}$			5	7	%
V_{OL}	PWRGD 输出低电压	$I_O = 2\text{mA}$ $I_O = 5\text{mA}$	●			0.3 0.5	V V
I_{OH}	PWRGD 漏电流	$V_{\text{PWRGD}} = 16.5\text{V}$	●		0.1	2	μA
V_{FOL}	FAULT 输出低电压	$I_O = 2\text{mA}$ $I_O = 5\text{mA}$	●			0.3 0.5	V V
I_{FPH}	FAULT 漏电流	$V_{\text{FAULT}} = 16.5\text{V}$	●		0.06	2	μA
V_{TRKTHR}	TRACK 输入门限		●	0.3	0.8	1.1	V
I_{TRK}	TRACK 输入电流	TRACK = 16.5V	●		0.05	2	μA
V_{TRKFB^+}	TRACK 模式 FB^+ 门限	$I_{\text{GATE}^+} = 0\mu\text{A}$ ，TRACK = V_{CC} (注 3)	●		40	70	mV
V_{TRKFB^-}	TRACK 模式 FB^- 门限	$I_{\text{GATE}^-} = 0\mu\text{A}$ ，TRACK = V_{CC} (注 3)	●		40	80	mV

AC 电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^{\circ}\text{C}$ 。 $V_{CC} = 5\text{V}$ ， $V_{EE} = -5\text{V}$ ，除非特别注明。

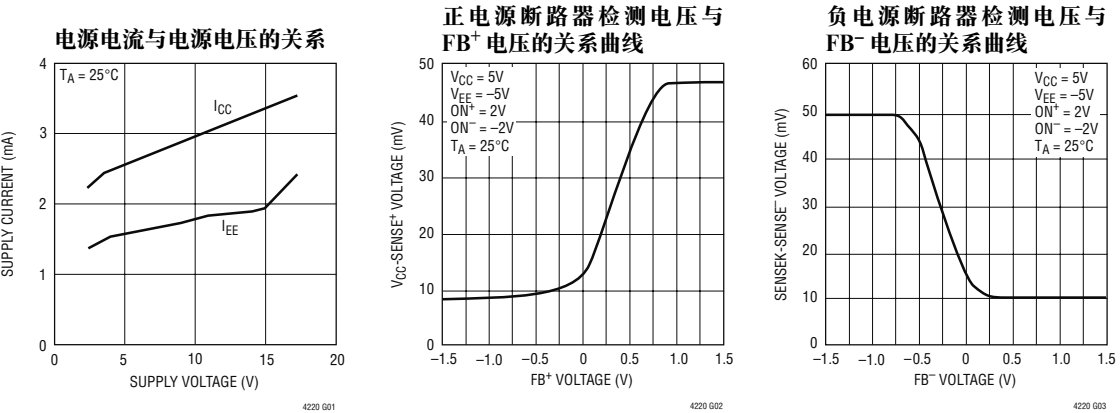
符号	参数	条件		最小值	典型值	最大值	单位
t_{PHLON}^{+}	ON^{+} 低至 $GATE^{+}$ 低	5k 上拉电阻至 $GATE^{+}$ ，1nF 负载电容器	●	0.6	0.8	1.2	μs
t_{PLHON}^{+}	ON^{+} 高至 $GATE^{+}$ 高	5k 上拉电阻至 $GATE^{+}$ ，1nF 负载电容器	●	0.6	1.5	3	μs
t_{PHLFB}^{+}	FB^{+} 低至 PWRGD 低	5k 上拉电阻至 PWRGD	●	0.5	0.8	1.2	μs
t_{PLHFB}^{+}	FB^{+} 高至 PWRGD 高	5k 上拉电阻至 PWRGD	●	0.6	1.25	3	μs
t_{PHLON}^{-}	ON^{-} 低至 $GATE^{-}$ 低	5k 上拉电阻至 $GATE^{-}$ ，1nF 负载电容器	●	0.6	1	1.5	μs
t_{PLHON}^{-}	ON^{-} 高至 $GATE^{-}$ 高	5k 上拉电阻至 $GATE^{-}$ ，1nF 负载电容器	●	1	2.1	3.5	μs
t_{PHLFB}^{-}	FB^{-} 低至 PWRGD 低	5k 上拉电阻至 PWRGD	●	0.6	1	1.5	μs
t_{PLHFB}^{-}	FB^{-} 高至 PWRGD 高	5k 上拉电阻至 PWRGD	●	0.8	1.25	2	μs
t_{SENSE}^{+}	$SENSE^{+}$ 至 $GATE^{+}$ 低	1nF 在 $GATE^{+}$ ，100mV 步进，5k 上拉电阻	●	1	4	6	μs
t_{SENSE}^{-}	$SENSE^{-}$ 至 $GATE^{-}$ 低	1nF 在 $GATE^{-}$ ，100mV 步进，5k 上拉电阻	●	1	4	6	μs

注 1：绝对最大额定值是指超出该值则器件的寿命可能会受损。

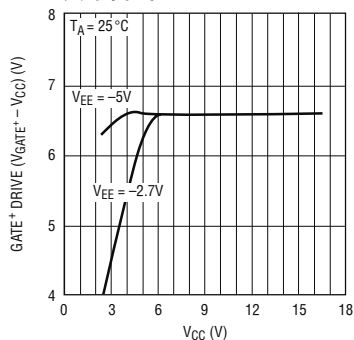
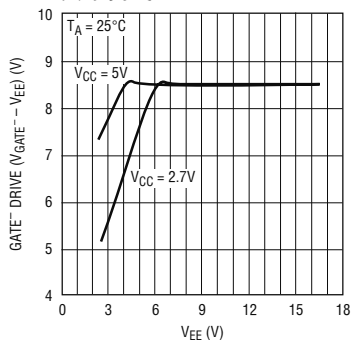
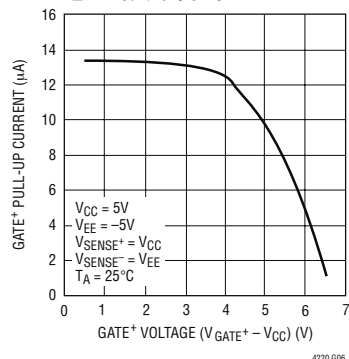
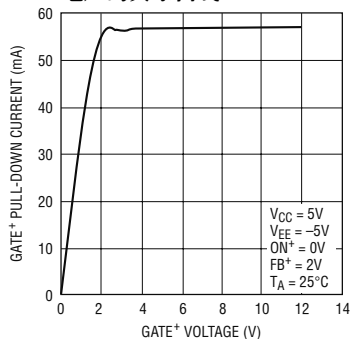
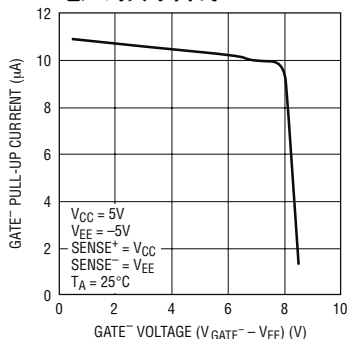
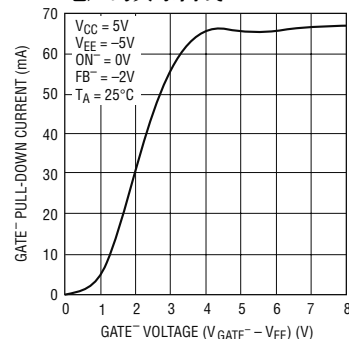
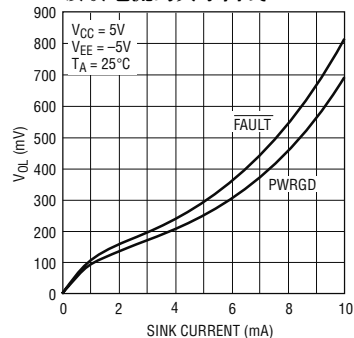
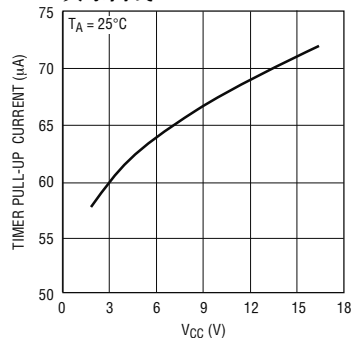
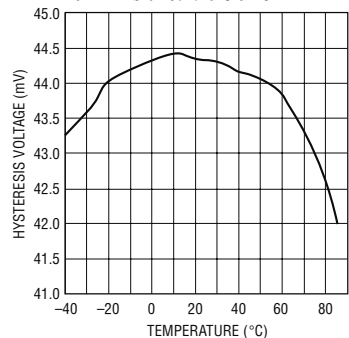
注 2：所有流入器件引脚的电流均为正；所有流出器件引脚的电流均为负。所有的电压值均以地电位 (GND) 为基准，除非特别注明。

注 3：强制 $GATE^{+}$ 或 $GATE^{-}$ 电流为 $0\mu\text{A}$ 所需的 FB^{+} 和 FB^{-} 引脚之间的绝对压差。

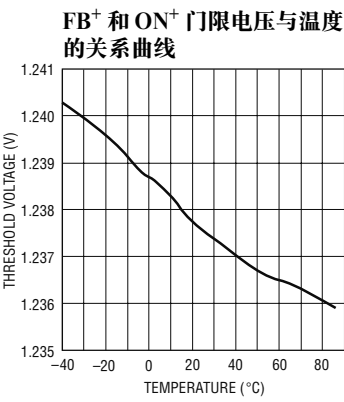
典型性能特征



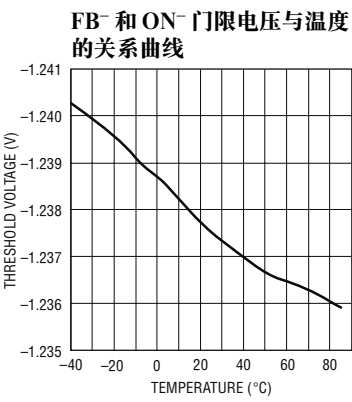
典型性能特征

GATE⁺ 驱动电压与 V_{CC} 的关系曲线GATE⁻ 驱动电压与 V_{EE} 的关系曲线GATE⁺ 上拉电流与 GATE⁺ 电压的关系曲线GATE⁺ 下拉电流与 GATE⁺ 电压的关系曲线GATE⁻ 上拉电流与 GATE⁻ 电压的关系曲线GATE⁻ 下拉电流与 GATE⁻ 电压的关系曲线PWRGD 和 FAULT V_{OL} 与吸收电流的关系曲线TIMER 上拉电流与 V_{CC} 的关系曲线ON⁺、ON⁻ 和 FB⁺、FB⁻ 迟滞与温度的关系曲线

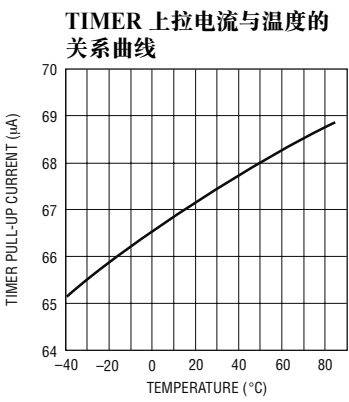
典型性能特征



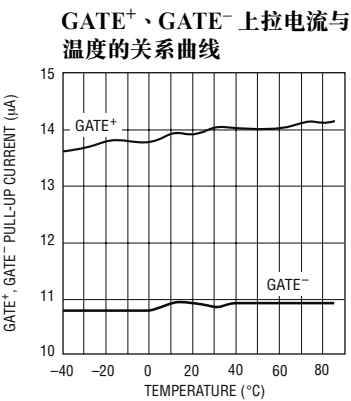
4220 G13



4220 G14



4220 G15



4220 G16

引脚功能

V_{EE} (引脚 1)：负电源。对于正常操作，负电源电压范围为 -2.7V 至 -16.5V。I_{EE} 的典型值为 -1.6mA。当输入大于 -2.45V 时，一个内部欠压关断电路将使器件不工作。一个从 V_{IN-} 至 V_{EE} 引脚的 10Ω、1μF RC 旁路网络可使器件免受瞬态电压的影响。

SENSEK (引脚 2)：负电源电流限制的开尔文 (Kelvin) 检测引脚。连接至 V_{IN-}。

SENSE⁻ (引脚 3)：负电源电流限制的检测引脚。在 SENSEK 至 SENSE⁻ 引脚之间的电源通路上布设了一个检测电阻器。当 FB⁻ 引脚电压低于 -0.7V 时，电流限值电路将把检测电阻器两端的电压调节至 -50mV (SENSEK - SENSE⁻)。如果 FB⁻ 引脚电压升至 -0.7V 以上，则检测电阻器两端的电压将线性下降，并在 V_{FB-} 为 0V 时停止于 -15mV。如果未使用电流限值功能，则将该引脚连接至 SENSEK。

GATE⁻ (引脚 4)：用于外部负电源 N 沟道 FET 的栅极驱动器。一个内部 10μA 电流源驱动该引脚。一个从 GATE⁻ 引脚连接至 V_{OUT-} 的外部电容器将控制 V_{OUT-} 信号的上升斜率。该引脚电压被箝位于比 V_{EE} 高 9V 的数值上。

当达到电流极限值时，将对 GATE⁻ 引脚进行调节，以便在定时电容器开始充电时在 R_{S-} 电阻器的两端维持一个恒定的电压。如果 TIMER 引脚电压超过 1.24V，则将设置故障闭锁，且 GATE⁻ 和 GATE⁺ 引脚均将被拉至低电平。

当 ON⁺ 引脚电压低于 1.24V、ON 引脚电压高于 -1.24V，或任一电源位于欠压关断电压范围内，或故障闭锁由电压升至 1.24V 以上的 TIMER 引脚来设定，GATE⁻ 引脚电压将被拉至 V_{EE}。

FB⁻ (引脚 5)：负电源状态良好比较器输入。该引脚利用一个外部阻性分压器来监视负输出电压 (V_{OUT-})。当 FB⁻ 引脚上的电压低于 -1.24V、GATE⁻ 初始驱动电压达到一个最大值 (由设置内部 GATE⁻ 状态良好闭锁来指示) 且 FB⁺ 释放条件得到满足时，PWRGD 引脚被释放。当 FB⁻ 引脚电压高于 -1.185V 时，PWRGD 引脚被拉至低电平。请注意 PWRGD 引脚与 FB⁺ 引脚条件成线“或”关系。

FB⁻ 引脚还对负电源电流限值检测放大器输入失调进行控制，以提供折返电流限制。当 FB⁻ 引脚电压位于 -0.75V 至 0V 范围内时，FB⁻ 引脚使负电源检测放大器失调电压从 -52mV 线性下降至 -15mV。如需使 V_{EE} PWRGD 和折返电流限值失效，应将 FB⁻ 引脚电压限制在 V_{EE} + 0.5V 至 -1.3V 的范围内，但对于正常操作而言，不应比 -5.8V 更负。

ON⁻ (引脚 6)：负电源状态良好比较器输入。该引脚借助一个外部阻性分压器来对负输入电压 (V_{EE}) 进行欠压关断监视。当 ON⁻ 引脚上的电压低于 V_{ON-TH} 高至低门限 (-1.24V) 时，负电源被认为处于良好状态。如果 ON⁻ 引脚电压升至 -1.185V 以上，则 GATE⁻ 和 GATE⁺ 引脚均被拉至低电平。如果 ON⁻ 引脚未被使用，则应将其电压设定在 V_{EE} + 0.5V 至 -1.3V 之间。

TRACK (引脚 7)：电源跟踪模式控制。如果 TRACK 引脚被拉至高电平，则内部电源跟踪电路将在启动过程中被使能。TRACK 电路负责监视 FB⁺ 和 FB⁻ 引脚，以便通过控制 GATE⁺ 和 GATE⁻ 充电电流来把 FB⁺ 和 FB⁻ 引脚的电压幅度差保持在一个很小的电压范围内。当任一 FB 比较器指示输出处于良好状态时，使跟踪失效。如果 ON⁺ 引脚电压被拉至 1.185V 以下，ON⁻ 引脚电压被拉至 -1.185V 以上，或任一电源低于内部欠压关断电压，则重新使能跟踪。TRACK 引脚一般被连接至 GND 或 V_{CC}。如果置于悬浮状态，则跟踪被使能。

TIMER (引脚 8)：故障定时结束控制。位于该引脚上的一个外部定时电容器负责设置器件被允许保持在电流限值状态下的最大时间 (直到器件发出一个故障信号并关断外部 FET 为止)。此外，该引脚还能对一个自动再起动的开始时间进行控制。

当器件进入电流限值模式时，一个 65μA 上拉电流源开始对定时电容器进行充电。当电容器电压达到 V_{TIMERH} (1.24V) 时，将设置内部故障闭锁，FAULT 引脚被拉至低电平，且两个 GATE 引脚也被拉至低电平；上拉电流将被切断，并用一个 3.3μA 的下拉电流对该电容器进行放电。当 TIMER 引脚电压降至 0.5V 以下时，如果 ON⁺ 引脚电压脉动至 1.185V 以下，则允许器件重新启动，并由此使内部故障闭锁

引脚功能

复位——通常的做法是把 $\overline{\text{FAULT}}$ 引脚连接至 ON^+ 引脚，否则器件将保持锁断状态。

为使定时结束电路断路器失效，可将 TIMER 引脚连接至 GND 。

GND (引脚 9)：电源接地引脚。

PWRGD (引脚 10)：至 GND 的集电极开路输出。在 GATE^- 引脚初始电压和 GATE^+ 引脚最终电压达到其最大值、 FB^+ 引脚电压升至 1.24V 低至高门限以上且 FB^- 引脚降至 -1.24V 高至低门限以下之后， PWRGD 引脚呈高阻抗。一个外部上拉电阻器可把该引脚拉至一个高于或低于 V_{CC} 的电压值。不用时， PWRGD 引脚可以悬浮或连接至 GND 。

FAULT (引脚 11)：至 GND 的集电极开路输出。当 TIMER 引脚电压升至 V_{TIMERH} (1.24V) 门限以上时， $\overline{\text{FAULT}}$ 引脚被拉至低电平，由此来设置内部故障闭锁。每当内部故障闭锁被复位时，该引脚呈高阻抗。故障闭锁可利用内部欠压关断条件或 ON 比较器 (如果 TIMER 引脚电压也低于 0.5V) 来复位。不用时， $\overline{\text{FAULT}}$ 引脚可以悬浮或连接至 GND 。

ON^+ (引脚 12)：正电源状态良好比较器输入。该引脚利用一个外部阻性分压器来对正输入电压 (V_{CC}) 进行欠压关断监视。当 ON^+ 引脚上的电压高于 $V_{\text{ON}^+\text{H}}$ 高至低门限 (1.24V) 时，正电源被认为处于良好状态。如果 ON^+ 引脚电压降至 1.185V 以下，则 GATE^- 和 GATE^+ 引脚均被拉至低电平。

如果 ON^+ 引脚在一个电流限值故障之后被拉至低电平且 TIMER 引脚电压低于 0.5V，则故障闭锁被复位，从而使器件返回接通状态。 $\overline{\text{FAULT}}$ 引脚一般回接至 ON^+ 引脚以实现自动再启动。不用时， ON^+ 引脚电压应设定在 1.3V 至 $V_{\text{CC}} + 0.3\text{V}$ 的范围内。 ON^+ 引脚需要一个接地的旁路电容器。

FB^+ (引脚 13)：正电源状态良好比较器输入。该引脚利用一个外部电阻器来监视正输出电压 (V_{OUT^+})。当 FB^+ 引脚上的电压超过 $V_{\text{FB}^+\text{H}}$ 低至高门限 (1.24V) 且 GATE^+ 驱动电压达到一个最大值时， PWRGD 引脚被

释放。当 FB^+ 引脚电压低于 1.185V 时， PWRGD 引脚被拉至低电平。 PWRGD 引脚与 FB^- 引脚条件成线“或”关系。

FB^+ 还对正电流限值检测放大器输入失调进行控制，以提供折返电流限值。当 FB^+ 引脚电压位于 0V 至 0.85V 范围内时， FB^+ 引脚使正电源检测放大器失调电压从 48mV 线性下降至 15mV。如果未使用 PWRGD 和折返电流限值，则应将 FB^+ 引脚电压限制在 1.3V 至 $V_{\text{CC}} + 0.3\text{V}$ 的范围内。

GATE^+ (引脚 14)：用于外部正电源 N 沟道 FET 的高侧栅极驱动器。对于 $\pm 2.7\text{V}$ 的电源电压，一个内部充电泵可确保引脚电压至少比 V_{CC} 高 3.5V，而当电源电压高于 $\pm 5\text{V}$ 时，则可将引脚电压提升至比 V_{CC} 至少高 5V。一个 $10\mu\text{A}$ 上拉电流源驱动该引脚。一个从 GATE^+ 引脚连接至 GND 的外部电容器将控制 GATE^+ 信号的上升斜率。该引脚电压被箝位于比 V_{CC} 高 7V 的数值上。

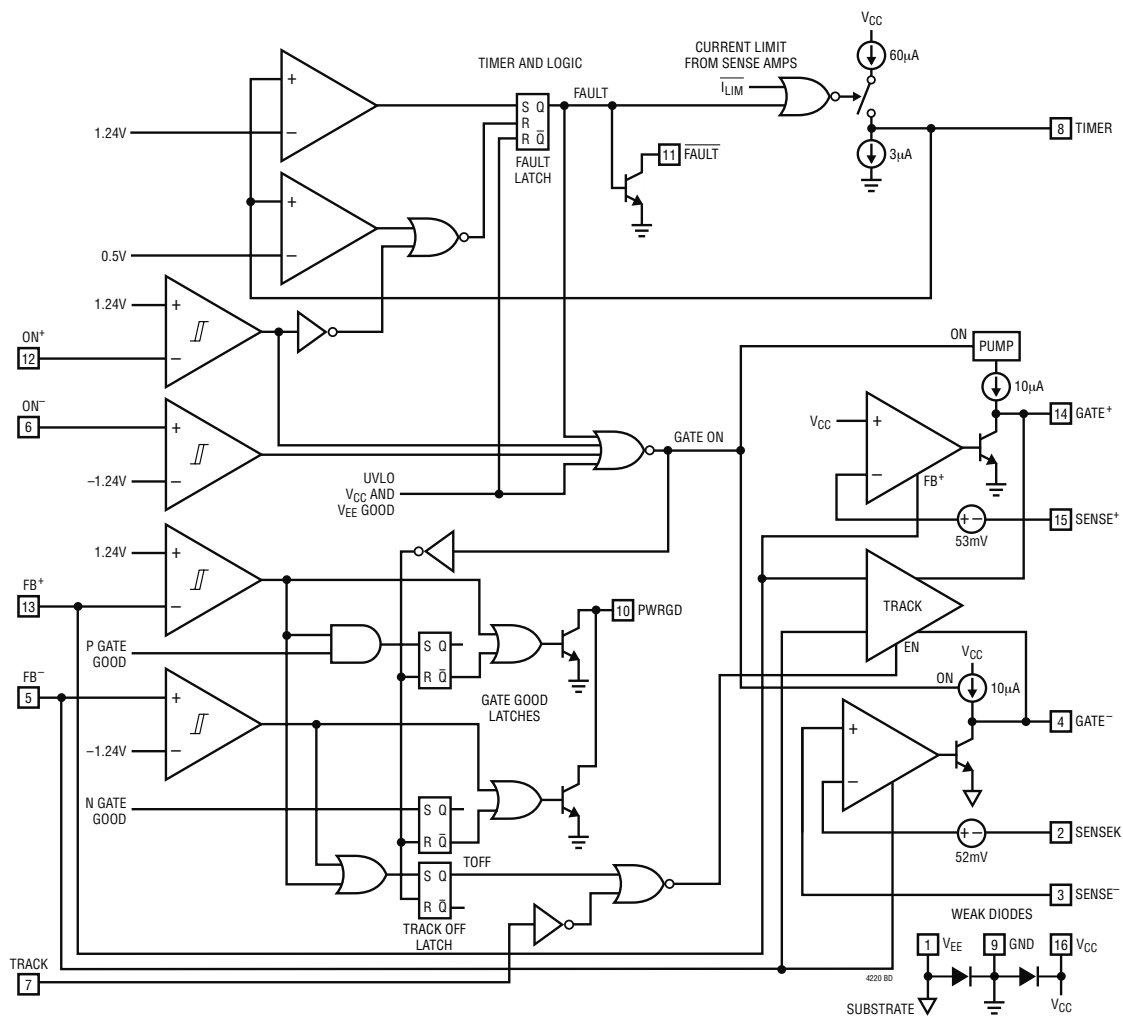
当达到电流极限值时，将对 GATE^+ 引脚电压进行调节，以便在定时充电器开始充电时在 R_{S^+} 电阻器两端保持一个恒定的电压。如果 TIMER 引脚电压超过 1.24V，则 GATE^+ 引脚将被拉至低电平。

当 ON^+ 引脚电压低于 1.24V， ON^- 引脚高于 -1.24V，任一电源处于欠压关断电压范围内，或 TIMER 引脚电压升至 1.24V 以上时， GATE^+ 引脚电压被拉至 GND 电位。

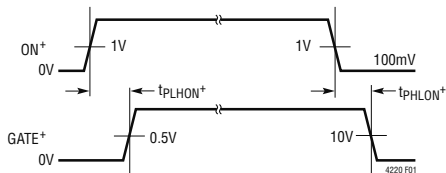
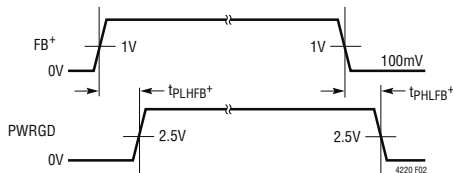
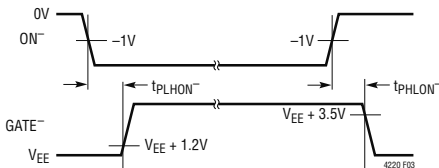
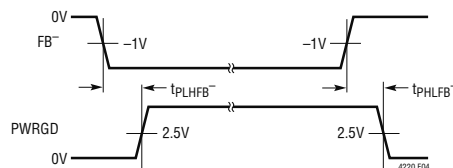
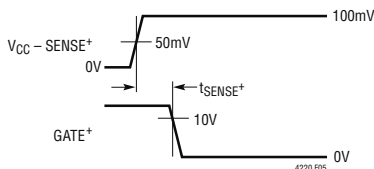
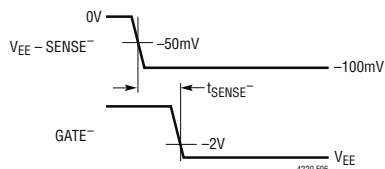
SENSE^+ (引脚 15)：正电源电流限制检测引脚。必须在 V_{CC} 与 SENSE^+ 之间的电源通路上设置一个检测电阻器。当 FB^+ 引脚电压高于 0.85V 时，电流限制电路将把检测电阻器两端的电压调节至 50mV ($V_{\text{CC}} - \text{SENSE}^+$)。如果 V_{FB^+} 电压降至 0.85V 以下，则检测电阻器两端的电压将线性下降，并在 V_{FB^+} 为 0V 时停止于 15mV。

V_{CC} (引脚 16)：正电源。对于正常操作，正电源输入范围为 2.7V 至 16.5V。 I_{CC} 一般为 2.7mA。当输入电压低于 2.45V 时，内部欠压关断电路将使芯片失效。应紧挨着 V_{CC} 引脚设置一个 $0.1\mu\text{F}$ 的旁路电容器。

方框图



时序图

图 1 : ON⁺ 至 GATE⁺ 定时图 2 : FB⁺ 至 PWRGD 定时图 3 : ON⁻ 至 GATE⁻ 定时图 4 : FB⁻ 至 PWRGD 定时图 5 : SENSE⁺ 至 GATE⁺ 定时图 6 : SENSE⁻ 至 GATE⁻ 定时

应用信息

带电电路板插拔

当电路板插入带电背板时，电路板旁路电容器在其充电过程中有可能从背板电源总线吸收巨大的峰值电流。LT4220 被设计成以一种受控的方式来接通一块电路板的 $\pm V$ 双电源，从而允许电路板在带电背板上安全地插拔。该器件提供了电源跟踪以及欠压和过流保护功能。电源状态良好和故障输出信号分别用来指示两个电源输出电压是否均已准备就绪和是否出现过流超时故障。

利用 $\pm V$ 双电源通路上的两个外部 N 沟道调整晶体管 Q1 和 Q2 来控制电路板上的两个电源。检测电阻器 R_{S+} 和 R_{S-} 提供电流检测，而电容器 C1 和 C2 则控制 V_{OUT+} 和 V_{OUT-} 上升速率。也可选择将 TRACK 引脚连接至 V_{CC} ，并通过跟踪 $FB+$ 和 $FB-$ 引脚电压来使两个输出电压一道斜坡上升。电阻器 R6 和 R8 提供电流控制环路补偿，而 R5 和 R7 则用来防止 Q1 和 Q2 中发生高频振荡。Q2 上的 C3 和 R8 用于防止快速 dV/dt 瞬变在带电板卡插入时使 Q2 接通。阻性分压器 R1、R2 和 R3、R4 提供欠压检测。阻性分压器 R9、

应用信息

R10 和 R11、R12 提供一个电源状态良好信号，并在 TRACK 被使能时对输出电压跟踪加以控制。

内部电源二极管

LT4220 包括两个内部二极管，它们用来在任一电源引脚悬浮时相对于 GND 对 V_{EE} 和 V_{CC} 进行箝位。 V_{EE} 被箝位于比 GND 高一个二极管压降的电压值，而 V_{CC} 则被箝位于比 GND 低一个二极管压降的电压值。这些二极管是专为处理 10mA 的内部器件电流而设计的，不应在高负载电流条件下使用。

初始上电序列

电源引脚初次连接之后，晶体管 Q1 和 Q2 保持关断状态。如果 ON^+ 和 ON^- 引脚上的电压超过接通门限电压， V_{CC} 和 V_{EE} 引脚上的内部电压超过欠压关断门限，且 $TIMER$ 引脚电压低于 1.24V 时，则晶体管 Q1 和 Q2 的栅极驱动器将被接通。如果 R_{S^+} 或 R_{S^-} 两端的电压超过检测放大器电流限值门限，则将对 $GATE^+$ 和 $GATE^-$ 引脚上的电压进行调节，以控制浪涌电流。如果电源跟踪被使能，则还将对每个栅极的电压进行调节，以把 FB^+ 和 FB^- 引脚电压幅度保持为彼此相差不超过 50mV。

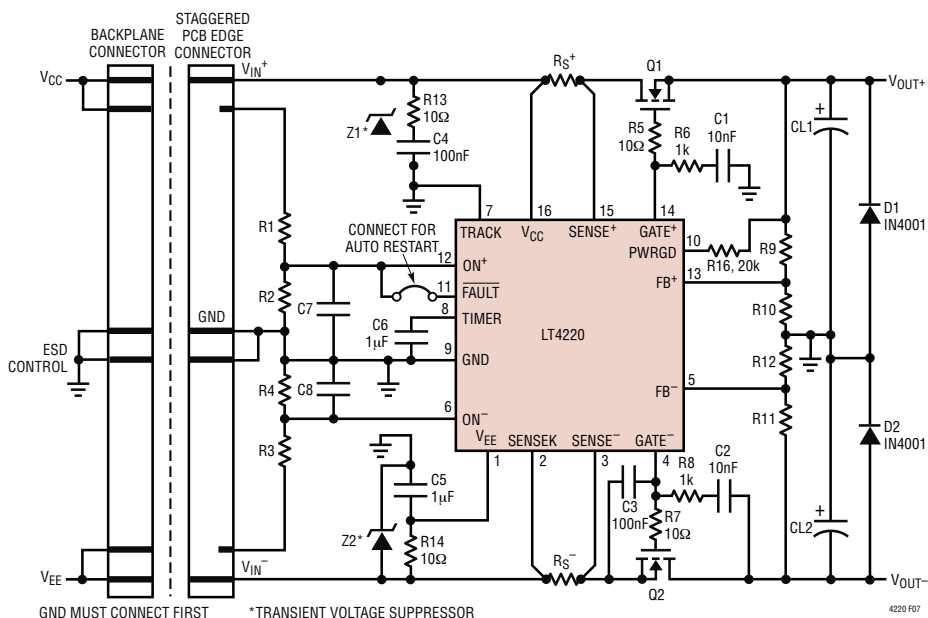


图 7：跟踪失效条件下子板卡上的热插拔控制器

应用信息

当输出电压达到其终值(由 R9、R10 和 R11、R12 进行检测)且两个栅极信号完全导通时, PWRGD 引脚将呈高阻抗。

图 8 示出了跟踪使能条件下的典型时序图。定时序列如下:

- 1) 电源引脚连接且欠压关断门限被超过。
- 2) ON 比较器门限被超过且 GATE 引脚电压开始斜坡上升。 V_{OUT+} 随动于 $GATE+$, 直到 N 沟道 FET 门限电压为止。
- 3) $GATE+$ 受限于跟踪电路, 因为 V_{OUT-} 滞后于 V_{OUT+} 。当 V_{OUT-} 开始斜坡上升时, 由于 C2 转换速率控制的缘故, $GATE-$ 大致维持在 N 沟道 FET 的门限电压上。
- 4) 当 V_{OUT-} 的幅度赶上 V_{OUT+} 时, $GATE+$ 恢复斜坡上升。最慢的 V_{OUT} 将限制更快的 V_{OUT} 转换速率。
- 5) 达到 $GATE+$ 内部栅极状态良好信号门限。

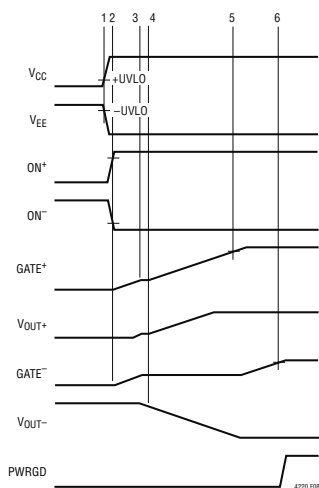


图 8 : 典型时序图

- 6) 达到 $GATE-$ 内部栅极状态良好信号门限, 从而使能 FB 输出比较器。如果两个 FB 比较器均指示输出处于良好状态, 则 PWRGD 引脚输出呈高阻抗并通过一个外部上拉电阻器将其电平拉高。

电源斜坡上升

对于大容量负载, 将由 V_{OUT+} 和 V_{OUT-} 转换速率或折返电流限制对浪涌电流进行限制。对于一个低于折返电流限值的期望涌入电流, 可采用反馈网络 R6、C1 和 R8、C2 来控制 V_{OUT} 转换速率。对于期望浪涌电流和典型栅极上拉电流, 可根据下式来计算反馈网络电容器 C1 和 C2 的电容值:

$$C1 = (10\mu A \cdot CL1) / I_{INRUSH+} \quad (1)$$

$$C2 = (10\mu A \cdot CL2) / I_{INRUSH-} \quad (2)$$

其中, CL1 和 CL2 分别是正输出负载电容和负输出负载电容。如果电源跟踪模式被使能 (TRACK = 高电平), 则在起动期间, 输出与最慢转换速率也会限制相反极性输出的转换速率(注: 电源跟踪也受控于 FB 引脚上的阻性分压器。请见“电源跟踪”部分)。此外, C1 和 C2 应大于 5nF, 以防止具有小容性负载的瞬变负载在输出电压中引发大过冲。

电容器 C3 和电阻器 R8 用于防止 Q2 在电源引脚初次连接时短暂接通。未采用 C3 时, 电容器 C2 和 $C_{GD(Q2)}$ 将在 LT4220 可以上电并把栅极拉至低电平之前, 将 Q2 的栅极电压维持在地电位附近。所需的最小 C3 值可由下式计算:

$$C3 = \left[\frac{|V_{EE}| - V_{TH}}{V_{TH}} (C_{GD(Q2)} + C2) \right] \cdot 1.2 \quad (3)$$

其中, V_{TH} 为 MOSFET 的最小栅极门槛电压, V_{EEMAX} 为最大负电源输入电压。如果未采用 C2, 则 C3 最小应为 10nF, 以确保稳定性。C2 和 C3 必须为同类型的电容器, 以实现整个温度范围内的跟踪。

应用信息

电流限制/电子电路断路器

LT4220 具有折返电流限制功能以及用来防范短路或电源电流过大的电子电路断路器。电流限值是通过在 V_{CC} (引脚 16) 和 $SENSE^+$ (引脚 15) 以及 $SENSEK$ (引脚 2) 和 $SENSE^-$ (引脚 3) 之间布设检测电阻器来设定的。如果该器件处于电流限值状态的时间过长, 则一个可调定时器将使一个电子电路断路器发生跳变。

为了防止调整晶体管中功耗过大以及输出端处于过流状态时在输入电源上产生电压尖峰, 电流将作为输出电压的一个函数而折返, 并在反馈引脚 FB^+ 和 FB^- 上予以检测。当 FB^+ (或 FB^-) 引脚上的电压为 0V 时, 检测放大器的失调电压为 15mV (–15mV), 并将电流限制为 $I_{LIMIT} = 15mV/R_{S^+}$ (–15mV/ R_{S^-})。随著输出电压的增加, 检测放大器失调电压增加, 直到 FB^+ (或 FB^-) 电压达到 0.85V (或 –0.75V) 为止, 此刻, 电流限值达到一个最大值, 即 $I_{LIMIT} = 48mV/R_{S^+}$ (–52mV/ R_{S^-})。

定时器功能和自动再起

TIMER 引脚 (引脚 8) 提供了一种用于设置 LT4220 被允许工作于电流限值模式的最大时间的方法。当电流限值电路不在运行状态时, 由一个 3.3 μ A 的吸收电流将 TIMER 引脚拉至 GND 电位。当电流限值电路进入运行状态时, 可通过一个工作于电流限值模式的正检测放大器或负检测放大器将一个 65 μ A 上拉电流源连接至 TIMER 引脚, 且电压以一个 $dV/dt = 65\mu A/C_{TIMER}$ 的斜率上升。期望的电流限值时间 (t) 可由具有以下电容值的电容器来设定:

$$C_{TIMER} = t \cdot 65\mu A / 1.24V \quad (4)$$

如果电流限值电路关断, 则 TIMER 引脚将以如下速率放电至 GND:

$$dV/dt = 3.3\mu A / C_{TIMER} \quad (5)$$

当 TIMER 引脚电压斜坡上升并达到 1.24V 门限时, 内部故障闭锁被设置且 $\overline{FAULT}$ 引脚 (引脚 11) 被拉至低电平。 $GATE^+$ 引脚被拉低至地电位, $GATE^-$ 引脚被拉低至 V_{EE} , 且 TIMER 引脚电压开始回升至

GND (利用 3.3 μ A 的吸收电流)。设置了故障闭锁之后, 可通过在 TIMER 引脚电压降至 0.5V 以下之后将 ON^+ 引脚拉至低电平来重新起动 LT4220。也可通过使任一电源在其 $UVLO$ 之上进行循环来重新起动 LT4220。否则该器件将保持锁断状态。

为实现自动再起, 可将 $\overline{FAULT}$ 引脚连接至 ON^+ 引脚。在 TIMER 引脚电压降至 0.5V 以下之后, 将进行自动再起。

欠压检测

ON^+ 和 ON^- 引脚可用来检测电源输入端上的欠压状态。 ON^+ 和 ON^- 引脚被连接至具有 50mV 迟滞的模拟比较器。如果 ON^+ 引脚降至其门限电压以下, 或 ON^- 引脚升至其门限电压以上, 则 GATE 引脚将被拉至低电平, 并在 ON^+ 和 ON^- 引脚电压超过其接通门限 (1.24V 和 –1.24V) 之前保持低电平。有可能需要在 ON 引脚上采用外部电容来对电源振铃进行滤波, 以防止它越过 ON 比较器门限。

另外, 在两个电源 (约为 $V_{CC} < 2.45V$ 和 $V_{EE} > -2.45V$) 上还有一个内部欠压关断。如果任一电源处于欠压关断状态, 则两个 GATE 引脚都将被拉至低电平且所有的内部闭锁将被复位。

ON^- 保护

如果 ON^- 引脚被直接驱动且未通过一个阻性分压器连接至负电源, 则必须在驱动器和 ON^- 引脚之间连接一个 10k 电阻器。

电源状态良好检测

LT4220 包括两个用于监视输出电压的比较器。 FB^+ 和 FB^- 引脚分别与 1.24V 和 –1.24V 的内部基准进行比较。这些比较器具有 50mV 迟滞。比较器输出与集电极开路 PWRGD 引脚成线“或”关系, 后者在 $GATE^+$ 和 $GATE^-$ 引脚均达到其最大栅极驱动电压时 (由内部栅极状态良好闭锁来指示) 立即被使能。当 FB^+ 和 FB^- 输入均超过 V_{FB^+H} 和 V_{FB^-H} 门限, $GATE^+$ 处于满压状态, 且 $GATE^-$ 初次达到满压状态时, PWRGD 引脚将呈高阻抗。

典型应用

电源跟踪

如果 TRACK 引脚(引脚 7) 为高电平, 则使能电源上电跟踪模式。该功能在上电期间以及出现把输出电源驱动至零的故障时将强制两个电源同时达到其终值。在该模式中, 对 GATE 引脚进行控制, 以便将 FB 引脚电压的差分幅度保持在 50mV 以内。FB 引脚电压与输出电压成一定的比例关系。因此, 通过 GATE 引脚来控制 FB 引脚将把输出电压控制在相同的比例关系上。

$$|\Delta V_{FB(TRK)}| = |V_{FB}^+ - V_{FB}^-| \quad (6)$$

电源跟踪将持续到任一 FB 引脚的电压达到相关联的 PWRGD 门限为止。如果出现任何使 GATE 引脚关断的故障条件, 则电源跟踪将被重新使能。GATE 引脚的关断条件包括: (1) 任一 ON 引脚检测到欠压, (2) 内部欠压关断, (3) 由一个电流限值超时来设定故障闭锁。

V_{EE} 旁路

应采用一个 RC 网络来对 V_{EE} 电源引脚进行滤波, 以减轻高 dV/dt 转换速率对内部电路的干扰。足以防止电路误动作的典型 RC 旁路元件参数值为 $R14 = 10\Omega$, $C5 = 1\mu F$ 。GATE⁻、SENSEK 和 SENSE⁻ 引脚被设计成能够在 V_{EE} 引脚电压逐步达到其稳态值的过程中能被短暂地拉至低于或高于 V_{EE} 的电压值。如果需要的话, 可采用一个更高的 $R14 \cdot C5$ 时间常数, 以防止短路瞬变使 V_{EE} 欠压关断电路在 -2.45V 的电压上发生跳变。 $R14$ 应足以防止 $C5$ 在带电板卡插拔时在 V_{IN-} 上引起瞬变。

在 V_{OUT-} 上发生短路的情况下, V_{IN-} 通路中的寄生电感和电阻将导致 V_{IN-} 骤降至 0V, 同时还会致使 V_{EE} 引脚电压在外部 FET 可以被关断之前(一般为 7 μs 至 10 μs) 放电至 0V。为防止出现 UVLO 条件, $R14 \cdot C5$ 时间常数应足以将 V_{EE} 引脚电压保持在 V_{EE} UVLO 电压范围之外。如果 V_{EE} 引脚达到其 UVLO 电压, 则 GATE⁺ 引脚将被拉至低电平。在 $C3$ 数值较大的场合, 会使 N 沟道 FET 的关断速度更慢, 这时有可能需要采用数值更大的 RC 旁路元件, 以防止

V_{EE} UVLO 发生跳变。

ON⁺、ON⁻ 旁路电容器

需要在 ON⁺ 引脚与地之间以及 ON⁻ 引脚与地之间设置旁路电容器。典型时间常数为:

$$TC(ON^+) = (R1 \parallel R2)C7 = 44\mu s$$

$$TC(ON^-) = (R3 \parallel R4)C8 = 44\mu s$$

电源振铃

标准的电路设计惯例要求采用容性旁路的方法将输入电源旁路至有源器件。而在热插拔电路被连接至一块背板的场合, 容性负载有可能在与背板突然相连的过程中引起瞬变, 此时应采用相反的做法。当 N 沟道 FET 的加电侧容性去耦很少(或没有)时, 连接瞬变或负载瞬变一般将会因寄生电感的缘故而在电源线上产生振铃。建议采用一个由一个串联 10 Ω 电阻器和 0.1 μF 电容器所组成的缓冲器电路来对瞬变振铃进行阻尼。 V_{EE} 引脚上的电源去耦电路也为 V_{IN-} 提供了一个缓冲器。

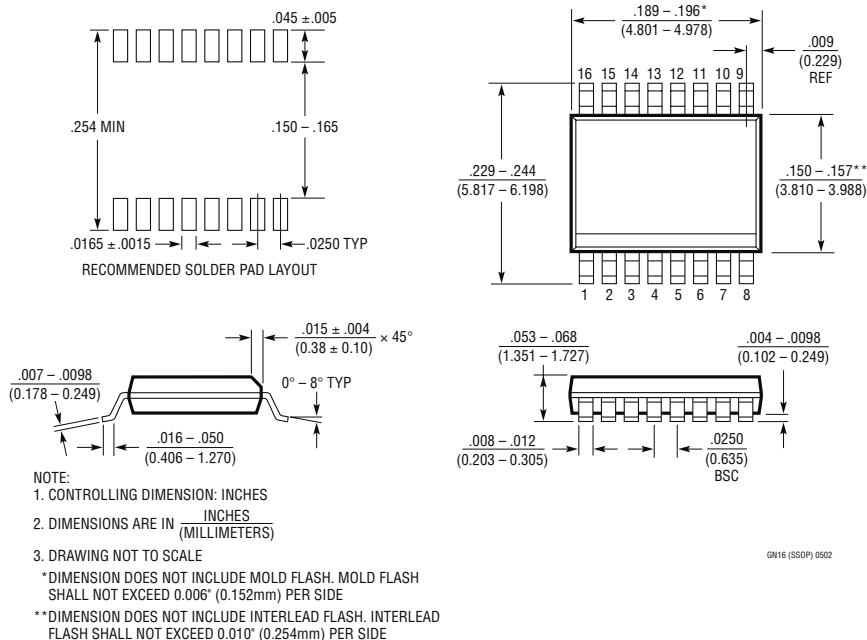
另外, 如果电源电压过冲有可能超过器件的 $\pm 22V$ 最大额定值, 则建议采用一个瞬变电压抑制器。在负载短路条件下(此时, 电源线中的寄生电感会在外部 N 沟道 FET 能够被关断之前积累能量)可能会发生电压瞬变。对于负侧 FET(它上面的一个数值很大的电容器 $C3$ 延缓了 N 沟道 FET 的关断)而言情况尤其如此。即使采用了缓冲器电路, FET 最终关断时的后续过冲也有可能高达电源电压的两倍。有可能需要采用一个瞬变抑制器作为额外的保护措施, 以防止过冲超过最大额定电源电压。

电源反向保护

V_{OUT+} 和 V_{OUT-} 上的多种条件都有可能引起电源反向。为保护与 V_{OUT+} 和 V_{OUT-} 相连接的器件, 应采用保护二极管。对大多数应用而言, 可采用 1N4001 二极管。这些二极管(D1、D2)的连接方法示于本数据手册首页上的“典型应用”部分。

封装描述

GN 封装
16 引脚塑料 SSOP 封装 (窄式 .150 英寸)
 (参考 LTC DWG # 05-08-1641)



典型应用

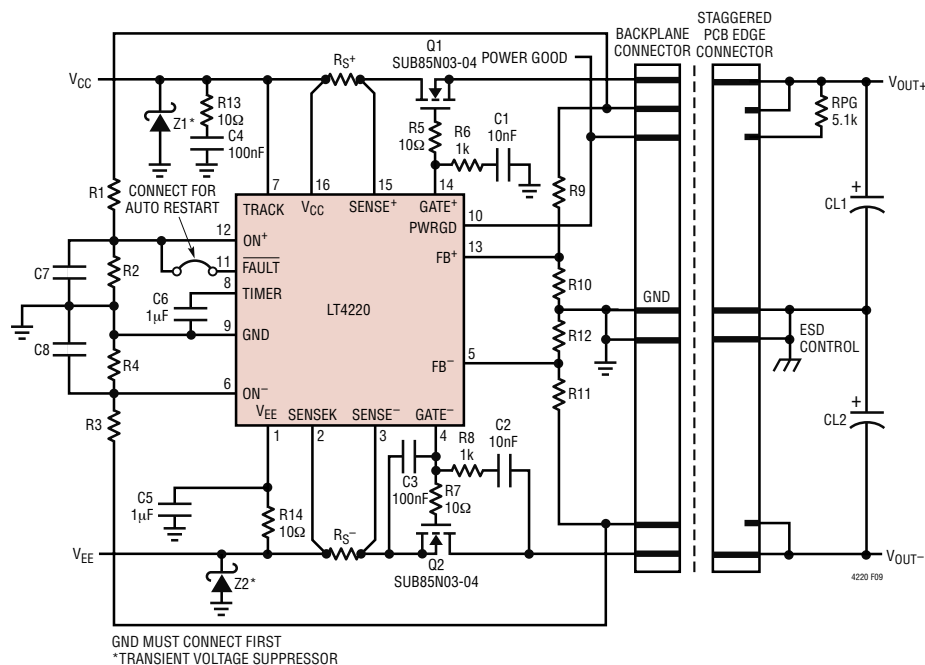


图 9：具跟踪功能条件下主板上的热插拔控制器

相关器件

器件型号	描述	备注
LTC®1421	双路热插拔控制器	具有两个用于 3V 至 12V 电源的电路断路器并支持 -12V
LTC1422	采用 SO-8 封装的单路热插拔控制器	工作电压范围为 3V 至 12V
LTC1645	双路热插拔控制器	工作电压范围为 1.2V 至 12V，允许进行电源排序
LTC1647	双路热插拔控制器	工作电压范围为 2.7V 至 16.5V，分离的 ON 引脚
LTC4211	采用多功能电流控制的单路热插拔控制器	工作电压范围为 2.5V 至 16.5V，有源浪涌电流限值，快速比较器
LTC4230	采用多功能电流控制的三路热插拔控制器	工作电压范围为 1.7V 至 16.5V，有源浪涌电流限值，快速比较器