

特点

- 在 70MHz f_{OUT} 具有 80dBc SFDR
- 在 DC 至 1000MHz f_{OUT} 范围内具有 >68dBc SFDR
- 40mA 标称全标度、兼容 $\pm 1V$ 输出
- 10mA 至 60mA 可调全标度电流范围
- 单或双端口 DDR LVDS 和 DHSTL 接口
- 低延迟 (对于单端口为 7.5 个周期, 对于双端口为 11 个周期)
- 在 DC 至 1000MHz f_{OUT} 范围内具有 >78dBc 双音调互调失真 (IMD)
- 在用于 65MHz f_{OUT} 的 1MHz 偏移频率下具有 -165dBc/Hz 附加相位噪声
- 170 引脚 (9mm x 15mm) BGA 封装

应用

- 宽带通信系统
- 电缆数据服务接口规范电缆调制解调器终端系统 (DOCSIS CMTS)
- 直接 RF 合成
- 雷达
- 仪表
- 自动测试设备

描述

LTC®2000 是一个 16 / 14 / 11 位 2.5Gsp/s 电流导引 DAC 系列，具有卓越的频谱纯度。

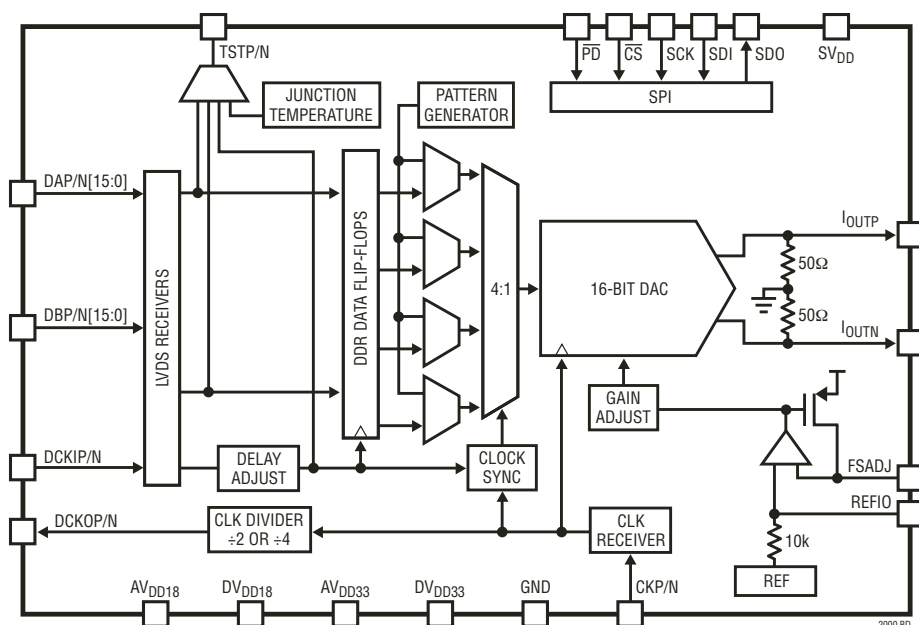
单 (1.25Gsp/s 模式) 或双 (2.5Gsp/s 模式) 端口源同步 LVDS 接口采用一个 625MHz DDR 数据时钟 (其可与数据正交或同相) 以支持高达 1.25Gbps 的数据速率。一个内部同步器可自动地使数据与 DAC 采样时钟对准。

诸如模式发生、LVDS 输出环路和结温检测等其他功能简化了系统开发和测试。

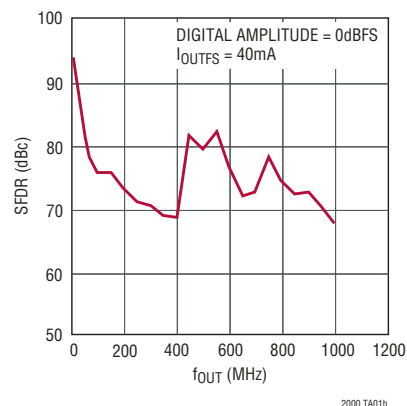
一个串行外设接口 (SPI) 端口提供了内部寄存器的配置和回读。LTC2000 采用 1.8V 和 3.3V 电源供电运作，在 2.5Gbps 和 1.25Gbps 采样速率下的功耗分别为 2.2W 和 1.3W。

LT、LT、LTC、LTM、Linear Technology 和 Linear 标识是凌力尔特公司的注册商标。所有其他商标均为其各自拥有者的产权。
受包括第 8330633 号美国专利的保护。

方框图



SFDR 与 f_{OUT} 的关系，
 $f_{DAC} = 2.5\text{Gsp/s}$



目录

特点	1	SPI 寄存器概要	33
应用	1	应用信息	34
方框图	1	启动序列示例	34
描述	1	输出配置	35
绝对最大限值	3	产生 DAC 采样时钟	35
引脚配置	3	在双端口模式中实现多个 LTC2000 的同步	36
订购信息	4	在单端口模式中实现多个 LTC2000 的同步	38
电气特性	5	PCB 布局考虑	40
时序特性	8	引脚位置 (LTC2000-16)	45
典型性能特征	9	引脚位置 (LTC2000-14)	47
引脚功能	16	引脚位置 (LTC2000-11)	49
方框图	17	封装描述	51
时序图	18	典型应用	52
工作原理	18	相关器件	52
引言	18		
双端口模式	19		
单端口模式	19		
串行外设接口 (SPI)	22		
上电复位	22		
断电	22		
基准操作	22		
设定全标度电流	23		
DAC 转移函数	24		
模拟输出 ($I_{OUTP/N}$)	24		
DAC 采样时钟 (CKP/N)	25		
分频时钟输出 (DCKOP/N)	25		
LVDS 数据时钟输入 (DCKIP/N)	25		
LVDS 数据输入端口 (DAP/N, DBP/N)	26		
时钟同步器	27		
最大限度地降低谐波失真	29		
测量 LVDS 输入时序错位	29		
测量内部结温 (T_J)	32		
模式发生器	32		

绝对最大值 (注 1、2)

AV_{DD33} , DV_{DD33} , SV_{DD} $-0.3V$ 至 $4V$
 AV_{DD18} , DV_{DD18} $-0.3V$ 至 $2V$
 I_{OUTP} , I_{OUTN} $-1.2V$ 至 $\text{Min}(AV_{DD33} + 0.3V, 4V)$
 $FSADJ$, $REFIO$ $-0.3V$ 至 $\text{Min}(AV_{DD33} + 0.3V, 4V)$
 $DCKIP$, $DCKIN$ $-0.3V$ 至 $\text{Min}(DV_{DD33} + 0.3V, 4V)$
 $DCKOP$, $DCKON$... $-0.3V$ 至 $\text{Min}(DV_{DD33} + 0.3V, 4V)$
 DAP/N , DBP/N $-0.3V$ 至 $\text{Min}(DV_{DD33} + 0.3V, 4V)$
 $TSTP$, $TSTN$ $-0.3V$ 至 $\text{Min}(AV_{DD33} + 0.3V, 4V)$
 CKP , CKN $-0.3V$ 至 $\text{Min}(AV_{DD18} + 0.3V, 2V)$

$\overline{CS}$, $\overline{PD}$, SCK , SDI , SDO

..... $-0.3V$ 至 $\text{Min}(SV_{DD} + 0.3V, 4V)$

工作温度范围

LTC2000C $0^{\circ}C$ 至 $70^{\circ}C$

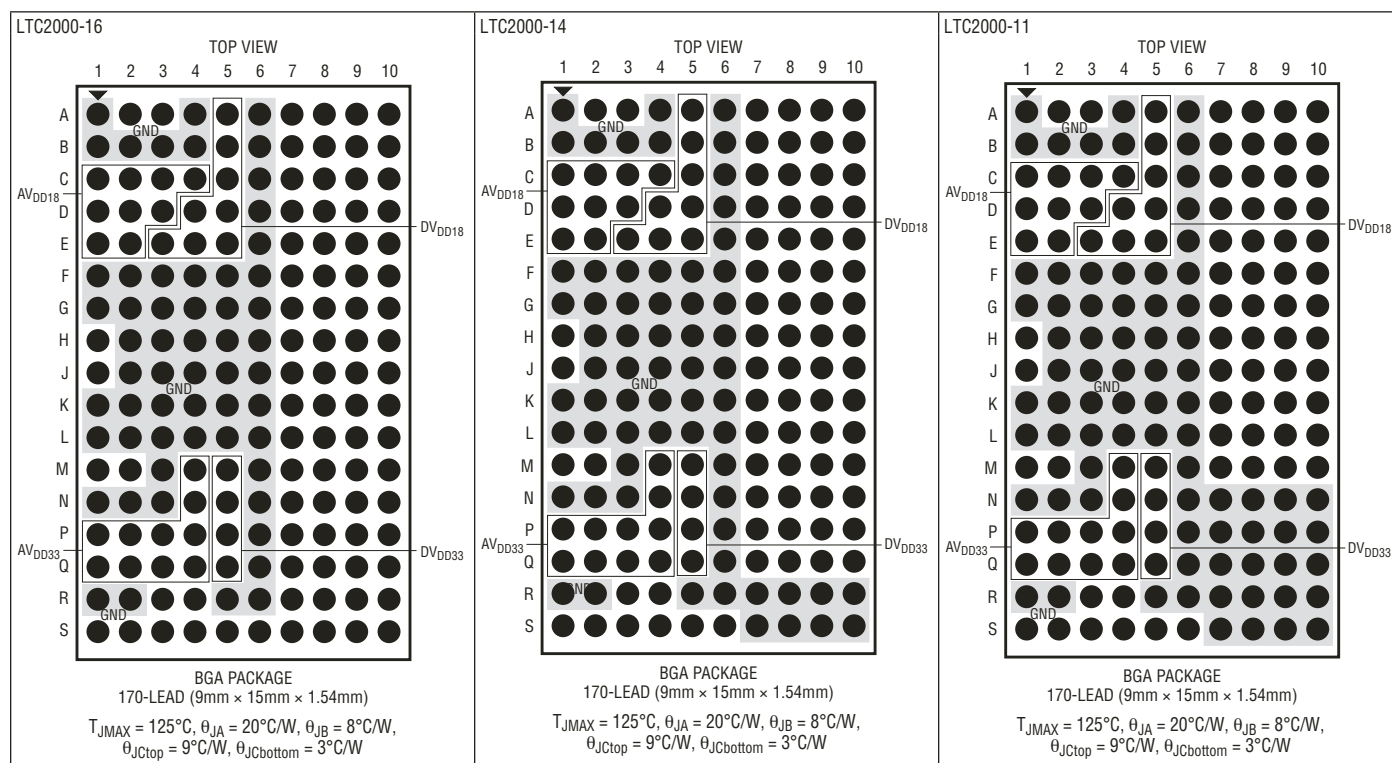
LTC2000I $-40^{\circ}C$ 至 $85^{\circ}C$

最大结温 $125^{\circ}C$

贮存温度范围 $-55^{\circ}C$ 至 $125^{\circ}C$

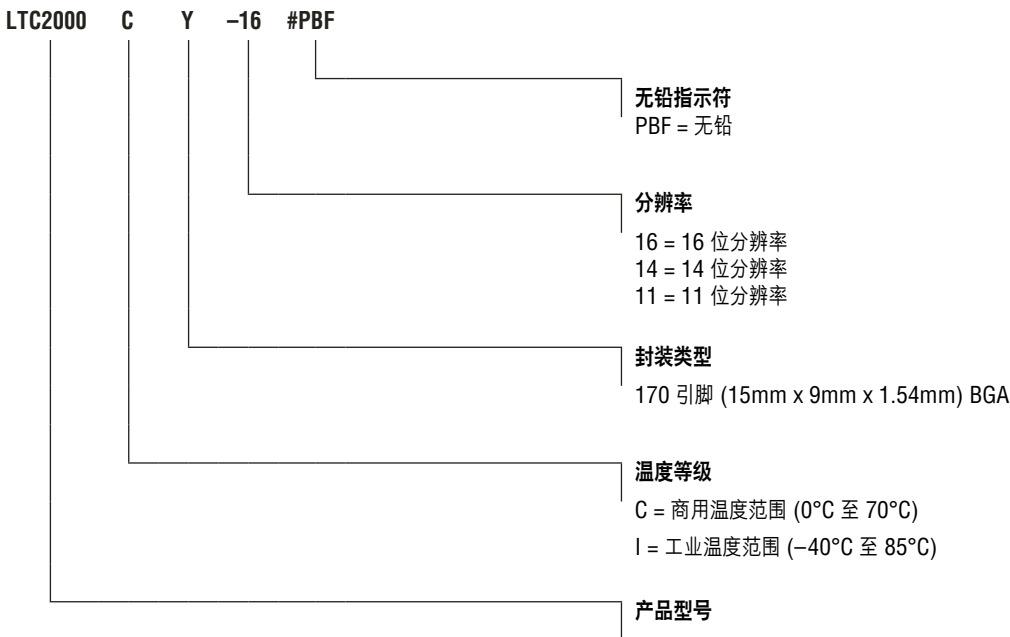
引脚温度 (焊接时间 10 秒) $260^{\circ}C$

引脚配置



LTC2000

订购信息



器件型号	焊球涂层	器件标记 *	封装类型	MSL 额定值	温度范围
LTC2000CY-16#PBF	SAC305 (RoHS)	LTC2000Y-16	BGA	3	0°C 至 70°C
LTC2000CY-14#PBF	SAC305 (RoHS)	LTC2000Y-14	BGA	3	0°C 至 70°C
LTC2000CY-11#PBF	SAC305 (RoHS)	LTC2000Y-11	BGA	3	0°C 至 70°C
LTC2000IY-16#PBF	SAC305 (RoHS)	LTC2000Y-16	BGA	3	-40°C 至 85°C
LTC2000IY-14#PBF	SAC305 (RoHS)	LTC2000Y-14	BGA	3	-40°C 至 85°C
LTC2000IY-11#PBF	SAC305 (RoHS)	LTC2000Y-11	BGA	3	-40°C 至 85°C

对于规定工作温度范围更宽的器件，请咨询凌力尔特公司。 * 温度等级请见包装箱上的标识。

如需了解更多有关无铅器件标记的信息，请登录：<http://www.linear.com.cn/leadfree/>
本产品仅提供托盘包装。如需了解更多信息，请登录：<http://www.linear.com.cn/packaging/>

电气特性 凡标注 ● 表示该指标适合整个工作温度范围, 否则仅指 $T_A = 25^\circ\text{C}$ 。 AV_{DD18} , $DV_{DD18} = 1.71\text{V}$ 至 1.89V , AV_{DD33} , $DV_{DD33} = 3.135\text{V}$ 至 3.465V , $SV_{DD} = 1.71\text{V}$ 至 3.465V , $R_{FSADJ} = 500\Omega$, 连接在 $I_{OUTP/N}$ 和 GND 之间的负载为 12.5Ω (包括内部 50Ω 终端), 除非特别注明。

符号	参数	条件	最小值	典型值	最大值	单位
DC 性能						
	分辨率	LTC2000-16	●	16		位
		LTC2000-14	●	14		位
		LTC2000-11	●	11		位
DNL	差分非线性	LTC2000-16	●	± 0.5	± 2.7	LSB
		LTC2000-14	●	± 0.2	± 1	LSB
		LTC2000-11	●	± 0.1	± 0.5	LSB
INL	积分非线性	LTC2000-16	●	± 1	± 4	LSB
		LTC2000-14	●	± 0.5	± 2	LSB
		LTC2000-11	●	± 0.2	± 1	LSB
	偏移误差	LTC2000-16	●		± 0.05	% FSR
		LTC2000-14	●		± 0.06	% FSR
		LTC2000-11	●		± 0.09	% FSR
	偏移误差漂移			1		ppm/ $^\circ\text{C}$
	增益误差			± 0.5		% FSR
	增益误差漂移			5		ppm/ $^\circ\text{C}$
	电源抑制比	全标度; $AV_{DD33} = 3.135\text{V}$ 至 3.465V		69		dB

模拟输出

	全标度输出电流	$R_{FSADJ} = 500\Omega$		40			mA
	输出符合性范围		●	-1	1		V
	输出电阻	$I_{OUTP/N}$ 至 GND	●	42	50	58	Ω
	输出电容			6			pF
	输出带宽	$R_{IOUTP/N} = 12.5\Omega$, -3dB (不包括 $\sin(x)/x$)		2.1			GHz

AC 性能

	最大更新速率	双端口模式	●	2.5		Gsps
		单端口模式	●	1.25		Gsps
SFDR	无杂散动态范围 $f_{DAC} = 1.25\text{Gsps}$, 0dBFS	$f_{OUT} = 50\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$		82		dBc
		$f_{OUT} = 100\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$		82		dBc
		$f_{OUT} = 250\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$		74		dBc
		$f_{OUT} = 500\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$		74		dBc
	无杂散动态范围 $f_{DAC} = 2.5\text{Gsps}$, 0dBFS	$f_{OUT} = 100\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$	●	67	76	dBc
		$f_{OUT} = 200\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			74	dBc
		$f_{OUT} = 500\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			72	dBc
		$f_{OUT} = 1000\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			68	dBc
		$f_{OUT} = 500\text{MHz}$, $LIN_DIS = 1$			66	dBc
		$f_{OUT} = 1000\text{MHz}$, $LIN_DIS = 1$			62	dBc
IMD	双音互调失真 $f_{OUT2} = f_{OUT1} + 1.25\text{MHz}$ $f_{DAC} = 1.25\text{Gsps}$, -6dBFS	$f_{OUT} = 50\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			100	dBc
		$f_{OUT} = 100\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			90	dBc
		$f_{OUT} = 250\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			90	dBc
		$f_{OUT} = 500\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			82	dBc
	双音互调失真 $f_{OUT2} = f_{OUT1} + 1.25\text{MHz}$ $f_{DAC} = 2.5\text{Gsps}$, -6dBFS	$f_{OUT} = 100\text{MHz}$, $LIN_DIS = 1$			87	dBc
		$f_{OUT} = 200\text{MHz}$, $LIN_DIS = 1$			86	dBc
		$f_{OUT} = 500\text{MHz}$, $LIN_DIS = 1$			84	dBc
		$f_{OUT} = 1000\text{MHz}$, $LIN_DIS = 1$			78	dBc
		$f_{OUT} = 500\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			80	dBc
		$f_{OUT} = 1000\text{MHz}$, $LIN_DIS = 0$, $LIN_GN = 75\%$			67	dBc

电气特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 AV_{DD18} ， $DV_{DD18} = 1.71\text{V}$ 至 1.89V ， AV_{DD33} ， $DV_{DD33} = 3.135\text{V}$ 至 3.465V ， $SV_{DD} = 1.71\text{V}$ 至 3.465V ， $R_{FSADJ} = 500\Omega$ ， 连接在 $I_{OUTP/N}$ 和 GND 之间的负载为 12.5Ω (包括内部 50Ω 终端)， 除非特别注明。

符号	参数	条件	最小值	典型值	最大值	单位
NSD	噪声频谱密度 0dBFS 单音， $f_{DAC} = 2.5\text{Gsp/s}$ ， $I_{OUTFS} = 40\text{mA}$	LTC2000-16， $f_{OUT} = 100\text{MHz}$		-166		dBm/Hz
		LTC2000-16， $f_{OUT} = 350\text{MHz}$		-161		dBm/Hz
		LTC2000-16， $f_{OUT} = 550\text{MHz}$		-158		dBm/Hz
		LTC2000-16， $f_{OUT} = 950\text{MHz}$		-156		dBm/Hz
		LTC2000-14， $f_{OUT} = 100\text{MHz}$		-164		dBm/Hz
		LTC2000-14， $f_{OUT} = 350\text{MHz}$		-160		dBm/Hz
		LTC2000-14， $f_{OUT} = 550\text{MHz}$		-158		dBm/Hz
		LTC2000-14， $f_{OUT} = 950\text{MHz}$		-155		dBm/Hz
		LTC2000-11， $f_{OUT} = 100\text{MHz}$		-156		dBm/Hz
		LTC2000-11， $f_{OUT} = 350\text{MHz}$		-155		dBm/Hz
		LTC2000-11， $f_{OUT} = 550\text{MHz}$		-154		dBm/Hz
		LTC2000-11， $f_{OUT} = 950\text{MHz}$		-153		dBm/Hz
	相位噪声 $f_{DAC} = 2.5\text{Gsp/s}$ ， $f_{OUT} = 65\text{MHz}$ 0dBFS 单音， $I_{OUTFS} = 40\text{mA}$	10kHz 偏移		-147		dBc/Hz
		1MHz 偏移		-165		dBc/Hz
WCDMA ACLR	WCDMA ACLR (单载波) 相邻 / 交替通道	$f_{DAC} = 2.5\text{Gsp/s}$ ， $f_{OUT} = 350\text{MHz}$		77/79		dBc
		$f_{DAC} = 2.5\text{Gsp/s}$ ， $f_{OUT} = 950\text{MHz}$		72/75		dBc

延迟

	延迟 (注 5)	单端口模式		7.5		周期
		双端口模式， DAP/N 数据		10		周期
		双端口模式， DBP/N 数据		11		周期
	孔径延迟	CKP/N 上升至 $I_{OUTP/N}$ 转换		3		ns
	稳定时间			2.2		ns

基准

	输出电压	●	1.225	1.25	1.275	V
	输入电压	●	1.1		1.4	V
	基准温度系数			±25		ppm/°C
	输出阻抗			10		kΩ

DAC 时钟输入 (CKP, CKN)

	差分输入电压范围	●	±0.3		±1.8	V
	共模输入电压			1		V
	采样时钟频率	●	50		2500	MHz
	输入阻抗			5		kΩ

LVDS 输入 (DCKIP, DCKIN, DAP/N, DBP/N)

	差分输入电压范围	●	±0.2		±0.6	V
	共模电压范围	●	0.4		1.8	V
	差分输入阻抗	●	95	120	145	Ω
	最大数据速率	●			1250	Mbps
	LVDS 时钟频率	●	25		625	MHz

电气特性

凡标注 ● 表示该指标适合整个工作温度范围, 否则仅指 $T_A = 25^\circ\text{C}$ 。 AV_{DD18} , $DV_{DD18} = 1.71\text{V}$ 至 1.89V , AV_{DD33} , $DV_{DD33} = 3.135\text{V}$ 至 3.465V , $SV_{DD} = 1.71\text{V}$ 至 3.465V , $R_{FSADJ} = 500\Omega$, 连接在 $I_{OUTP/N}$ 和 GND 之间的负载为 12.5Ω (包括内部 50Ω 终端), 除非特别注明。

符号	参数	条件		最小值	典型值	最大值	单位
LVDS 输出 (DCKOP, DCKON)							
	差分输出电压	100Ω 差分负载, $DCKO_ISEL = 0$	●	0.24	0.36	0.48	V
		50Ω 差分负载, $DCKO_ISEL = 1$	●	0.24	0.36	0.48	V
	共模输出电压		●	1.075	1.2	1.325	V
	内部终端电阻	$DCKO_TRM = 1$			100		Ω
CMOS 数字输入 (CS, PD, SCK, SDI)							
V_{IH}	数字输入高电压		●	70			$\%V_{SVDD}$
V_{IL}	数字输入低电压		●			30	$\%V_{SVDD}$
I_{LK}	数字输入漏电流	$V_{IN} = GND$ 或 SV_{DD}	●			± 10	μA
C_{IN}	数字输入电容				8		pF
CMOS 数字输出 (SDO)							
V_{OH}	数字输出高电压	$I_{SOURCE} = 0.2\text{mA}$	●	85			$\%V_{SVDD}$
V_{OL}	数字输出低电压	$I_{SINK} = 1.6\text{mA}$	●			15	$\%V_{SVDD}$
	高阻抗输出漏电流		●			± 10	μA
	高阻抗输出电容				8		pF
电源							
V_{VDD33}	AV_{DD33} , DV_{DD33} 电源电压		●	3.135	3.3	3.465	V
V_{VDD18}	AV_{DD18} , DV_{DD18} 电源电压		●	1.71	1.8	1.89	V
V_{SVDD}	SV_{DD} SPI 电源电压		●	1.71		3.465	V
I_{AVDD33}	AV_{DD33} 电源电流, $AV_{DD33} = 3.3\text{V}$	$\overline{PD} = SV_{DD}$ $\overline{PD} = GND$	● ●		68 0.1	72 10	mA μA
I_{DVDD33}	DV_{DD33} 电源电流, $DV_{DD33} = 3.3\text{V}$	$\overline{PD} = SV_{DD}$ $\overline{PD} = GND$	● ●		8 0.1	12 5	mA μA
I_{AVDD18}	AV_{DD18} 电源电流, $AV_{DD18} = 1.8\text{V}$	$f_{DAC} = 2500\text{MHz}$ $f_{DAC} = 1250\text{MHz}$ $f_{DAC} = 0\text{Hz}$, $\overline{PD} = SV_{DD}$ $f_{DAC} = 0\text{Hz}$, $\overline{PD} = GND$	● ● ● ●		720 375 23 3	790 420 27 180	mA mA mA μA
I_{DVDD18}	DV_{DD18} 电源电流, $DV_{DD18} = 1.8\text{V}$	$f_{DAC} = 2500\text{MHz}$ $f_{DAC} = 1250\text{MHz}$ $f_{DAC} = 0\text{Hz}$, $\overline{PD} = SV_{DD}$ $f_{DAC} = 0\text{Hz}$, $\overline{PD} = GND$	● ● ● ●		350 190 10 0.1	395 215 14 240	mA mA mA μA
I_{SVDD}	SV_{DD} 电源电流 (注 4), $SV_{DD} = 3.3\text{V}$	$f_{SCK} = 0\text{Hz}$	●		0.1	5	μA
	总功率耗散	$f_{DAC} = 2500\text{MHz}$ $f_{DAC} = 1250\text{MHz}$ $f_{DAC} = 0\text{Hz}$, $\overline{PD} = SV_{DD}$ $f_{DAC} = 0\text{Hz}$, $\overline{PD} = GND$			2180 1270 310 6		mW mW mW μW

时序特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^{\circ}\text{C}$ 。 AV_{DD18} ， $DV_{DD18} = 1.71\text{V}$ 至 1.89V ， AV_{DD33} ， $DV_{DD33} = 3.135\text{V}$ 至 3.465V ， $SV_{DD} = 1.71\text{V}$ 至 3.465V ， $R_{FSADJ} = 500\Omega$ ，输出负载 50Ω 双端接，除非特别注明。

符号	参数	条件		最小值	典型值	最大值	单位
t ₁	SDI 有效至 SCK 建立	(注 3)	●	4			ns
t ₂	SDI 有效至 SCK 保持	(注 3)	●	4			ns
t ₃	SCK 为高电平的时间	(注 3)	●	9			ns
t ₄	SCK 为低电平的时间	(注 3)	●	9			ns
t ₅	$\overline{\text{CS}}$ 脉冲宽度	(注 3)	●	10			ns
t ₆	SCK 高电平至 $\overline{\text{CS}}$ 高电平	(注 3)	●	7			ns
t ₇	$\overline{\text{CS}}$ 低电平至 SCK 高电平	(注 3)	●	7			ns
t ₁₀	$\overline{\text{CS}}$ 高电平至 SCK 高电平	(注 3)	●	7			ns
t ₁₃	SCK 低电平至 SDO 有效	无负载 (注 3)	●	10			ns
	SCK 频率	50% 占空比 (注 3)	●			50	MHz
t ₁₁	LVDS DAP/N，DBP/N 至 DCKI 建立时间 (注 3)	DCKI_Q = 1	●	200			ps
		DCKI_Q = 0，DCKI_TADJ = 000	●	600			ps
t ₁₂	LVDS DAP/N，DBP/N 至 DCKI 保持时间 (注 3)	DCKI_Q = 1	●	200			ps
		DCKI_Q = 0，DCKI_TADJ = 000	●	-200			ps

注 1：高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损坏。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2：所有的电压值均以 GND 基准。

注 3：由设计提供保证，并非生产测试。

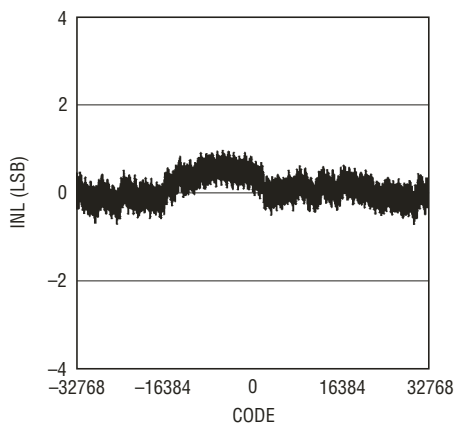
注 4：数字输入位于 0V 或 SV_{DD} 。

注 5：延迟指的是从 DCKIP/N 上的一个转换到 CKP/N 转换 (其导致 DAP/N 或 DBP/N 上的采样出现在 DAC 输出 $I_{OUTP/N}$) 的延迟，以 DAC 采样时钟 (CKP/N) 周期为单位。

典型性能特征

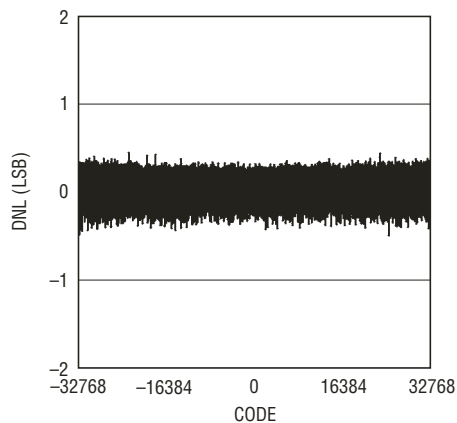
$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$, 除非特别注明。

LTC2000-16 积分非线性 (INL)

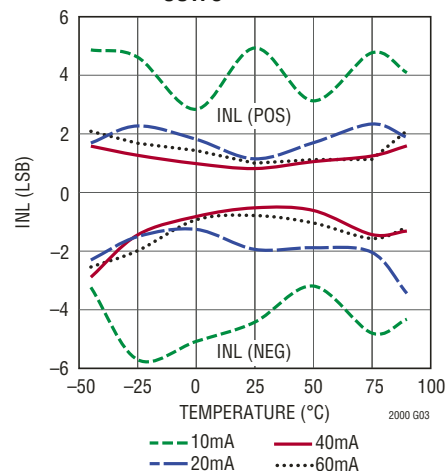


2000 G01

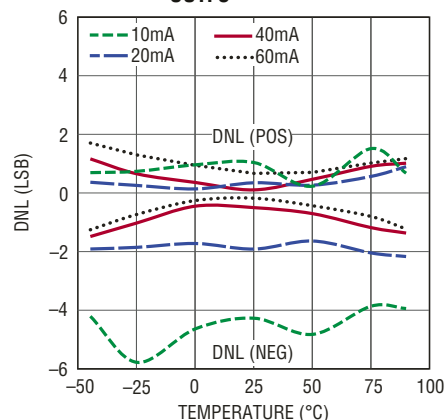
LTC2000-16 差分非线性 (DNL)



2000 G02

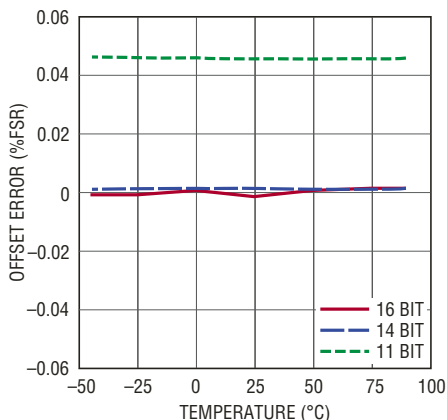
INL 与 I_{OUTFS} 和温度的关系

2000 G03

DNL 与 I_{OUTFS} 和温度的关系

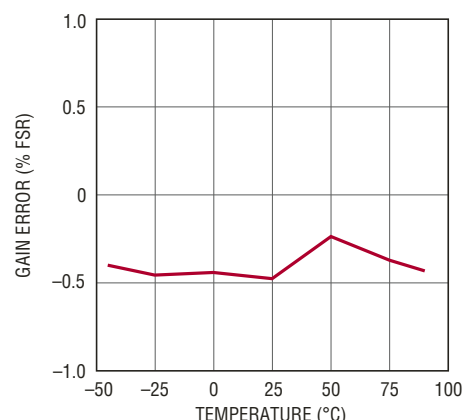
2000 G04

偏移误差与温度的关系



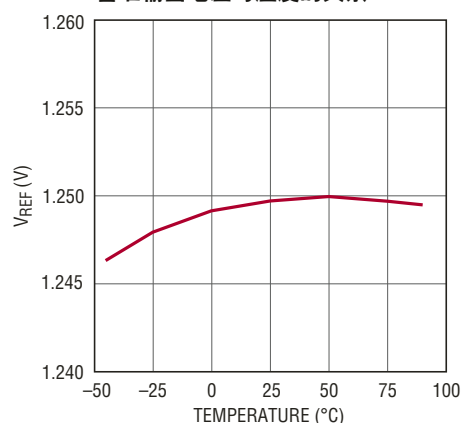
2000 G05

增益误差与温度的关系

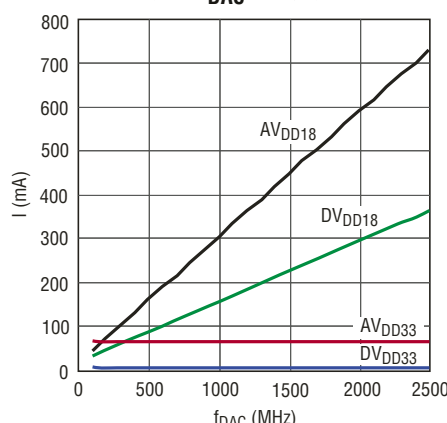


2000 G06

基准输出电压与温度的关系

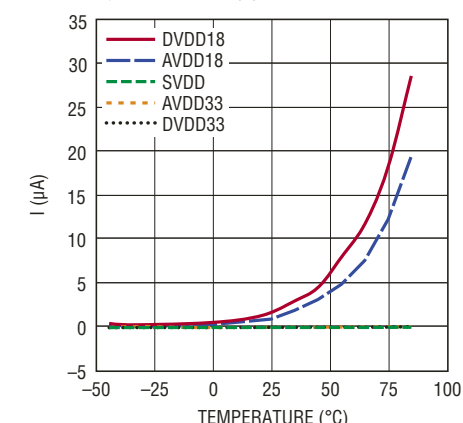


2000 G07

电源电流与 f_{DAC} 的关系

2000 G08

停机电流与温度的关系



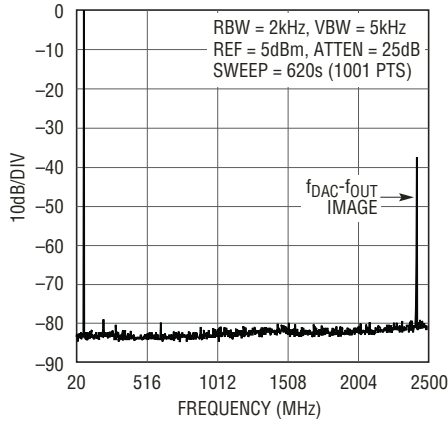
2000 G09

2000f

典型性能特征

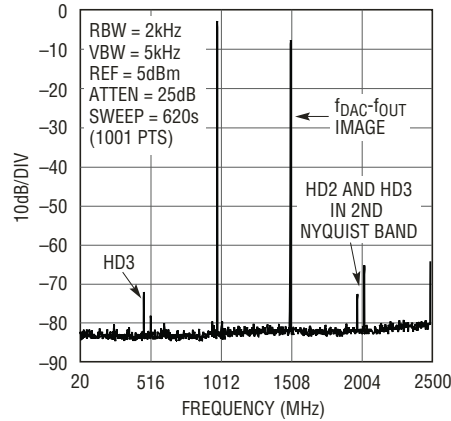
$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$,
 $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。

单音频谱 (在 $f_{OUT} = 70\text{MHz}$,
 $f_{DAC} = 2.5\text{Gps}$)



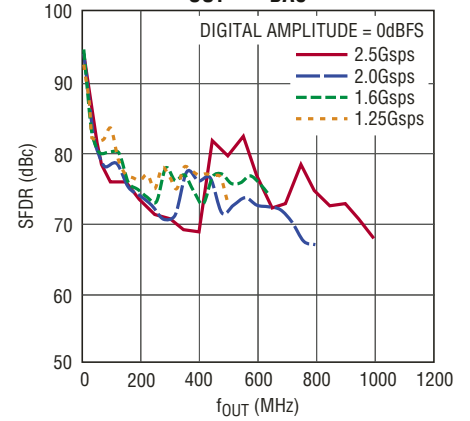
2000 G10

单音频谱 (在 $f_{OUT} = 990\text{MHz}$,
 $f_{DAC} = 2.5\text{Gps}$)



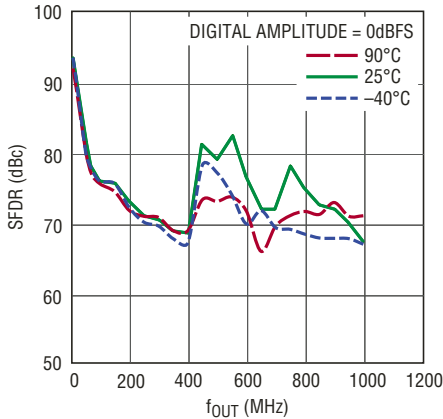
2000 G11

SFDR 与 f_{OUT} 和 f_{DAC} 的关系



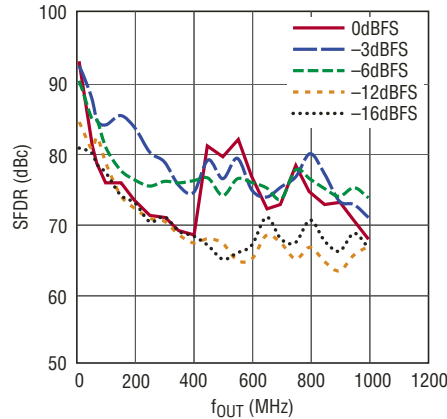
2000 G12

SFDR 与 f_{OUT} 和温度的关系,
 $f_{DAC} = 2.5\text{Gps}$



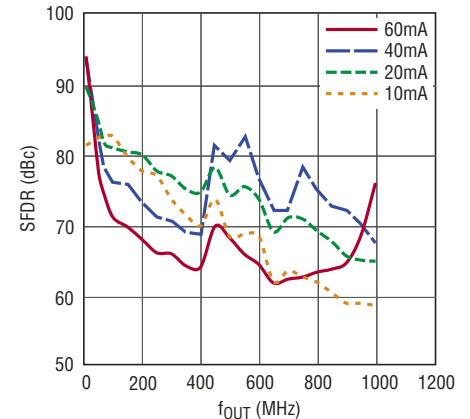
2000 G13

SFDR 与 f_{OUT} 和数字幅度 (dBFS)
 的关系, $f_{DAC} = 2.5\text{Gps}$



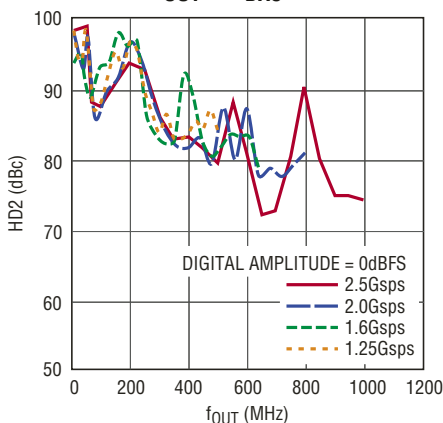
2000 G14

SFDR 与 f_{OUT} 和 I_{OUTFS} 的关系,
 $f_{DAC} = 2.5\text{Gps}$



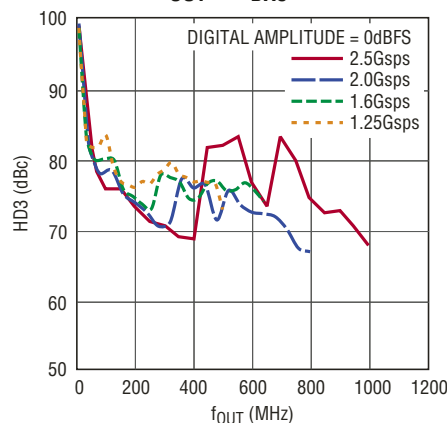
2000 G15

HD2 与 f_{OUT} 和 f_{DAC} 的关系



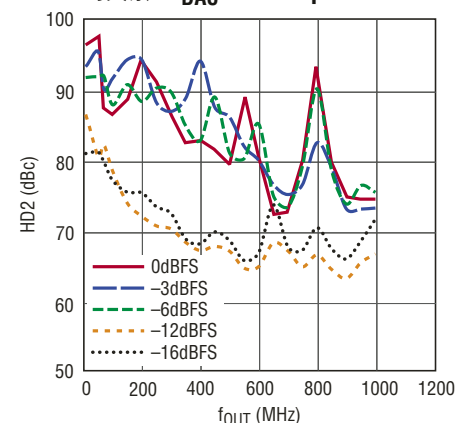
2000 G16

HD3 与 f_{OUT} 和 f_{DAC} 的关系



2000 G17

HD2 与 f_{OUT} 和数字幅度 (dBFS)
 的关系, $f_{DAC} = 2.5\text{Gps}$

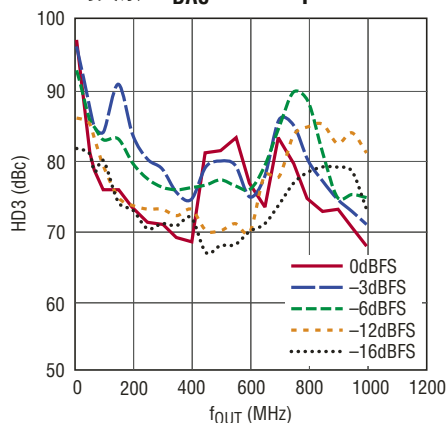


2000 G18

典型性能特征

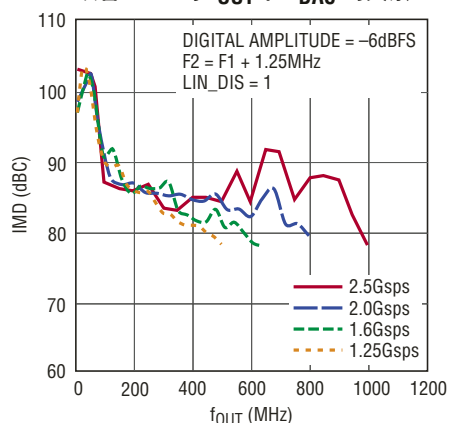
$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$,
 $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。

HD3 与 f_{OUT} 和数字幅度 (dBFS) 的关系, $f_{DAC} = 2.5\text{Gpsps}$



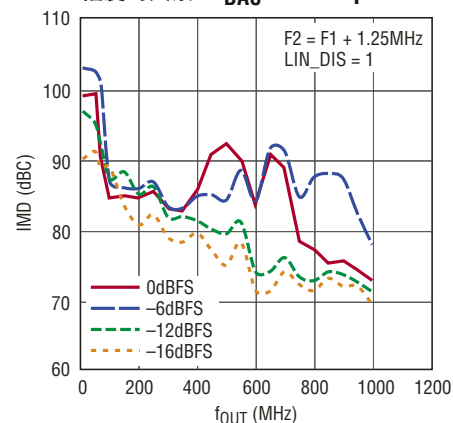
2000 G19

双音 IMD 与 f_{OUT} 和 f_{DAC} 的关系



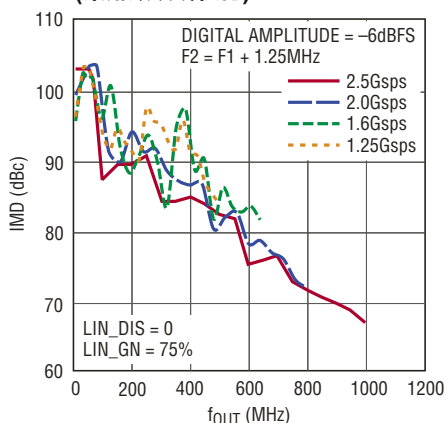
2000 G20

双音 IMD 与 f_{OUT} 和数字幅度的关系, $f_{DAC} = 2.5\text{Gpsps}$



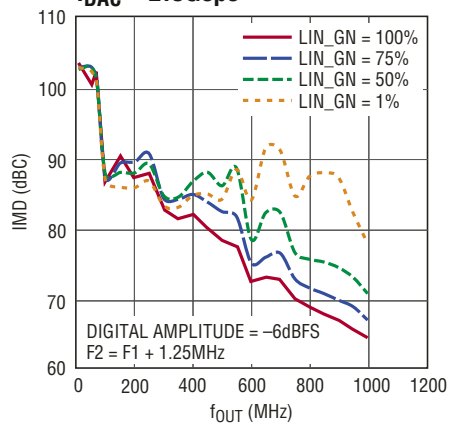
2000 G21

双音 IMD 与 f_{OUT} 和 f_{DAC} 的关系 (采用默认线性化)



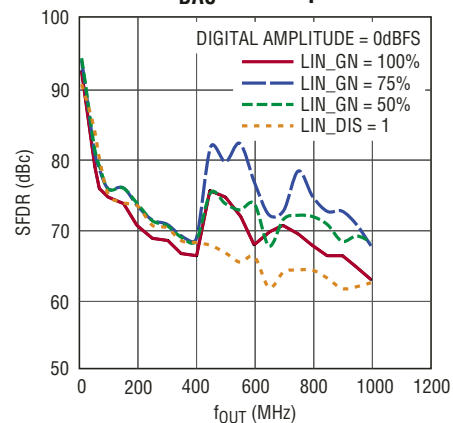
2000 G22

双音 IMD 与 f_{OUT} 和线性化设定值的关系, $f_{DAC} = 2.5\text{Gpsps}$



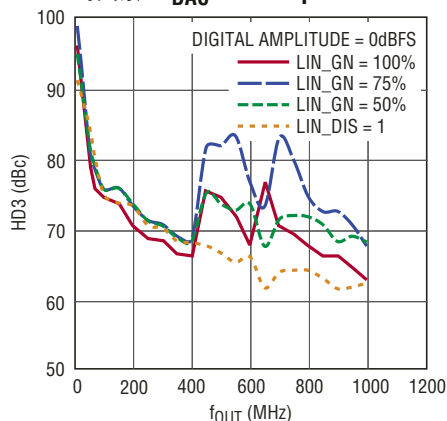
2000 G23

SFDR 与 f_{OUT} 和线性化设定值的关系, $f_{DAC} = 2.5\text{Gpsps}$



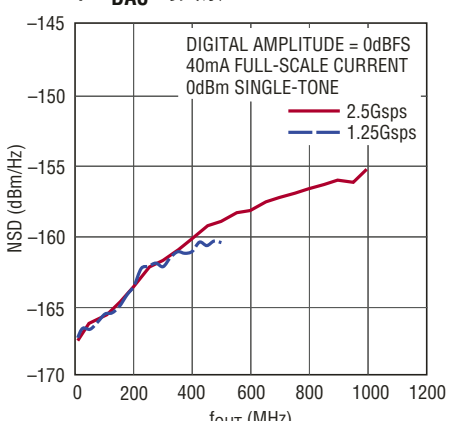
2000 G24

HD3 与 f_{OUT} 和线性化设定值的关系, $f_{DAC} = 2.5\text{Gpsps}$



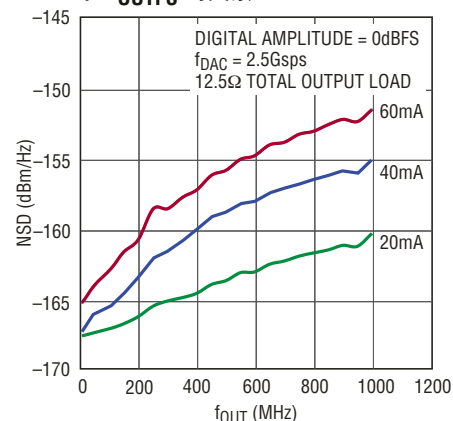
2000 G25

LTC2000-16 单音 NSD 与 f_{OUT} 和 f_{DAC} 的关系



2000 G26

LTC2000-16 单音 NSD 与 f_{OUT} 和 I_{OUTFS} 的关系



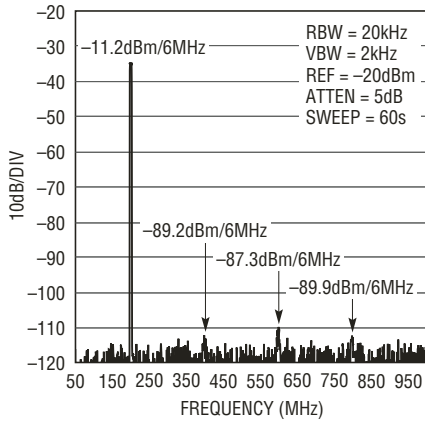
2000 G27

典型性能特征

$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$,
 $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。

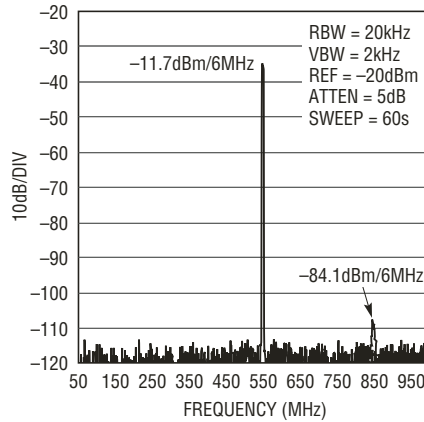
LTC2000-16

单载波 DOCSIS 低频带
宽带 ACLR, $f_{DAC} = 2.5\text{Gsp/s}$



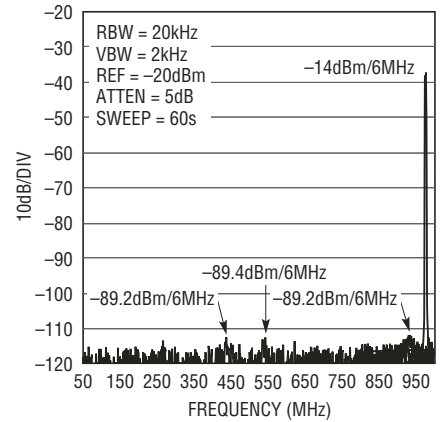
2000 G28

单载波 DOCSIS 中频带
宽带 ACLR, $f_{DAC} = 2.5\text{Gsp/s}$



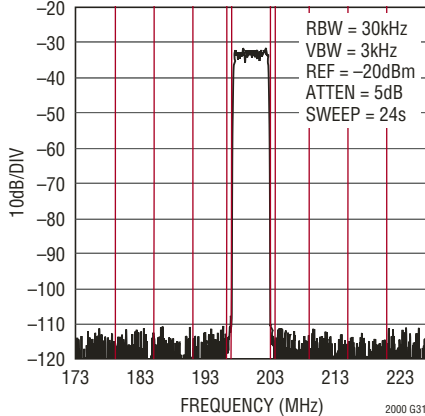
2000 G29

单载波 DOCSIS 高频带
宽带 ACLR, $f_{DAC} = 2.5\text{Gsp/s}$



2000 G30

单载波 DOCSIS 低频带
窄带 ACLR, $f_{DAC} = 2.5\text{Gsp/s}$

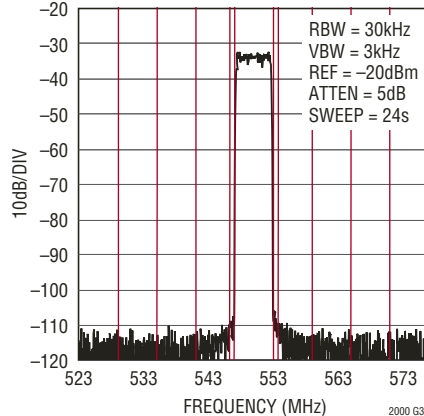


2000 G31

CARRIER POWER = -11.16 dBm, CENTER FREQ = 200 MHz

偏移频率	带宽	下限	上限
3.375 MHz	750 kHz	-100.31 dBm	-94.84 dBm
6.375 MHz	5.25 MHz	-96.02 dBm	-94.67 dBm
12.00 MHz	6 MHz	-96.47 dBm	-95.48 dBm
18.00 MHz	6 MHz	-96.40 dBm	-96.29 dBm
24.00 MHz	6 MHz	-96.40 dBm	-96.57 dBm

单载波 DOCSIS 中频带
窄带 ACLR, $f_{DAC} = 2.5\text{Gsp/s}$

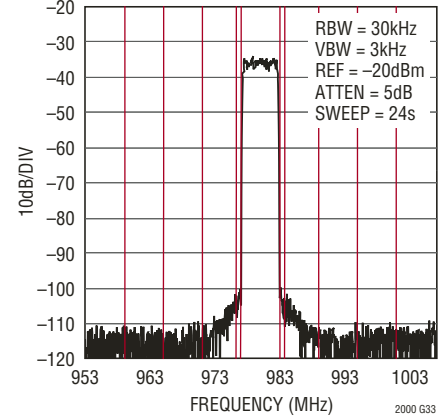


2000 G32

CARRIER POWER = -11.66 dBm, CENTER FREQ = 550 MHz

偏移频率	带宽	下限	上限
3.375 MHz	750 kHz	-95.63 dBm	-93.62 dBm
6.375 MHz	5.25 MHz	-93.01 dBm	-92.97 dBm
12.00 MHz	6 MHz	-94.66 dBm	-94.51 dBm
18.00 MHz	6 MHz	-95.19 dBm	-94.87 dBm
24.00 MHz	6 MHz	-94.97 dBm	-95.15 dBm

单载波 DOCSIS 高频带
窄带 ACLR, $f_{DAC} = 2.5\text{Gsp/s}$



2000 G33

CARRIER POWER = -14.04 dBm, CENTER FREQ = 980 MHz

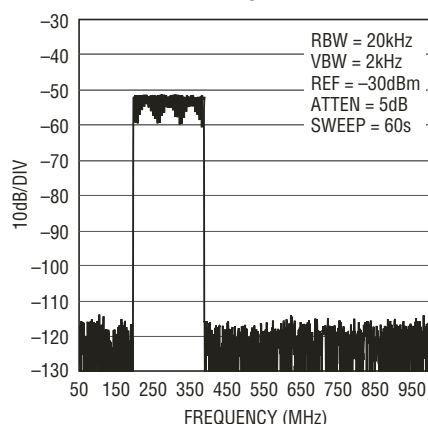
偏移频率	带宽	下限	上限
3.375 MHz	750 kHz	-89.47 dBm	-89.52 dBm
6.375 MHz	5.25 MHz	-87.24 dBm	-87.00 dBm
12.00 MHz	6 MHz	-93.04 dBm	-92.94 dBm
18.00 MHz	6 MHz	-93.52 dBm	-92.51 dBm
24.00 MHz	6 MHz	-93.33 dBm	-92.03 dBm

典型性能特征

$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$,
 $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。

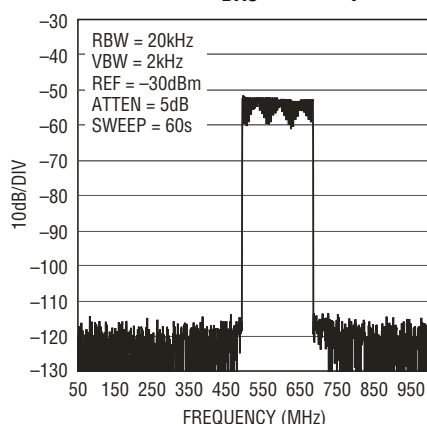
LTC2000-16

32 载波 DOCSIS 低频带
宽带 ACLR, $f_{DAC} = 2.5\text{Gsps}$



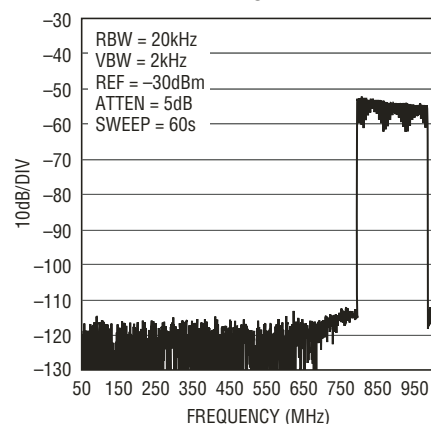
2000 G34

32 载波 DOCSIS 中频带
宽带 ACLR, $f_{DAC} = 2.5\text{Gsps}$



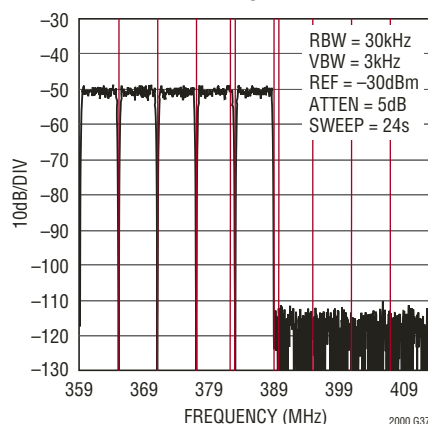
2000 G35

32 载波 DOCSIS 高频带
宽带 ACLR, $f_{DAC} = 2.5\text{Gsps}$



2000 G36

32 载波 DOCSIS 低频带
窄带 ACLR, $f_{DAC} = 2.5\text{Gsps}$

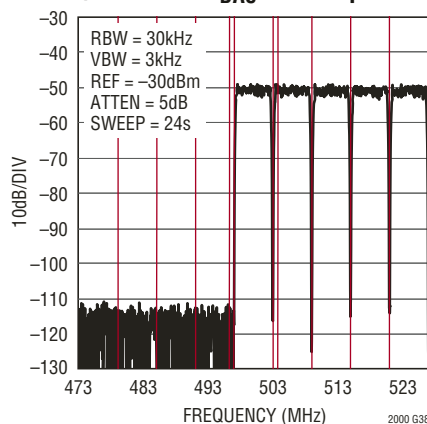


2000 G37

CARRIER POWER = -28.64dBm, CENTER FREQ = 386MHz

偏移频率	带宽	下限	上限
3.375MHz	750kHz	-39.32dBm	-103.86dBm
6.375MHz	5.25MHz	-29.01dBm	-95.18dBm
12.00MHz	6MHz	-28.68dBm	-94.68dBm
18.00MHz	6MHz	-28.54dBm	-94.97dBm
24.00MHz	6MHz	-28.49dBm	-95.08dBm

32 载波 DOCSIS 中频带
窄带 ACLR, $f_{DAC} = 2.5\text{Gsps}$

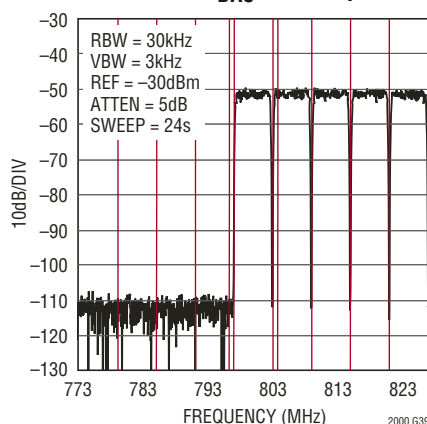


2000 G38

CARRIER POWER = -28.42dBm, CENTER FREQ = 500MHz

偏移频率	带宽	下限	上限
3.375MHz	750kHz	-102.49dBm	-39.23dBm
6.375MHz	5.25MHz	-94.71dBm	-28.92dBm
12.00MHz	6MHz	-94.02dBm	-28.69dBm
18.00MHz	6MHz	-94.36dBm	-28.71dBm
24.00MHz	6MHz	-93.72dBm	-28.74dBm

32 载波 DOCSIS 高频带
窄带 ACLR, $f_{DAC} = 2.5\text{Gsps}$



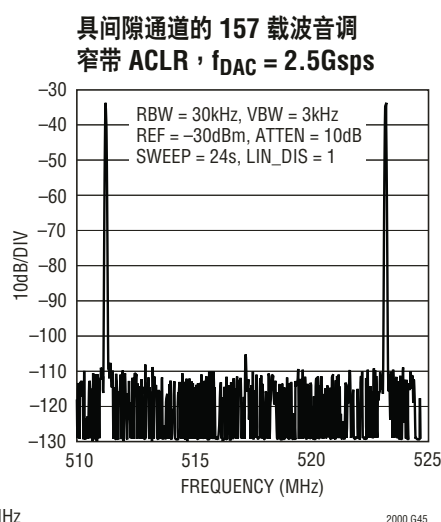
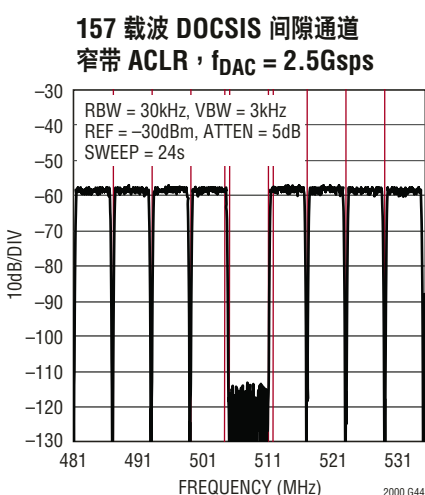
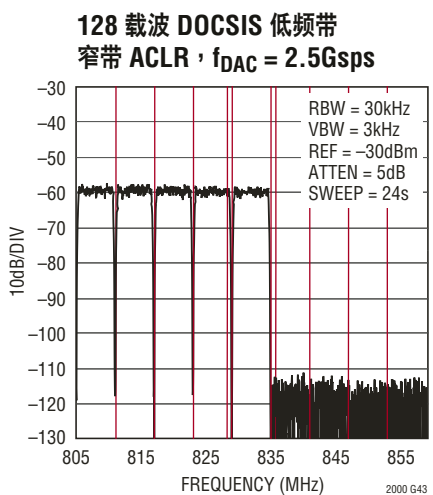
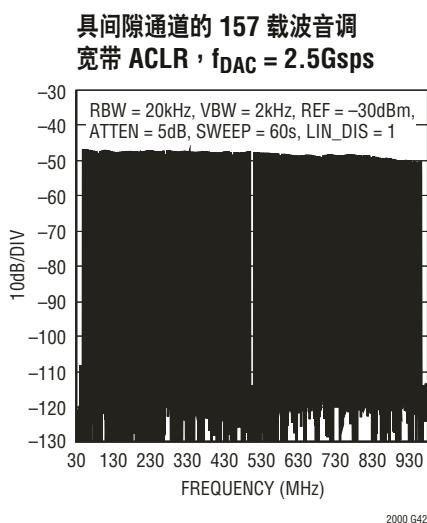
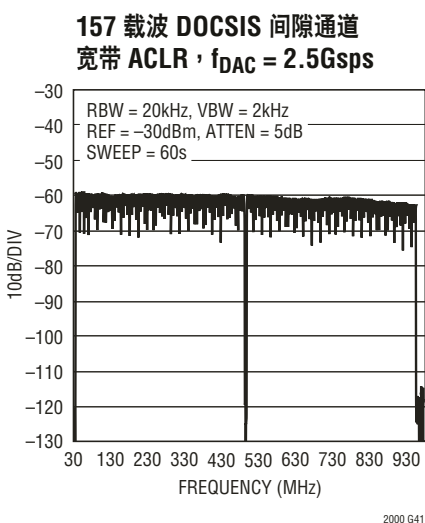
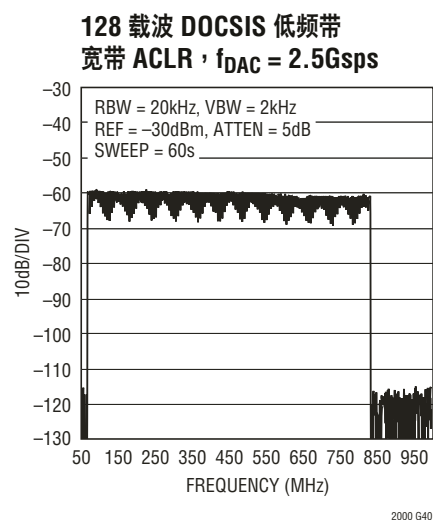
2000 G39

CARRIER POWER = -29.31dBm, CENTER FREQ = 800MHz

偏移频率	带宽	下限	上限
3.375MHz	750kHz	-98.23dBm	-40.42dBm
6.375MHz	5.25MHz	-90.00dBm	-29.56dBm
12.00MHz	6MHz	-89.76dBm	-29.20dBm
18.00MHz	6MHz	-89.72dBm	-29.25dBm
24.00MHz	6MHz	-89.76dBm	-29.55dBm

典型性能特征 $I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$, $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。

LTC2000-16



CARRIER POWER = -37.59dBm, CENTER FREQ = 832MHz

偏移频率	带宽	下限	上限
3.375MHz	750kHz	-48.37dBm	-103.39dBm
6.375MHz	5.25MHz	-37.97dBm	-95.72dBm
12.00MHz	6MHz	-37.33dBm	-95.55dBm
18.00MHz	6MHz	-37.13dBm	-96.33dBm
24.00MHz	6MHz	-37.15dBm	-95.91dBm

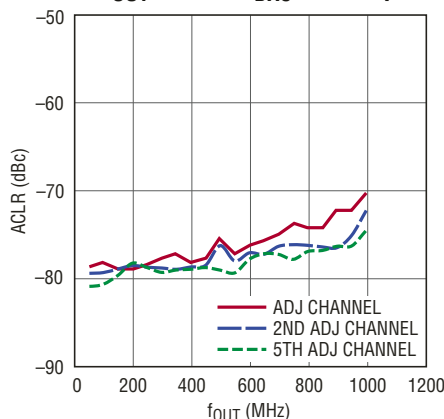
GAP CHANNEL POWER = -96.45dBm, CENTER FREQ = 508MHz

偏移频率	带宽	下限	上限
3.375MHz	750kHz	-48.05dBm	-47.93dBm
6.375MHz	5.25MHz	-36.61dBm	-36.50dBm
12.00MHz	6MHz	-36.32dBm	-36.27dBm
18.00MHz	6MHz	-36.48dBm	-36.45dBm
24.00MHz	6MHz	-36.54dBm	-36.57dBm

典型性能特征

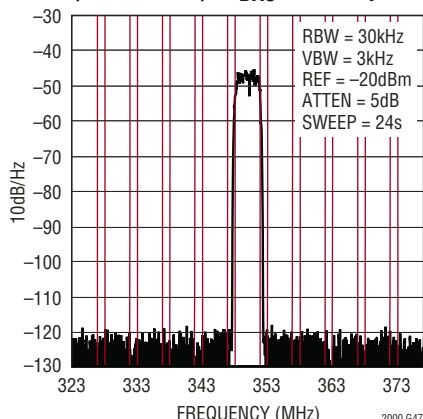
$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$,
 $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。

LTC2000-16 单载波 WCDMA ACLR
与 f_{OUT} 的关系, $f_{DAC} = 2.5\text{Gsp/s}$



2000 G46

LTC2000-16 单载波 WCDMA ACLR
(在 350MHz), $f_{DAC} = 2.5\text{Gsp/s}$

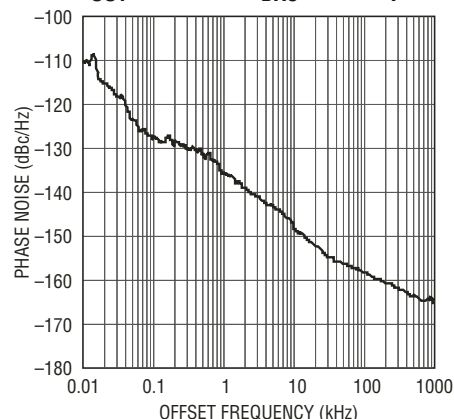


2000 G47

CARRIER POWER = -17.06dBm, CENTER FREQ = 350MHz

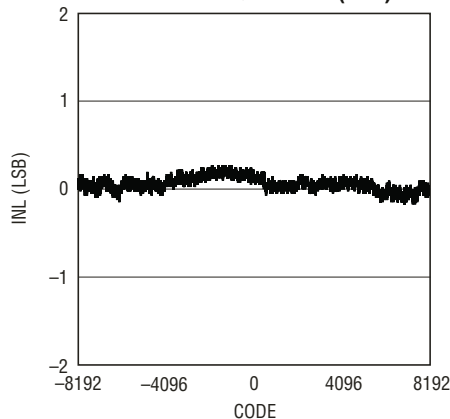
偏移频率	带宽	下限	上限
5.00MHz	3.84MHz	-94.15dBm	-94.40dBm
10.00MHz	3.84MHz	-95.61dBm	-94.99dBm
15.00MHz	3.84MHz	-95.72dBm	-95.55dBm
20.00MHz	3.84MHz	-96.97dBm	-96.37dBm
25.00MHz	3.84MHz	-96.07dBm	-96.50dBm

附加相位噪声
 $f_{OUT} = 65\text{MHz}$, $f_{DAC} = 2.5\text{Gsp/s}$



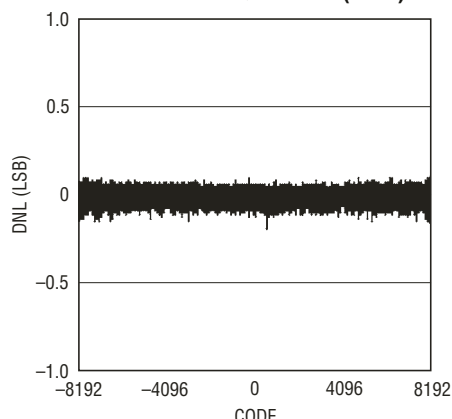
2000 G48

LTC2000-14 积分非线性 (INL)



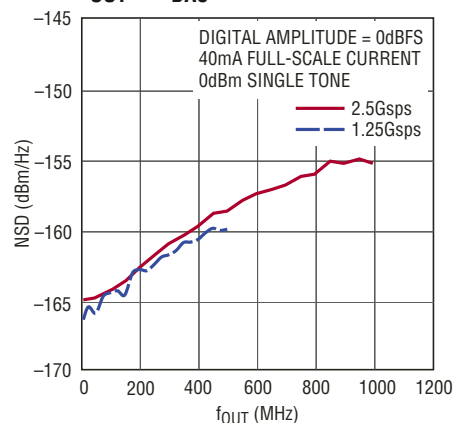
2000 G49

LTC2000-14 差分非线性 (DNL)



2000 G50

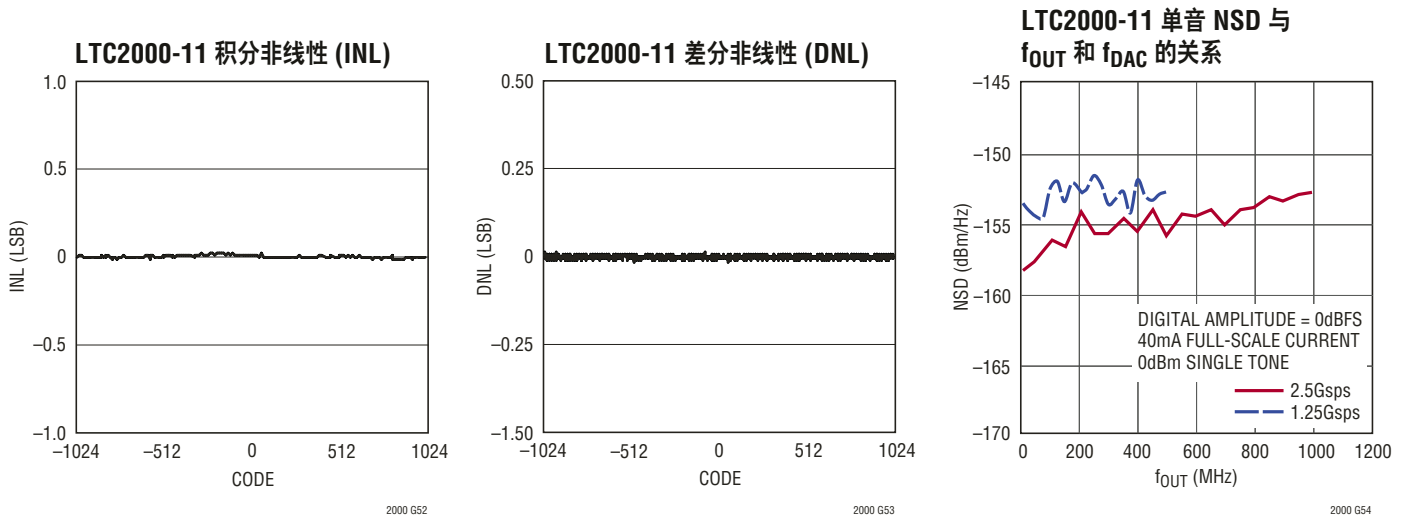
LTC2000-14 单音 NSD 与
 f_{OUT} 和 f_{DAC} 的关系



2000 G51

典型性能特征

$I_{OUTFS} = 40\text{mA}$, $T_A = 25^\circ\text{C}$, $AV_{DD18} = DV_{DD18} = 1.8\text{V}$, $AV_{DD33} = DV_{DD33} = 3.3\text{V}$, $R_{LOAD} = 12.5\Omega$, $LIN_DIS = 0$, $LIN_GN = 75\%$, 除非特别注明。



引脚功能

AV_{DD18} : 1.8V 模拟电源电压输入。1.71V 至 1.89V。

AV_{DD33} : 3.3V 模拟电源电压输入。3.135V 至 3.465V。

CKP 、 CKN : DAC 采样时钟输入。最大时钟频率 (f_{DAC}) 为 2500MHz。应对时钟信号进行 AC 耦合。

$\overline{CS}$: 串行接口芯片选择输入。当 $\overline{CS}$ 为低电平时, 被使能的 SCK 把 SDI 上的数据移动至寄存器中。当 $\overline{CS}$ 被拉至高电平时, SCK 被禁止且 SDO 为高阻抗。

$DAP[15:0]$ 、 $DAN[15:0]$: A 端口 LVDS 数据输入。最大数据速率为 1.25Gbps。A 端口仅在双端口模式中使用。不用时把这些引脚连接至 GND。数据输入格式为二进制补码。

$DBP[15:0]$ 、 $DBN[15:0]$: B 端口 LVDS 数据输入。最大数据速率为 1.25Gbps。在单端口模式中, 仅使用 B 端口。在双端口模式中, 来自 B 端口的样本在来自 A 端口的样本之后一个周期出现于 $I_{OUTP/N}$ 。数据输入格式为二进制补码。

$DCKIP$ 、 $DCKIN$: LVDS 数据时钟输入。最大频率 (f_{DCKI}) 为 625MHz。在双端口模式中, $f_{DCKI} = f_{DAC}/4$ 。在单端口模式中, $f_{DCKI} = f_{DAC}/2$ 。

$DCKOP$ 、 $DCKON$: LVDS 数据时钟输出。最大频率为 625MHz。其采用寄存器 0x02 来选择频率 ($f_{DAC}/4$ 或 $f_{DAC}/2$)、输出电流 (3.5mA 或 7mA) 和终端 (无或 100 Ω)。

DV_{DD18} : 1.8V 数字电源电压输入。1.71V 至 1.89V。

DV_{DD33} : 3.3V 模拟电源电压输入。3.135V 至 3.465V。

$FSADJ$: 全标度调节引脚。DAC 全标度电流为 $16 \cdot (V_{REFIO}/R_{FSADJ})$ 。在 $FSADJ$ 和 GND 之间连接一个 500 Ω 电阻器以把全标度电流设定为 40mA。

GND: 地。

I_{OUTP} 、 I_{OUTN} : DAC 模拟电流输出。差分输出的标称值为 $\pm 40\text{mA}$ 。最大更新速率为 2.5Gsps。当二进制补码 DAC 代码被设定为中间标度 (全零) 时, 输出电流在 I_{OUTP} 和 I_{OUTN} 之间均匀分配。

$\overline{PD}$ (引脚 S1): 低电平有效断电输入。当 $\overline{PD}$ 为低电平时, LTC2000 电源电流小于 440 μA 。如需退出断电模式, 则把 $\overline{PD}$ 从高电平切换至 SV_{DD} 。

引脚功能

REFIO：基准电压输入或输出。1.25V 内部基准通过一个 10k 内部电阻器联结到该引脚上。可以采用一个介于 1.1V 和 1.4V 之间的外部基准电压对此引脚进行外部驱动。

SCK：串行接口时钟输入。最大频率为 50MHz。

SDI：串行接口数据输入。SDI 上的数据在 SCK 的上升沿上由时钟同步输入。

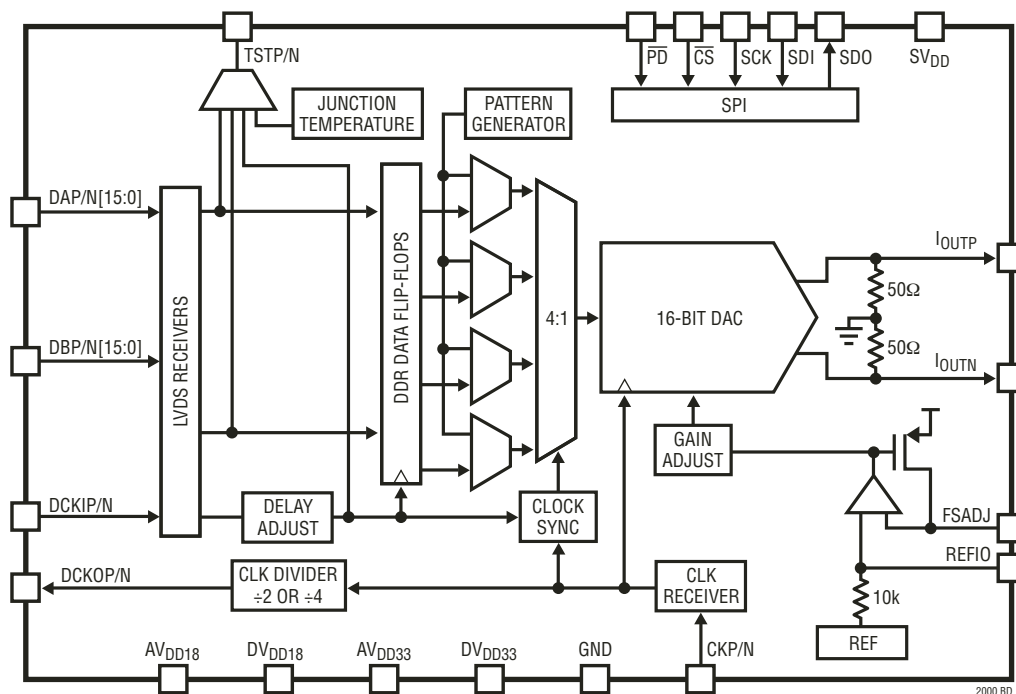
SDO：串行接口数据输出。利用 SCK 的下降沿由时钟将数据同步输出至 SDO 上。当 $\overline{CS}$ 为高电平时，SDO 为高阻抗。

SVDD：SPI 电源电压输入。1.71V 至 3.465V。

TSTP、**TSTN**：测试输出引脚。可选择使用这些引脚来测量内部温度或 LVDS 输入的定时。请见“应用信息”中的“测量内部结温”和“测量 LVDS 输入时序错位”部分。采用 SPI 内部寄存器 0x18 和 0x19 来控制 TSTP/N。不用时将这些引脚连接至 GND。

注：如需了解引脚的位置，请参阅本数据表的“引脚位置”部分。

方框图



时序图

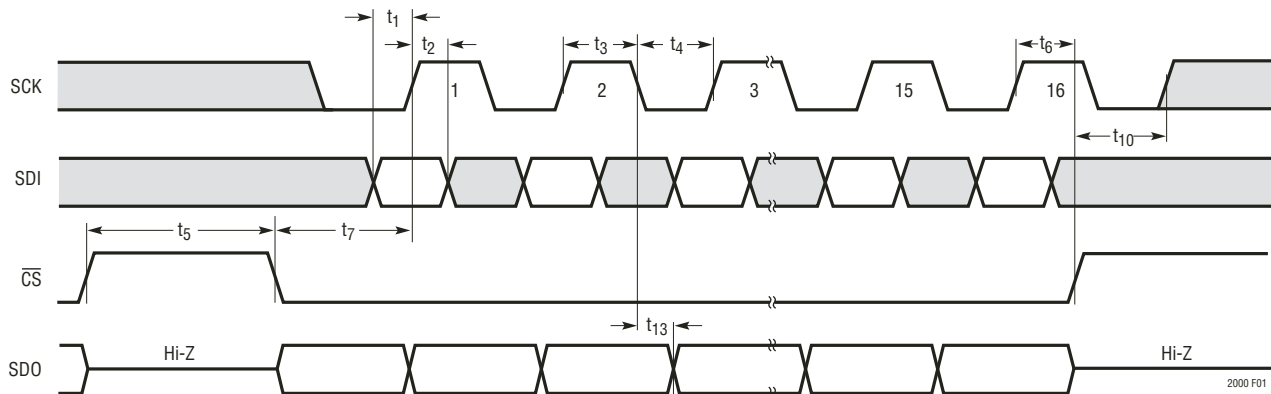


图 1：串行接口定时

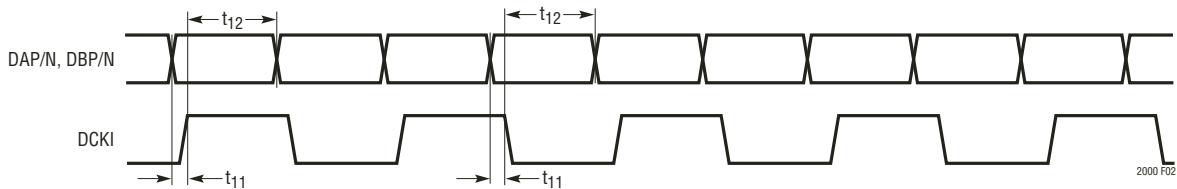


图 2：LVDS 接口定时 (DCKI_Q = 0, DCK_TADJ = 000)

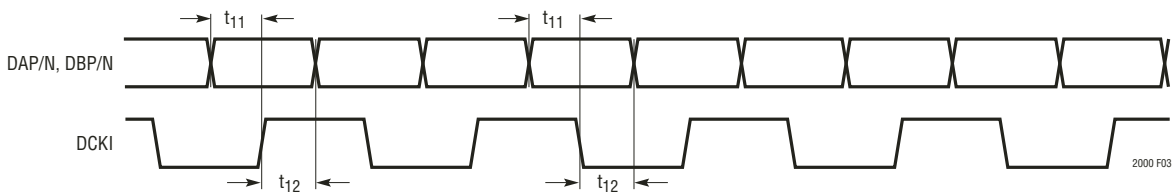


图 3：LVDS 接口定时 (DCKI_Q = 1)

工作原理

引言

LTC2000 是一个 2.5Gbps 电流导引 DAC 系列。其采用 170 引脚 BGA 封装，可提供三种分辨率（16 位、14 位、11 位）。LTC2000 具有高输出带宽和输出电流，同时保持了一个具有低杂散的干净输出频谱，从而使其非常适合于产生高频或宽带信号。LTC2000 的标称输出电流为 40mA，并且是流出 FSADJ 引脚之电流（标称为 2.5mA）的经比例放大的 (16x) 复制信号。高输出电流在输出阻抗中提供了灵

活性，而且高 FSADJ 电流和低比例因子可实现出色的近载波相位噪声性能。

LTC2000 具有两个 16 位、14 位、11 位宽的 LVDS 或 DHSTL 兼容型并行数据输入端口 (DAP/N、DBP/N)。每个数据输入端口都能采用高达 625MHz 的双倍数据速率 (DDR) 数据输入时钟 (DCKIP/N) 以高达 1.25Gbps 速率接收二进制补码数据。DDR 数据输入时钟与到达数据输入端口上的数据既可以正交，也可以同相。

工作原理

在由 DCKIP/N 对输入数据进行采样之后，一个内部多路复用器交错处理数据以由 DAC 采样时钟 (CKP/N) 进行再采样。见图 4a 和 4b。在 11 个 DAC 采样时钟周期的流水线延迟之后，CKP/N 的上升沿对 DAC 代码进行更新，并在两个输出之间引导一个比例差分输出电流 ($I_{OUTP/N}$)。请注意，从更新一个 DAC 代码的 CKP/N 上升沿到针对该 DAC 代码的实际 $I_{OUTP/N}$ 转换大约需要 3ns (孔径延迟)。

一个内部时钟同步器负责监视 DCKIP/N 的输入相位，并为多路复用器控制信号选择适当的相位以确保由 CKP/N 对数据实施正确的采样。另外，LTC2000 还通过对采样时钟频率进行分频产生了一个 LVDS 时钟输出 (DCKOP/N)，以简化主 FPGA 或 ASIC 的时序。诸如模式发生、LVDS 输出环路和结温检测等其他功能则简化了系统开发和测试。

串行外设接口 (SPI) 端口可提供负责控制上述功能的内部寄存器的配置和回读。

双端口模式

在双端口模式中，数据被同时写入 A 端口和 B 端口，随后在 LTC2000 的内部进行交错处理，可提供高达 2.5Gsp/s 的 DAC 输出采样速率。图 4a 和 4b 示出了双端口操作的简化方框图和波形示例。

LVDS 数据输入端口 A 和 B 由 4 组触发器在 DDR 数据输入时钟 (DCKIP/N) 的上升沿和下降沿上进行采样。然后，这些触发器的内容由 4:1 多路复用器进行交错处理，并由 DAC 采样时钟 (CKP/N) 以高达 2.5GHz 的频率实施采样，在 DAC 输出端上，来自 A 端口 (DAP/N) 的数据早于来自 B 端口 (DBP/N) 的数据。

请注意，在双端口模式中，采样时钟 (CKP/N) 频率始终为 DDR 数据输入时钟 (DCKIP/N) 频率的 4 倍。例如，若需在

2.5Gsp/s 使用 DAC，则施加一个 2.5GHz 时钟至 CKP/N 和一个 625MHz 时钟至 DCKIP/N，并以每端口 1.25Gsp/s 的速率将数据发送至 A 端口和 B 端口 (DAP/N、DBP/N) 中。

延迟被定义为从 DCKIP/N 转换 (其对一个 DAC 代码进行采样) 到 CKP/N 转换 (其导致该采样出现在 DAC 输出 $I_{OUTP/N}$ 上) 的延迟。在双端口模式中，从 DAP/N 至 $I_{OUTP/N}$ 的延迟为 10 个采样时钟周期，而从 DBP/N 至 $I_{OUTP/N}$ 的延迟为 11 个周期，起始点为紧接在对 DAC 代码进行采样的 DCKIP/N 转换之后的 CKP/N 上升沿 (图 4b)。

单端口模式

在单端口模式中，数据仅被写至 B 端口 (DBP/N)，可提供高达 1.25Gsp/s 的 DAC 输出采样速率。图 4c 和 4d 给出了表示单端口运作的方框图和波形示例。样本被写至 B 端口 (DBP/N)，并由两组触发器在 DDR 数据输入时钟 (DCKIP/N) 的下降沿和上升沿上采样。这些触发器的内容随后利用 2:1 多路复用器实施交错处理而成为单个数据流，并由 DAC 采样时钟 (CKP/N) 以高达 1.25GHz 的频率进行采样。

请注意，在单端口模式中，采样时钟 (CKP/N) 频率始终为 DDR 数据输入时钟 (DCKIP/N) 频率的 2 倍。例如，若需在 1.25Gsp/s 使用 DAC，则施加一个 1.25GHz 时钟至 CKP/N 和一个 625MHz 时钟至 DCKIP/N，并以 1.25Gsp/s 的速率将数据发送至 B 端口 (DBP/N) 中。在单端口模式中，A 端口 (DAP/N) 应接地。由于单端口模式中内部时钟同步器设计的原因，在单端口延迟中存在半个周期的移位。在单端口模式中，从 DBP/N 至 $I_{OUTP/N}$ 的延迟为 7.5 个采样时钟周期，起始点为紧接在对 DAC 代码进行采样的 DCKIP/N 转换之后的 CKP/N 下降沿 (图 4d)。

工作原理

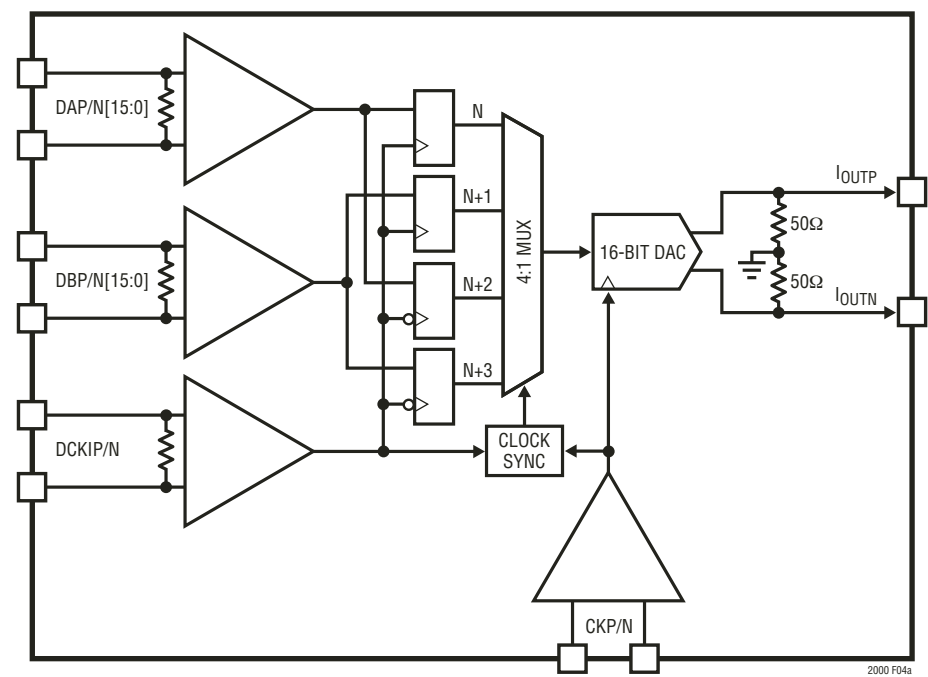


图 4a：简化方框图 – 双端口操作

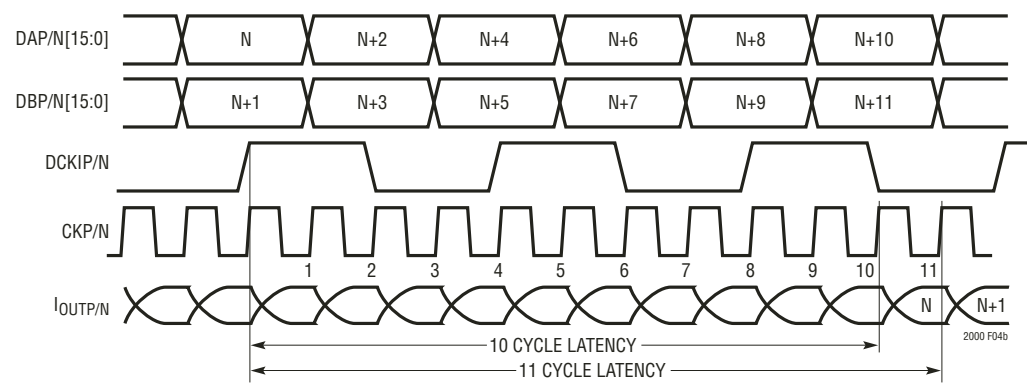


图 4b：波形示例 – 双端口操作

工作原理

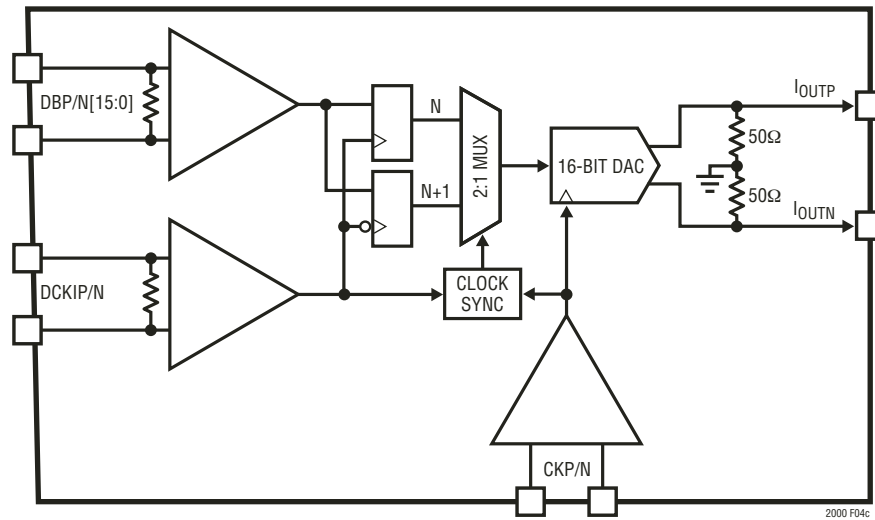


图 4c : 简化方框图 – 单端口操作

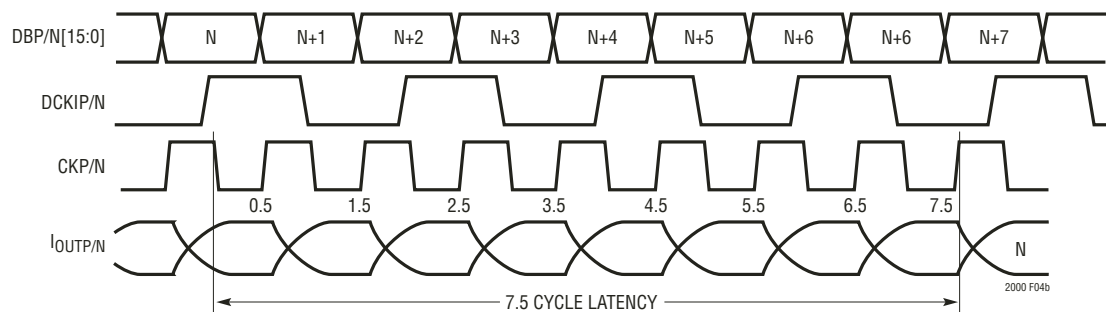


图 4d : 波形示例 – 单端口操作

工作原理

串行外设接口 (SPI)

LTC2000 采用了一个 SPI/MICROWIRE 兼容型三线式串行接口，以配置和回读内部寄存器。SV_{DD} 引脚是用于 SPI 接口的电源 (标称值为 1.8V 或 3.3V)。 $\overline{\text{CS}}$ 输入由电平来触发。当该输入被拉至低电平时，其充当一个芯片选择信号，使能 SDI 和 SCK 缓冲器以及 SPI 输入寄存器。在 $\overline{\text{CS}}$ 的下降沿之后，由 SCK 的上升沿通过时钟同步输入的第一个数据字节是命令字节。该命令字节的第一个位表示一个读 (R/W = 1) 或写 (R/W = 0) 操作。接下去的 7 个位包含了寄存器地址，它们构成了完整的命令字节。

在命令字节之后传输的下一个字节是数据字节。对于写操作，数据字节被写至由命令字节中设定的寄存器地址所规定的 SPI 寄存器。在读操作期间，数据字节被忽略，而且选定 SPI 寄存器的内容由 SCK 的下降沿通过时钟同步输出至 SDO 引脚上。在写操作期间，SDO 将为低电平。当 $\overline{\text{CS}}$ 走高时，SDO 呈高阻抗。图 5 示出了 SPI 命令和数据输入。

希望同时传输多个数据字节的用户可能会这么做，此时用于每个后续字节的地址在内部自动增加。地址将持续增加，直到 $\overline{\text{CS}}$ 变至高电平或者地址位 A[4:0] 达到 0x1F 为止，后续字节在此之后将被持续地写至相同的地址。

保留的地址和位单元不得写入零以外的任何其他数值。表 11 中包含了对所有内部 SPI 寄存器的完整描述，相关内容可在“SPI 寄存器概要”部分里看到。

上电复位

内部上电复位电路将在上电时使 LTC2000 复位并在首次加电时将输出清除至中间标度，从而使得系统初始化具有一致性和可重复性。所有的内部寄存器均复位至 0x00 (寄存器地址 0x08 例外，其复位至 0x08)。也可以运用一种软件复位，借助的方法是采用 SPI 接口把 0x01 装入寄存器地址 0x01，从而将 SW_RST 设定为 1 (见表 1)。请注意，当 $\overline{\text{CS}}$ 返回至高电平时，SW_RST 位将自动清零。当所有的电源均开始稳定时，建议用户执行一次软件复位。

断电

对于那些希望在未用 DAC 时须省电的用户而言，可通过把 $\overline{\text{PD}}$ 引脚拉至 GND 或对寄存器 0x01 进行写操作以设定 FULL_PD = 1 来把电源电流减小至 440 μ A 以下。或者，用户也可以个别地采用寄存器 0x01、0x02、0x03 和 0x04 中的 DAC_PD、CK_PD、DCKO_DIS、DCKI_EN、DA_EN 和 DB_EN 以切断芯片未用部分的供电 (见表 1)。

基准操作

LTC2000 具有一个 1.25V 内部带隙电压基准，其负责通过一个 10k 内部电阻器来驱动 REFIO 引脚，并应在驱动任何附加外部负载的情况下增加缓冲设计。如欲获得良好的噪声性能，则建议在 REFIO 引脚上布设一个连接至 GND 的 0.1 μ F 电容器，但稳定性并不需要采用该电容器。

在优先选择一个外部基准的场合中，简单地将外部基准施加至 REFIO 引脚并对内部基准进行过驱动。可接受的外部基准范围为 1.1V 至 1.4V。

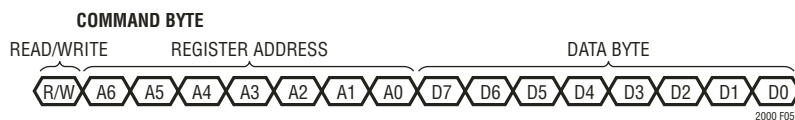


图 5：SPI 命令和数据输入

工作原理

表 1：上电复位和断电 SPI 寄存器

地址	位	名称	描述
0x01	0	SW_RST	软件复位。设定 SW_RST = 1 以把所有的寄存器均恢复至其上电复位状态。当 $\overline{CS}$ 回复至高电平时，SW_RST 被自动清零。所有的寄存器均复位至 0x00 (地址 0x08 例外，其复位至 0x08)。
	1	DAC_PD	DAC 断电。设定 DAC_PD = 1 以切断 DAC 和 FSADJ 偏置电路的供电。
	2	FULL_PD	完全断电。设定 FULL_PD = 1 以切断芯片上所有有源电路的供电，并把电源电流减小至 100 μ A 以下。
0x02	0	CK_PD	CKP/N 时钟接收器断电。当 CK_PD = 1 时 CKP/N 时钟接收器断电。
	4	DCKO_DIS	DCKOP/N 输出停用。设定 DCKO_DIS = 1 以切断 DCKO LVDS 发送器的供电。对于 DCKO_DIS = 1，DCKOP/N 为高阻抗。
0x03	0	DCKI_EN	DCKIP/N 时钟接收器使能。设定 DCKI_EN = 1 以使能 DCKI 时钟接收器。
0x04	0	DA_EN	DAC 数据端口 A LVDS 接收器使能。设定 DA_EN = 1 以使能 A 端口 (DAP/N) LVDS 接收器。对于 DA_EN = 0，A 端口 LVDS 接收器被断电，而且 A 端口数据将为“0”。
	1	DB_EN	DAC 数据端口 B LVDS 接收器使能。设定 DB_EN = 1 以使能 B 端口 (DBP/N) LVDS 接收器。对于 DB_EN = 0，B 端口 LVDS 接收器被断电，而且 B 端口数据将为“0”。

注：寄存器 0x01–0x04 复位至 0x00 (默认)。

设定全标度电流

全标度 DAC 输出电流 (I_{OUTFS}) 的标称值为 40mA，但可以调节到低至 10mA 或者高至 60mA。全标度电流通过在外置 FSADJ 引脚和 GND 之间布设一个外部电阻器 (R_{FSADJ}) 来设定。一个内部基准控制环路放大器负责设定流过 R_{FSADJ} 的电流以使 FSADJ 上的电压等于 REFIO 上的电压 (其通常为 1.25V)。 I_{OUTFS} 被设定为从 FSADJ 引脚流出之电流 (I_{FSADJ}) 的一个按比例放大的复制品：

$$I_{FSADJ} = \frac{V_{REFIO}}{R_{FSADJ}}$$

$$I_{OUTFS} = 16 \cdot I_{FSADJ} \cdot \frac{256}{256 + GAIN_ADJ}$$

式中的 GAIN_ADJ 是一个从 -32 至 31 (标称值为 0) 的 6 位二进制补码数值，其可采用 SPI 寄存器 0x09 来设置，如表 2 所示。例如，倘若 $R_{FSADJ} = 500\Omega$ ， $V_{REFIO} = 1.25V$ 且 $GAIN_ADJ = 0x00$ ，则控制环路将在 FSADJ 引脚上施加 1.25V 电压，从而使 2.5mA 电流流经 R_{FSADJ} 。这样， I_{OUTFS} 将被设定为 $16 \cdot 2.5mA = 40mA$ 。

把 GAIN_ADJ 变为 0x1F (+31) 将导致电流减小 10.8% (至 35.7mA)。把 GAIN_ADJ 变为 0x20 (-32) 将导致电流增加 14.3% (至 45.7mA)。

需注意的是，GAIN_ADJ 出现在 I_{OUTFS} 公式的分母中，因此调节分辨率的变化幅度为每步 0.5% 至 0.3%。图 6 中示出的电路可用于把全标度输出电流变至超出 GAIN_ADJ 寄存器的范围。

当采用非 40mA 的全标度电流时，DAC 线性度和谐波失真指标有可能劣化。全标度电流一定不得超过 60mA，且建议至少应为 10mA。

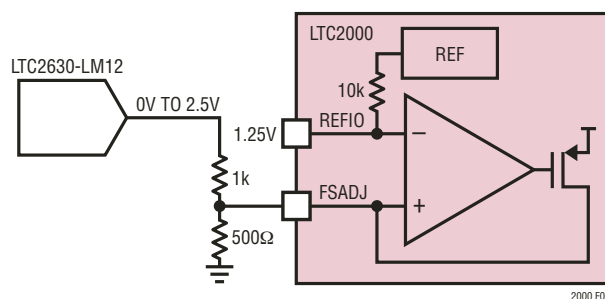


图 6：LTC2000 全标度调节 (从 20mA 至 60mA)

工作原理

表 2：全标度增益调节

地址	位	名称	描述			
0x09	[5:0]	GAIN_ADJ	GAIN_ADJ (十六进制)	GAIN_ADJ (十进制)	增益调节	全标度电流 ($R_{FSADJ} = 500\Omega$, $V_{REFIO} = 1.25V$)
			0x1F	+31	89.2%	35.68mA
			0x1E	+30	89.5%	35.80mA
			—	—	—	—
			0x01	+1	99.6%	39.84mA
			0x00	0	100.0%	40.00mA
			0x3F	-1	100.4%	40.16mA
			—	—	—	—
			0x21	-31	113.8%	45.51mA
			0x20	-32	114.3%	45.71mA

注：寄存器 0x09 复位至 0x00 (默认)。

DAC 转移函数

LTC2000 包含大量的电流源，这些电流源通过差分开关引导至 I_{OUTP} 或 I_{OUTN} (取决于通过 LVDS 并行接口设置的 DAC 代码)。LTC2000 采用一个 16 / 14 / 11 位二进制补码 DAC 代码。互补的电流输出 (I_{OUTP} 和 I_{OUTN}) 可提供 0mA 至 I_{OUTFS} 的电流。对于 $I_{OUTFS} = 40mA$ (标称值)， I_{OUTP} 的摆幅为 0mA (针对零标度 DAC 代码) 至 40mA (针对全标度 DAC 代码)。 I_{OUTN} 与 I_{OUTP} 是互补的。当 DAC 代码被设定为中间标度 (全零) 时， I_{OUTFS} 在 I_{OUTP} 和 I_{OUTN} 之间均分。 I_{OUTP} 和 I_{OUTN} 由下面的公式给出：

LTC2000-16：

$$I_{OUTP} = I_{OUTFS} \cdot (CODE + 32768)/65536 + I_{OUTCM}$$

$$I_{OUTN} = I_{OUTFS} \cdot (32768 - CODE - 1)/65536 + I_{OUTCM}$$

LTC2000-14：

$$I_{OUTP} = I_{OUTFS} \cdot (CODE + 8192)/16384 + I_{OUTCM}$$

$$I_{OUTN} = I_{OUTFS} \cdot (8192 - CODE - 1/4)/16384 + I_{OUTCM}$$

LTC2000-11：

$$I_{OUTP} = I_{OUTFS} \cdot (CODE + 1024)/2048 + I_{OUTCM}$$

$$I_{OUTN} = I_{OUTFS} \cdot (1024 - CODE - 1/32)/2048 + I_{OUTCM}$$

DAC 代码范围为 -2^{N-1} 至 $2^{N-1} - 1$ ，其中 N 为 DAC 分辨率 (16/14/11)。 I_{OUTCM} 是一个小的恒定共模输出电流，其大约等于 0.2% 全标度 (即：对于 $I_{OUTFS} = 40mA$ 为 $80\mu A$)。

LTC2000 差分输出电流通常直接驱动一个阻性负载或通过变压器驱动一个等效阻性负载 (见“输出配置”部分)。由 I_{OUTP} 和 I_{OUTN} 输出电流产生的电压输出为：

$$V_{OUTP} = I_{OUTP} \cdot R_{LOAD}$$

$$V_{OUTN} = I_{OUTN} \cdot R_{LOAD}$$

$$V_{DIFF} = V_{OUTP} - V_{OUTN} = (I_{OUTP} - I_{OUTN}) \cdot R_{LOAD}$$

将上面的数值代入可得出：

LTC2000-16：

$$V_{DIFF} = V_{REFIO} \cdot (R_{LOAD}/R_{FSADJ}) \cdot (2 \cdot CODE + 1)/4096$$

LTC2000-14：

$$V_{DIFF} = V_{REFIO} \cdot (R_{LOAD}/R_{FSADJ}) \cdot (2 \cdot CODE + 1/4)/1024$$

LTC2000-11：

$$V_{DIFF} = V_{REFIO} \cdot (R_{LOAD}/R_{FSADJ}) \cdot (2 \cdot CODE + 1/32)/128$$

请注意，DAC 的增益取决于 R_{LOAD} 与 R_{FSADJ} 之比，而增益误差温度系数则受到 R_{LOAD} 随 R_{FSADJ} 之温度跟踪的影响。

模拟输出 ($I_{OUTP/N}$)

两个互补的模拟输出 ($I_{OUTP/N}$) 具有低输出电容，其利用合适的 R_{LOAD} 阻值可实现 2.1GHz 的高输出带宽。另外，模拟输出还具有一个连接至 GND 的 50Ω 内部阻抗，其将影

工作原理

响 R_{LOAD} 的计算和 DAC 的输出电压摆幅。例如，给 I_{OUTP} 和 I_{OUTN} 均加载连接至 GND 的外部 50Ω 电阻器将导致 R_{LOAD} 等于 25Ω 。假设 I_{OUTFS} 为 $40mA$ ，则 V_{DIFF} 的摆幅将介于 $1V$ 和 $-1V$ 之间。

规定的输出跟从电压范围为 $\pm 1V$ 。高于 $1V$ 时，差分电流导引开关将开始接近从饱和至线性的转换区，并使 DAC 线性劣化。低于 $-1V$ 时，保护二极管将限制 DAC 的摆幅。小的电压摆幅和低的共模电压通常将实现最佳的失真性能。

DAC 采样时钟 (CKP/N)

DAC 采样时钟 (CKP/N) 用于以高达 $2.5Gsp/s$ 的速率对 LTC2000 输出实施更新。在 CKP 引脚上提供一个高达 $2.5GHz$ 的乾淨、低抖动差分时钟 (见“产生 DAC 采样时钟”部分)。CKP/N 的 DC 偏置点通过一个 $5k\Omega$ 阻抗在内部设定。采用一个 $0dBm$ DAC 采样时钟应足以获得“典型性能特征”部分中示出的性能。为了获得最佳的抖动和相位噪声性能，可采用平衡的占空比和尽可能高的幅度及摆率对一个差分时钟进行 AC 耦合。

采用 SPI 寄存器 0x02 以控制 DAC 采样时钟接收器 (表 3)。LTC2000 包含一个时钟检测器，如果 DAC 采样时钟接入且 $f_{DAC} > 50MHz$ ，则该时钟检测器设定 $CK_OK = 1$ 。当 DAC 采样时钟未接入时 ($CK_OK = 0$)，则 DAC 输出被强制为中间标度值，而且内部数据通路被保持在复位状态。设定 $CK_PD = 1$ 以切断时钟接收器的供电，并在未使用 DAC 的

情况下实现省电。需要注意的是，在上电复位时 DAC 采样时钟接收器的默认状态为导通。

分频时钟输出 (DCKOP/N)

LTC2000 包含一个可编程时钟分频器和 LVDS 发送器，它们提供了一个 DAC 采样时钟的分频版本 ($f_{DAC}/4$ 或 $f_{DAC}/2$) 以供主 FPGA 或 ASIC 之用。采用 SPI 寄存器 0x02 以控制 DCKOP/N (表 3)。在上电复位时，LVDS 发送器将提供一个频率为 $f_{DAC}/4$ 的时钟信号和一个 $3.5mA$ 的差分输出电流。

假如需要的话，设定 $DCKO_DIV = 1$ 可把分频时钟输出频率变更为 $f_{DAC}/2$ 。可通过设定 $DCKO_ISEL = 1$ 把输出电流增加至 $7mA$ ，并可通过设定 $DCKO_TRM = 1$ 来使能一个内部 100Ω 差分终端。设定 $DCKO_DIS = 0$ 可停用 LVDS 发送器并在不用时达到省电之目的。

LVDS 数据时钟输入 (DCKIP/N)

写至 LTC2000 的 DAC 代码数据在 DCKIP/N 的上升沿和下降沿上捕获。对于单端口操作，提供一个具有 $1/2$ DAC 采样时钟频率 ($f_{DCKI} = f_{DAC}/2$) 的 DDR 时钟。如需在单端口模式中使用一个 $1.25GHz$ 采样时钟，则在 DCKIP/N 上提供一个 $625MHz$ 时钟。对于双端口操作，提供一个具有 $1/4$ DAC 采样时钟频率 ($f_{DCKI} = f_{DAC}/4$) 的 DDR 时钟。倘若要在双端口模式中使用一个 $2.5GHz$ 采样时钟，那么在 DCKIP/N 上提供一个 $625MHz$ 时钟。

表 3：DAC 采样时钟，以及分频时钟输出 SPI 寄存器

地址	位	名称	描述
0x02	0	CK_PD	当 $CK_PD = 1$ 时，CKP/N 时钟接收器断电。
	1	CK_OK	CKP/N 时钟接入指示器。当 $CK_OK = 1$ 时，时钟接入在 CKP/N 引脚，而且 $f_{DAC} > 50MHz$ 。当 $CK_OK = 0$ 时，DAC 输出被强制为中间标度值。 CK_OK 为只读型。
	4	DCKO_DIS	DCKOP/N 输出停用。设定 $DCKO_DIS = 1$ 以切断 DCKO LVDS 发送器的供电。对于 $DCKO_DIS = 1$ ，DCKOP/N 为高阻抗。
	5	DCKO_DIV	DCKOP/N 分频选择。当 $DCKO_DIV = 0$ 时， $f_{DCKOP/N} = f_{DAC}/4$ 。当 $DCKO_DIV = 1$ 时， $f_{DCKOP/N} = f_{DAC}/2$ 。
	6	DCKO_ISEL	DCKOP/N 输出电流选择。当 $DCKO_ISEL = 0$ 时，输出电流为 $3.5mA$ 。当 $DCKO_ISEL = 1$ 时，输出电流为 $7mA$ 。
	7	DCKO_TRM	DCKOP/N 内部终端导通。当 $DCKO_TRM = 0$ 时，DCKOP/N 上没有内部终端。当 $DCKO_TRM = 1$ 时，在 DCKOP 和 DCKON 之间有 100Ω 终端。

注：寄存器 0x02 复位至 0x00 (默认)。

工作原理

表 4：LVDS 时钟 SPI 寄存器

地址	位	名称	描述
0x03	0	DCKI_EN	DCKIP/N 时钟接收器使能。DCKI_EN = 1 使能 LVDS 时钟接收器。
	1	DCKI_OK	CKP/N 时钟接入指示器。当 DCKI_OK = 1 时，时钟接入在 DCKIP/N 引脚，而且 $f_{DCKIP/N} > 25\text{MHz}$ 。当 DCKI_OK = 0 时，DAC 输出被强制为中间标度值，除非模式发生器被使能 (PGEN_EN = 1)。DCKI_OK 为只读型。
	2	DCKI_Q	DCKIP/N 正交相位选择。对于 DCKI_Q = 0，DCKIP/N 应与 DAP/N 和 DBP/N 同相。设定 DCKI_Q = 1 以使用与 DAP/N 和 DBP/N 正交的 DCKI。
	[6:4]	DCKI_TADJ	DCKIP/N 延迟调节。与 DCKI_Q = 0 配合使用可调节 DCKIP/N 相对于 DAP/N 和 DBP/N 的延迟。对于 DCKI_Q = 1，DCKIP/N 延迟与 DAP/N 和 DBP/N 相匹配，并且不受 DCKI_TADJ 的影响。
			标称 DCKIP/N 延迟
			DCKI_Q = 1DCKI_Q = 0
			DCKI_TADJ
			1100ps230ps
			1110ps315ps
			0000ps400ps (默认)
			0010ps485ps
			0100ps570ps

注：寄存器 0x03 复位至 0x00 (默认)。

采用 SPI 寄存器 0x03 以控制 LVDS 数据时钟输入 (见表 4)。设定 DCKI_EN = 1 将使能 DCKIP/N 上的 LVDS 接收器。LTC2000 包含一个时钟检测器，其将在数据输入时钟接入并具有一个大于 25MHz 频率 ($f_{DCKI} > 25\text{MHz}$) 的情况下设定 DCKI_OK = 1。当数据时钟未接入时 (DCKI_OK = 0)，DAC 输出被强制为中间标度，而且内部数据通路被保持在复位状态。

如欲获得最大的建立 / 保持裕量，应设定 DCKI_Q = 1 并提供与 DAP/N 和 DBP/N 上的数据正交 (异相 90°) 的 DCKIP/N (“时序图”部分中的图 3)。对于 DCKI_Q = 1，DCKIP/N、DAP/N 和 DBP/N 上的内部延迟标称值是匹配的。

或者，也可以置 DCKI_Q = 0 并在 DCKIP/N 上提供与 DAP/N 和 DBP/N 上的数据同相的时钟 (见“时序图”部分中的图 2)。在该场合中，采用 DCKIP/N 引脚上的一个内部 400ps 延迟以提供建立 / 保持裕量。请注意，对于 DCKI_Q = 0，电源和温度变化有可能使总线上的建立 / 保持裕量最多减少 150ps。如果需要，用户可以采用寄存器 0x03 中的 DCKI_TADJ 位以 80ps 的典型分辨率来调节这个 400ps 的内部 DCKIP/N 延迟。

必须谨慎地使 DCKIP/N、DAP/N 和 DBP/N 上的电路板印制线匹配，以确保相位对准在所有的输入端上均得以保持。

在开发过程中如有需要，用户可以观察 TSTP/N 引脚上邻近 LVDS 输入的相对定时 (参阅“测量 LVDS 输入时序错位”部分)。

LVDS 数据输入端口 (DAP/N、DBP/N)

LTC2000-16 / LTC2000-14 / LTC2000-11 允许通过一个或两个并行 16 / 14 / 11 位 LVDS 端口 (DAP/N、DBP/N) 施加 DAC 代码数据。每个端口能够采用一个频率高达 625MHz 的双倍数据速率 (DDR) LVDS 数据时钟 (DCKIP/N) 以高达 1.25Gbps 速率运行。数据输入格式为二进制补码。

用于给 LTC2000 施加 DAC 代码的操作方式有两种 — 单端口模式和双端口模式。单端口模式仅采用 LVDS 端口 B 并可提供高达 1.25Gsps 的采样速率。双端口操作采用两个 LVDS 端口 (DAP/N 和 DBP/N) 并可提供高达 2.5Gsps 的采样速率。

采用 SPI 寄存器 0x04 以控制 LVDS 数据输入端口 (见表 5)。在时钟实现了稳定且同步器完成了其自身的初始化之后，设定 DATA_EN = 1 以允许采用来自 A 端口和 B 端口的数据来更新 DAC 代码。清除 DATA_EN = 0 以实施 DAC 静噪并按照需要强制 DAC 代码至中间标度。

工作原理

表 5：LVDS 数据输入 SPI 寄存器

地址	位	名称	描述
0x04	0	DA_EN	DAC 数据端口 A LVDS 接收器使能。DA_EN = 1 将使能 A 端口接收器。对于 DA_EN = 0，接收器断电且 A 端口数据为 0x0000。
	1	DB_EN	DAC 数据端口 B LVDS 接收器使能。DB_EN = 1 将使能 B 端口接收器。对于 DB_EN = 0，接收器断电且 B 端口数据为 0x0000。
	2	DATA_SP	DAC 数据单端口模式选择。DATA_SP = 1 设定单端口模式，而且仅采用 B 端口来更新 DAC 代码。DATA_SP = 0 则设定双端口模式，来自 A 端口和 B 端口的数据均被使用。
	3	DATA_EN	DAC 数据使能。DATA_EN = 0 通过强制 DAC 代码至中间标度以对 DAC 输出进行静噪。DATA_EN = 1 则允许使用来自 A 和 B 数据端口的数据以更新 DAC 代码。

注：寄存器 0x04 复位至 0x00 (默认)。

对于单端口操作，设定 DATA_SP = 1、DA_EN = 0、DB_EN = 1 并且仅向 LVDS 端口 B (DBP/N) 提供数据。对于双端口操作，则置 DATA_SP = 0，设定 DA_EN = 1 和 DB_EN = 1，并向 LVDS 端口 A 和 B (DAP/N、DBP/N) 提供交错处理的数据。在 DAC 输出端上，A 端口数据位于 B 端口数据之前。

时钟同步器

图 7 示出了内部时钟同步器的简化方框图。该同步器负责采用一对内部相位比较器来监视 DCKIP/N 的输入相位。因此，同步器能根据需要自动调节多路复用器控制信号的相位，以跟踪由于电源和温度变化而在 DCKIP/N 和 CKP/N

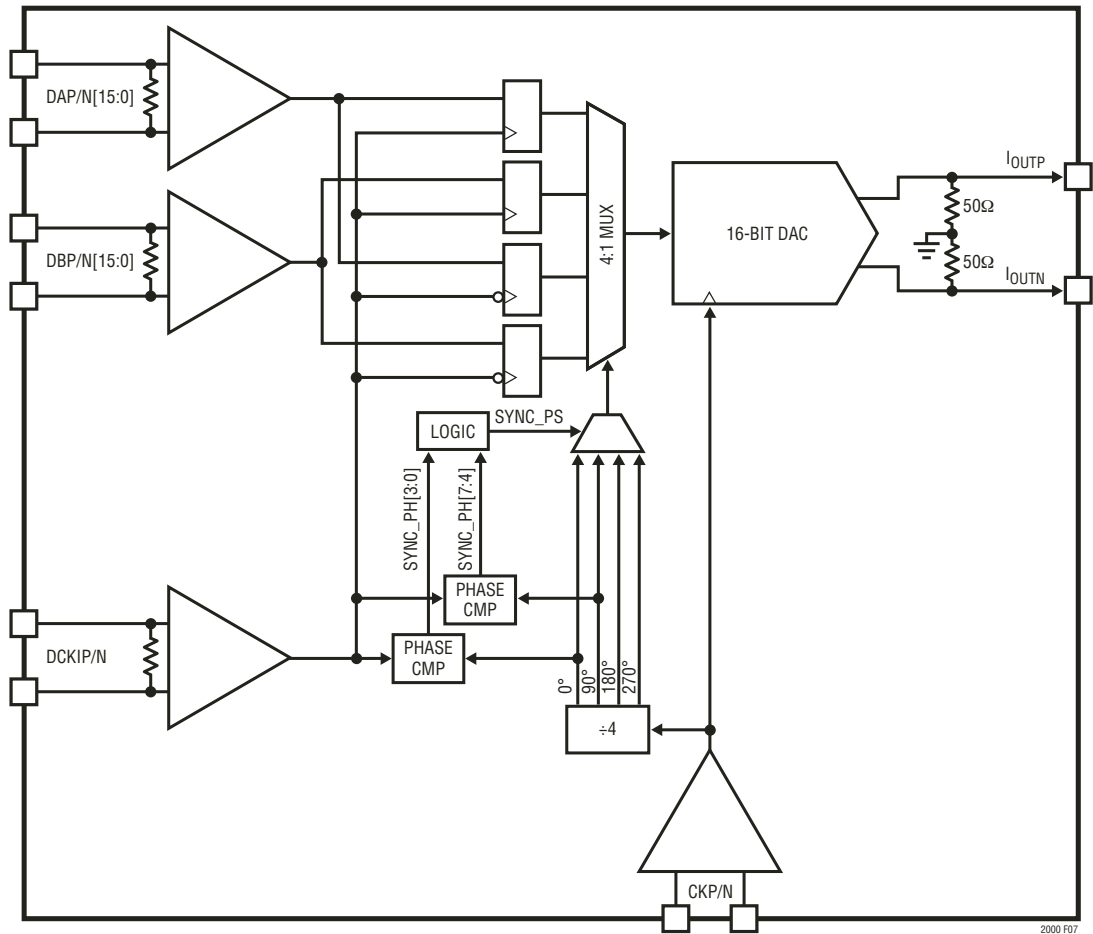


图 7：简化方框图 — 双端口模式中的时钟同步器

工作原理

之间引起的任何缓慢相位漂移。这可确保由 CKP/N 对数据进行正确的采样。

采用 SPI 寄存器 0x05 和 0x06 (表 6) 以观察和控制同步的操作。上电时, 把时钟施加至 CKP/N 和 DCKIP/N 并设定 DCKI_EN = 1 (寄存器 0x03) 以使能 LVDS 数据时钟接收器。在时钟实现稳定之后应至少提供 1ms 的时间供同步器完成初始化, 在此之后 LTC2000 即准备好接受 LVDS 输入数据。

同步器采用相位比较器来监视数据输入时钟相对于负责控制多路复用器之采样时钟分频器的相位。这些相位比较器的输出

(SYNC_PH) 可在寄存器 0x06 中进行观察。

SYNC_PS 位负责控制数据多路复用器的相位。对于 SYNC = 0, SYNC_PS 位为只读型, 并且由同步器根据需要进行自动调节 (基于 SYNC_PH 所指示的 DCKIP/N 之相位)。

通过设定 SYNC_MSYN = 1 并采用手动方式将数值写入 SYNC_PS 以设定内部多路复用器之相位, 用户可以选择取消自动同步器的作用。当采用 SYNC_MSYN = 1 时, 用户必须监视 SYNC_PH 并根据表 6 按需调节 SYNC_PS。欲知更多详情请参见“实现多个 LTC2000 的同步”部分。

表 6：时钟同步器 SPI 寄存器

地址	位	名称	描述		
0x05	[1:0]	SYNC_PS	同步器相位选择。负责选择内部数据多路复用器的相位。当 SYNC_MSYN = 0 时，SYNC_PS 为只读。		
	2	SYNC_MSYN	同步器手动模式选择。当 SYNC_MSYN = 0 时，SYNC_PS 由时钟同步器根据 SYNC_PH 自动设定。当 SYNC_MSYN = 1 时，SYNC_PS 必须由用户设定。		
0x06	[7:0]	SYNC_PH	同步器相位比较器输出。SYNC_PH 指示 LVDS 数据时钟 (DCKIP/N) 相对于用于控制数据多路复用器的 DAC 采样时钟 (CKP/N) 分频器的相位。SYNC_PH 为只读型。		
			最优的 SYNC_PS 设置		
			SYNC_PH	双端口模式	单端口模式
			0x03	10	00
			0x04	10	00
			0x05	10	00
			0x15	10	00
			0x25	10	00
			0x35	00	10
			0x45	00	10
			0x55	00	10
			0x54	00	10
			0x53	00	10
			0x52	01	10
			0x51	01	10
			0x50	01	10
			0x40	01	10
			0x30	01	10
			0x20	11	00
			0x10	11	00
			0x00	11	00
			0x01	11	00
			0x02	11	00

注：寄存器 0x05 和 0x06 复位至 0x00 (默认)。

工作原理

最大限度地降低谐波失真

LTC2000 包含了专有的动态线性化电路，此类电路可极大地降低 DAC 输出中的三次谐波失真。SPI 寄存器 0x07 和 0x08 用于控制这些电路 (见表 7)。通过设定 LIN_VMX 和 LIN_VMN (寄存器 0x08) 以对应 $I_{OUTP/N}$ 上预期的最大和最小电压，通常可实现最佳的性能。在上电复位时的默认值为 0b1000 和 0b0000，其适合介于 500mV 和 GND 之间的 $I_{OUTP/N}$ 摆幅。如果某种应用需要一个不同的电压摆幅，则可通过对寄存器 0x08 进行写操作来设置 LIN_VMX 和 LIN_VMN (见表 7)。对于那些 $I_{OUTP/N}$ 低于 GND 的应用，采用 $LIN_VMN = 0b0000$ 。

在某些应用中双音互调失真 (IMD) 是一项关键性的指标，因而也许需要改变三次谐波校正量。对于高采样频率 ($f_{DAC} > 2\text{Gsps}$)，调节寄存器 0x07 中的 LIN_GN (见表 7) 可改善双音互调失真，代价是三次谐波失真有所增加。如欲在高采样频率下实现最佳的 IMD 性能，用户也可以通过设定 $LIN_DIS = 1$ 来选择停用动态线性化功能电路。有关该影响的更多详情可参见“典型性能特征”部分中的 SFDR 和 IMD 曲线。请注意，对于 $f_{DAC} < 2\text{Gsps}$ ，建议把动态线性化功能电路置于启用状态。

测量 LVDS 输入时序错位

应确保 LVDS 输入 (DCKIP/N、DAP/N、DBP/N) 精确对准，这一点很重要。时钟和数据线之间的偏移 (比如：由于电路板走线长度失配抑或是主 FPGA 或 ASIC 内部的输出定时失配所致) 将减少输入数据的建立和保持裕量。LTC2000 包括一个内部测试多路复用器，其可在开发过程中用于通过比较 LVDS 输入的定时 (利用 TSTP/N 引脚一次比较一对 LVDS 输入) 来验证时序调校。

采用 SPI 寄存器 0x18 以控制该测试用多路复用器 (见表 8)。确定寄存器 0x19 中的 $TDIO_EN = 0$ ，然后设定 $LMX_EN = 1$ 以使能测试多路复用器输出。将利用一个 NMOS 差分对把来自 LVDS 数据输入的信号驱动至 TSTP/N 上，从而引导 6.6mA 的吸收电流到一个外部负载

上。在 TSTP/N 和 3.3V 之间连接一对 50Ω 电阻器，并在一个高速示波器上观察 TSTP/N。

把时钟施加至 CKP/N 和 DCKIP/N 并将示于图 8 中的模式施加至 B 端口 (对于单端口模式) 或 A 和 B 端口 (对于双端口模式)。该模式专为简化每对输入的“上升沿至上升沿”和“下降沿至下降沿”定时而设计。设定 LMX_ADR 以选择一对用于定时比较的 LVDS 输入。设定 $LMX_MSEL = 0$ 以观察 TSTP/N 上的首个信号。设定 $LMX_MSEL = 1$ 以观察具有反转输出极性的第二个信号。

例如，若需比较 DB15P/N 和 DCKIP/N，则首先将 0x60 写入寄存器 0x18 以设定 $LMX_SEL = 0$ 、 $LMX_ADR = 10000$ 和 $LMX_SEL = 0$ 。来自 DB15P/N 的信号将被驱动至 TSTP/N 上。把 0x61 写至寄存器 0x18 以设定 $LMX_SEL = 1$ 并使 DCKIP/N 以反转极性出现在 TSTP/N 上。

记录两个信号之间的偏移并针对每对输入重复该测量。在完成了所有输入对的测量之后，增加偏移以计算从 DCKIP/N 至每个数据输入 (DAP/N、DBP/N) 的总偏移。这样就能在 100ps 之内准确地测量所有 LVDS 数据输入 (DAP/N、DBP/N) 相对于 DCKIP/N 的偏移。

请注意，由于测试多路复用器内部延迟的原因，只有采用相同的 LMX_ADR 设置来比较相邻 LVDS 对的定时才是有效的。同样，多路复用器自身在上升沿和下降沿之间也包含高达 400ps 的偏移，因此只有把 TSTP/N 上一个上升沿与另一个上升沿、以及一个下降沿与另一个下降沿的定时进行比较才是有效的。

请注意，图 8 示出了针对 LTC2000-16 的建议输入模式。LTC2000-14 的用户应当使用 0x1555 和 0x2AAA 代码，而 LTC2000-11 的用户则应该使用 0x555 和 0x2AA 代码。另外还需注意，对于双端口模式中的 LTC2000-14 和 LTC2000-11，LVDS 端口 A (DAP/N) 的时序错位不能与 LVDS 时钟 (DCKIP/N) 和 LVDS 端口 B (DBP/N) 的时序错位进行比较，因为没有用于使能 DA0N/P 和 DCKIP/N 信号之间定时比较的单一测试多路复用器地址 (LMX_ADR) (见表 8)。建议在正常操作期间保持 $LMX_EN = 0$ 。

工作原理

表 7：动态线性化 SPI 寄存器

地址	位	名称	描述	
0x07	0	LIN_DIS	动态线性化停用。当 LIN_DIS = 1 时被停用。	
	[3:1]	LIN_GN	动态线性化增益选择。变更 LIN_GN 将改变施加至 DAC 输出的三次谐波校正量。LIN_GN = 000 通常是最优的。	
			LIN_GN	线性化百分数
			110	50%
			111	63%
			000	75% (默认)
			001	88%
			010	100%
			011	113%
			110	125%
			101	138%
0x08	[3:0]	LIN_VMX	动态线性化最大 I _{OUTP/N} 电压选择。为了获得最佳的三次谐波性能，设定 LIN_VMX 以对应 I _{OUTP/N} 上预期的最大电压。复位状态为 LIN_VMX = 1000，其对应于 0.51V。LIN_VMX 必须大于 LN_VMN。	
	[7:4]	LIN_VMN	动态线性化最小 I _{OUTP/N} 电压选择。为了获得最佳的三次谐波性能，设定 LIN_VMN 以对应 I _{OUTP/N} 上预期的最小电压。复位状态为 LIN_VMN = 0000，其对应于 0.0V。LIN_VMN 必须小于 LN_VMX。	
			LIN_VMX/N	I _{OUTP/N} 上预期的最大 / 最小电压
			0000	0.00V (针对 LIN_VMN 的默认值)
			0001	0.16V
			0010	0.19V
			0011	0.22V
			0100	0.25V
			0101	0.31V
			0110	0.38V
			0111	0.44V
			1000	0.51V (针对 LIN_VMX 的默认值)
			1001	0.63V
			1010	0.75V
			1011	0.87V
			1100	1.00V

注：寄存器 0x07 复位至 0x00 (默认)。寄存器 0x08 复位至 0x08 (默认)。

工作原理

表 8：用于测量 LVDS 输入时序错位的 SPI 寄存器

地址	位	名称	描述
0x18	0	LMX_MSEL	LVDS 测试多路复用器选择。把 LMX_MSEL 设定为高电平或低电平以在一对相邻的 LVDS 信号之间做出选择 (用于在 TSTP/N 上进行比较)。
	[5:1]	LMX_ADR	LVDS 测试多路复用器地址。采用 LMX_ADR 以选择将在 TSTP/N 上比较哪一对 LVDS 信号 (见下文)。
	6	LMX_EN	LVDS 测试多路复用器使能。设定 LMX_EN = 1 以比较 TSTP/N 上相邻信号的定时。确保当 LMX_EN = 1 时 TDIO_EN = 0。

LMX_ADR	LTC2000-16		LTC2000-14		LTC2000-11	
	LMX_MSEL = 0	LMX_MSEL = 1 (反转)	LMX_MSEL = 0	LMX_MSEL = 1 (反转)	LMX_MSEL = 0	LMX_MSEL = 1 (反转)
00000	DA14P/N	DA15N/P	DA12P/N	DA13N/P	DA9P/N	DA10N/P
00001...01001	DA[13:5]P/N	DA[14:6]N/P	DA[11:3]P/N	DA[12:4]N/P	DA[8:0]P/N	DA[9:1]N/P
01010	DA4P/N	DA5N/P	DA2P/N	DA3N/P	—	DA0N/P
01011	DA3P/N	DA4N/P	DA1P/N	DA2N/P	—	—
01100	DA2P/N	DA3N/P	DA0P/N	DA1N/P	—	—
01101	DA1P/N	DA2N/P	—	DA0N/P	—	—
01110	DA0P/N	DA1N/P	—	—	—	—
01111	DCKIP/N	DA0N/P	DCKIP/N	—	DCKIP/N	—
10000	DB15P/N	DCKIN/P	DB13P/N	DCKIN/P	DB10P/N	DCKIN/P
10001	DB14P/N	DB15N/P	DB12P/N	DB13N/P	DB9P/N	DB10N/P
10010...11010	DB[13:5]P/N	DB[14:6]N/P	DB[11:3]P/N	DB[12:4]N/P	DB[8:0]P/N	DB[9:1]N/P
11011	DB4P/N	DB5N/P	DB2P/N	DB3N/P	—	DB0N/P
11100	DB3P/N	DB4N/P	DB1P/N	DB2N/P	—	—
11101	DB2P/N	DB3N/P	DB0P/N	DB1N/P	—	—
11110	DB1P/N	DB2N/P	—	DB0N/P	—	—
11111	DB0P/N	DB1N/P	—	—	—	—

注：寄存器 0x18 复位至 0x00 (默认)。

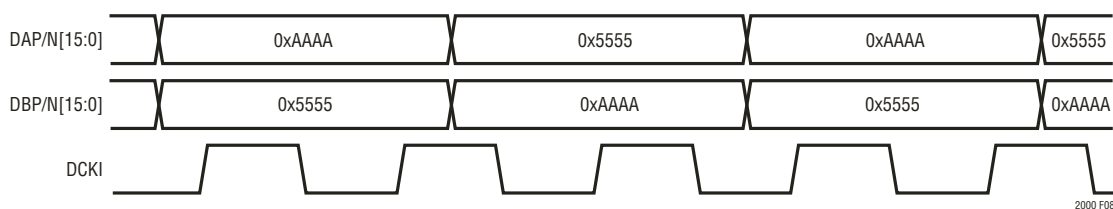


图 8：用于测量 LVDS 输入时序错位的模式示例 (LTC2000-16)

工作原理

测量内部结温 (T_J)

LTC2000 测试多路复用器也可用于把内部结温测量二极管连接至 TSTP/N 引脚。确保 LMX_EN = 0 (寄存器地址 0x18) 并使用 SPI 寄存器 0x19 设定 TDIO_EN = 1 以启用该功能 (表 9)。有两种方法可供用户选择用以测量内部结温 (T_J)。对于 TDIO_SEL = 0，通过二极管将一个未加偏置的晶体管连接在 TSTP/N 引脚之间。该二极管适合与 LTC2991 和 LTC2997 等外部温度传感器配合使用。

如果不能使用这样一个温度传感器，则设定 TDIO_SEL = 1 以直接观察 TSTP 和 TSTN 之间的一个与温度相关的电压。TSTP 上的典型预期电压为 $V_{TSTP} = 2.02V - 5.5mV/^{\circ}C \cdot (T_J - 25^{\circ}C)$ 。结温可按 $T_J = 25^{\circ}C + (2.02V - V_{TSTP}) / (5.5mV/^{\circ}C)$ 进行计算。为了在 TDIO_SEL = 1 的情况下实现最佳的准确度，则应采用 TSTN 以检测位于在二极管底端的 GND，并校准某个已知温度下的电压。典型的未校准准确度为 $\pm 5^{\circ}C$ 。

模式发生器

LTC2000 内置了一个 64 采样深度模式发生器，旨在简化系统开发和调试。该模式发生器允许用户向 DAC 发送一个重复的 64 采样模式，这与 DCKIP/N、DAP/N 和 DBP/N 上是否存在有效信号完全无关。

如欲使用该功能，则执行下列操作：

1. 在寄存器 0x02 中设定 DCKO_DIV = 0，在寄存器 0x04 中设定 DATA_SP = 0 和 DATA_EN = 0，并在寄存器 0x1E 中设定 PGEN_EN = 0。
2. 把 128 个字节的模式数据写至地址 0x1F (PGEN_D) 以填充具有 64 个样本的模式发生器。数据写入时为 MSB 在前，并将按照写入的次序施加至 DAC。数据可采取一次一个字节的模式写入，或者以较大的多字节字写入。对于 LTC2000-14 和 LTC2000-11，应使数据左对齐，并用“0”来填充剩余的两个 (LTC2000-14) 或五个 (LTC2000-11) 位。
3. 设定 PGEN_EN = 1 以起动模式发生器。
4. 等待至少 1ms 以确保同步器已经初始化。
5. 在寄存器 0x04 中设定 DATA_EN = 1。DAC 随后将开始输出 64 采样模式。

模式发生器将向 DAC 发送重复的 64 采样模式，直到用户写入 PGEN_EN = 0 或 DATA_EN = 0 为止。

如需读回模式，则设定 DATA_EN = 0 和 PGEN_EN = 0，然后从地址 0x1F 读取 128 个字节。请注意，模式的起点有可能在模式运行的过程中已经发生了变化。如欲修改模式，则设定 DATA_EN = 0 和 PGEN_EN = 0，并把一个新的 64 采样模式写至地址 0x1F。确保在对地址 0x1F 进行读或写操作时 PGEN_EN = 0，而且在设定 PGEN_EN = 1 之前始终进行一个完整 64 采样模式的读或写操作。见表 10。

表 9：内部结温 SPI 寄存器

地址	位	名称	描述
0x19	0	TDIO_EN	TSTP/N 结温二极管使能。设定 TDIO_EN = 1 以在 TSTP/N 上测量内部结温 (T _J)。确保当 TDIO_EN = 1 时 LMX_EN = 0。
	1	TDIO_SEL	选择哪一个内部温度二极管可在 TSTP/N 上进行观察。 对于 TDIO_SEL = 1，TSTP 上的典型电压 (相对于 TSTN) $V_{TSTP} = 2.02V - 5.5mV/^{\circ}C \cdot (T_J - 25^{\circ}C)$ 。结温可按 $T_J = 25^{\circ}C + (2.02V - V_{TSTP}) / (5.5mV/^{\circ}C)$ 进行计算。典型准确度为 $\pm 5^{\circ}C$ 。 对于 TDIO_SEL = 0，在 TSTP/N 之间连接了一个未加偏置的二极管，其可与外部温度传感器一起使用。

注：寄存器 0x19 复位至 0x00 (默认)。

表 10 — 模式发生器 SPI 寄存器

地址	位	名称	描述
0x1E	0	PGEN_EN	模式发生器使能。设定 PGEN_EN = 1 以采用内部 64 采样模式发生器向 DAC 提供数据。当 PGEN_EN = 1 时设定 DATA_SP = 0、DCKO_DIV = 0 和 DATA_EN = 1。
0x1F	[7:0]	PGEN_D	模式发生器数据。把 128 个数据字节写至该地址以填充具有 64 个样本的模式发生器。数据写入时为 MSB 在前。读取该单元将导致模式发生器数据通过 SDO 而被移出。确保在对地址 0x1F 进行读或写操作时 PGEN_EN = 0。在设定 PGEN_EN = 1 之前读取或写入一个偶数字字节至地址 0x1F 以避免损坏模式发生器内部的数据。

注：寄存器 0x1E 和 0x1F 复位至 0x00 (默认)。

SPI 寄存器概要

表 11 : SPI 寄存器列表

地址	位	名称	描述	复位值	R/W
0x00	[7:0]	保留	保留		
0x01	0	SW_RST	软件复位。SW_RST = 1 使所有寄存器复位。	0	R/W
	1	DAC_PD	DAC 断电。DAC_PD = 1 以切断 DAC 内核的供电。	0	R/W
	2	FULL_PD	完全断电。FULL_PD = 1 以切断 LTC2000 的供电。	0	R/W
	3	保留	保留		
	[5:4]	DAC_RES	DAC 分辨率指示器。DAC_RES = 00 (对于 LTC2000-16)。DAC_RES = 01 (对于 LTC2000-14)。DAC_RES = 11 (对于 LTC2000-11)。请注意, 对于 $\overline{PD} = \text{GND}$ 或 FULL_PD = 1, DAC_RES = 00。DAC_RES 为只读。	00-16b 01-14b 11-11b	R
	[7:6]	保留	保留		
0x02	0	CK_PD	CKP/N 时钟接收器断电。CK_PD = 1 停用。	0	R/W
	1	CK_OK	CKP/N 时钟接入指示器。CK_OK = 1 时钟接入。	0	R
	[3:2]	保留	保留		
	4	DCKO_DIS	DCKOP/N 输出停用。DCKO_DIS = 1 停用	0	R/W
	5	DCKO_DIV	DCKOP/N 分频选择。(0 = $f_{\text{DAC}}/4$, 1 = $f_{\text{DAC}}/2$)。	0	R/W
	6	DCKO_ISEL	DCKOP/N 输出电流选择。(0 = 3.5mA, 1 = 7mA)	0	R/W
	7	DCKO_TRM	DCKOP/N 内部终端导通。DCKO_TRM = 1 使能内部 100Ω 终端	0	R/W
0x03	0	DCKI_EN	DCKIP/N 时钟接收器使能。DCKI_EN = 1 使能。	0	R/W
	1	DCKI_OK	DCKIP/N 时钟接入指示器。DCKI_OK = 1 指示时钟接入。	0	R
	2	DCKI_Q	DCKIP/N 正交相位选择。(0 = 同相, 1 = 正交)	0	R/W
	3	保留	保留		
	[6:4]	DCKI_TADJ	DCKIP/N 延迟调节。(见表 4)	000	R/W
	7	保留	保留		
0x04	0	DA_EN	A 端口 LVDS 接收器使能。DA_EN = 1 以使能。	0	R/W
	1	DB_EN	B 端口 LVDS 接收器使能。DB_EN = 1 以使能	0	R/W
	2	DATA_SP	端口模式选择。(0 = 双端口, 1 = 单端口)	0	R/W
	3	DATA_EN	DAC 数据使能。DATA_EN = 0 强制 DAC 输出至中间标度。	0	R/W
	[7:4]	保留	保留		
0x05	[1:0]	SYNC_PS	时钟同步器相位选择。	00	R/W
	2	SYNC_MSYN	时钟同步器手动模式选择。 SYNC_MSYN = 0 : SYNC_PS 自动设定。 SYNC_MSYN = 1 : SYNC_PS 由用户设定。	0	R/W
	[7:3]	保留	保留		
0x06	[7:0]	SYNC_PH	时钟相位比较器输出。(见表 6)	0x00	R
0x07	0	LIN_DIS	动态线性化停用。LIN_DIS = 1 停用。	0	R/W
	[3:1]	LIN_GN	动态线性化增益选择。(见表 7)	000	R/W
	[7:4]	保留	保留		
0x08	[3:0]	LIN_VMX	动态线性化最大 $I_{\text{OUTP/N}}$ 电压选择。(见表 7)	1000	R/W
	[7:4]	LIN_VMIN	动态线性化最小 $I_{\text{OUTP/N}}$ 电压选择。(见表 7)	0000	R/W

SPI 寄存器概要

表 11 : SPI 寄存器列表 (续)

地址	位	名称	描述	复位值	R/W
0x09	[5:0]	GAIN_ADJ	DAC 增益调节。(见表 2)	0x00	R/W
	[7:6]	保留	保留		
0x0A Thru 0x17	[7:0]	保留	保留		
0x18	0	LMX_MSEL	LVDS 测试多路复用器选择。(见表 8)	0	R/W
	[5:1]	LMX_ADR	LVDS 测试多路复用器地址选择。(见表 8)	0x00	R/W
	6	LMX_EN	LVDS 测试多路复用器使能。LMX_EN = 1 使能 LVDS 测试多路复用器。 当 LMX_EN = 1 时确保 TDIO_EN = 0。		
	7	保留	保留		
0x19	0	TDIO_EN	TSTP/N 结温二极管使能。 TDIO_EN = 1 使能温度 (T _J) 测量。 当 TDIO_EN = 1 确保 LMX_EN = 0。	0	R/W
	1	TDIO_SEL	结温选择。TDIO_SEL = 0 采用一个二极管连接的未加偏置 NPN 晶体管。 TDIO_SEL = 1 输出一个电压，以采用下式来计算内部芯片温度： $T_J = 25^{\circ}\text{C} + (2.02\text{V} - V_{\text{TSTP}})/(5.5\text{mV}/^{\circ}\text{C})$ 。(见表 9)	0	R/W
	[7:2]	保留	保留		
0x1A Thru 0x1D	[7:0]	保留	保留		
0x1E	0	PGEN_EN	模式发生器使能。PGEN_EN = 1 使能。	0	R/W
	[7:1]	保留	保留		
0x1F	[7:0]	PGEN_D	模式发生器数据。	0x00	R/W
0x20 Thru 0x7F	[7:0]	保留	保留		

应用信息

启动序列示例

下面是一个常见启动序列的实例：

1. 给 AV_{DD33}、DV_{DD33}、AV_{DD18}、DV_{DD18} 和 SV_{DD} 施加有效的电源电压。
2. 把 0x01 写至地址 0x01 以完成一个软件复位。
3. 把一个时钟施加至位于期望 f_{DAC} 频率的 CKP/N。LTC2000 将在 DCKOP/N 上产生一个位于 f_{DAC}/4 的时钟。
4. 把一个时钟施加至位于 f_{DAC}/4 (对于双端口模式) 或 f_{DAC}/2 (对于单端口模式) 的 DCKIP/N。
5. 把 “0” 施加至 A 和 B 端口 (对于双端口模式) 或者只施加至 B 端口 (对于单端口模式)。
6. 对地址 0x03 进行写操作以使能 DCKIP/N LVDS 接收器。如果 LVDS 时钟 (DCKI) 和数据 (DA、DB) 彼此同相，则把地址 0x03 设定至 0x01。如果它们正交，则把地址 0x03 设定至 0x05。
7. 把 0x06 写至地址 0x04 (对于双端口模式) 或将 0x04 写至地址 0x04 (对于单端口模式) 以使能 DAP/N 和 DBP/N LVDS 接收器。
8. 等待至少 1ms 以便同步器完成初始化。
9. 把 0x0B 写至地址 0x04 (对于双端口模式) 或将 0x0E 写至地址 0x04 (对于单端口模式) 以设定 DATA_EN = 1。

应用信息

10. 把期望的数据模式施加至 A 和 B 端口 (DAP/N、DBP/N) (对于双端口模式)，或者只施加至 B 端口 (对于单端口模式)。当采用双端口模式时，在 DAC 输出端上，A 端口样本将位于 B 端口样本之前。

输出配置

LTC2000 的互补电流输出 ($I_{OUTP/N}$) 把电流供应至一个参考于 GND 的外部负载。输出负载配置、组件选择和布局对于 LTC2000 的性能至关重要。为了获得最佳的 AC 性能，应针对差分 (或平衡) 操作来配置输出级。

加载了一个差分电阻器的输出是非常简单的输出级。在 GND 和 $I_{OUTP/N}$ 之间连接良好匹配的电阻器，由电阻值来设定输出摆幅和非零输出共模电压 (图 9)。虽然此类输出级很经济划算，但其仅能驱动具有适合 DAC 输出之阻抗水平和幅度的差分负载。

差分变压器耦合输出配置通常拥有最佳的 AC 性能，并可在很宽的频率范围内提供出色的共模失真及噪声抑制。图 10 示出了一种采用一个 Mini-Circuits TC1-1-13M 和一个 JTX-2-10T RF 变压器以实现差分至单端转换的变压器输出配置。

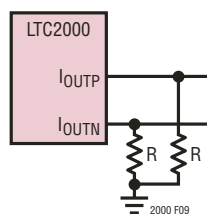


图 9：差分电阻器输出负载

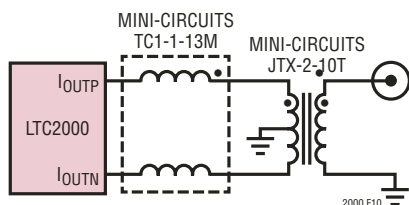


图 10：基于变压器的输出配置用于差分至单端转换

对于任何输出配置而言， I_{OUTP} 与 I_{OUTN} 引脚之间的任何输出阻抗不平衡都将产生不对称的信号摆幅，从而引起失真 (大多为偶次谐波失真)。针对给定的应用，在选择最佳输出配置时必须谨慎考虑。

产生 DAC 采样时钟

为了获得最佳的 AC 性能，重要的是 DAC 采样时钟波形必需乾淨，并具有低相位噪声和良好的抖动性能，因为时钟源的相位噪声和杂散分量将直接出现在 DAC 输出频谱中。

应把一个差分时钟 AC 耦合至 CKP/N 引脚上，因为 CKP/N 的 DC 偏置点通过一个 $5k\Omega$ 阻抗在内部设定。图 11 示出了 DAC 采样时钟接收器输入和共模电压控制。虽然时钟接收器的差分输入电压范围横跨 $\pm 300mV$ 至 $\pm 1.8V$ ，但建议采用一个具有尽可能高之摆率和幅度的信号以及一个平衡的占空比。用于传输差分时钟信号的走线必需具有准确控制的阻抗和尽可能靠近 LTC2000 之 CKP/N 引脚的准确终端。

产生 DAC 采样时钟的方法有好几种。对于实验室评估和测试来说，高质量的 RF 信号发生器能够提供一個乾淨的高频正弦波，此正弦波利用一个 1:1 RF 变压器或平衡-不平衡变压器转换至 DAC 采样时钟 (见图 12)。

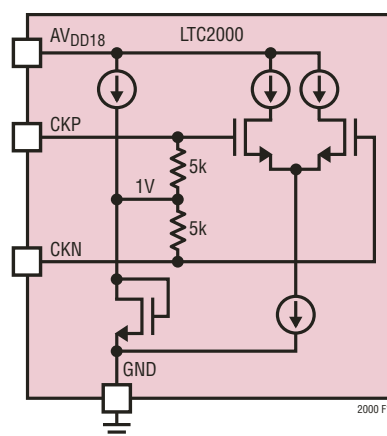


图 11：DAC 采样时钟接收器

应用信息

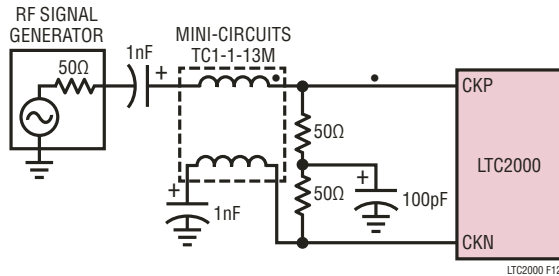


图 12：利用一个 RF 信号发生器和一个 1:1 平衡-不平衡变压器来产生 DAC 采样时钟

集成度更高的一种时钟源基于一个低相位噪声、低抖动 PLL。图 13 示出了怎样采用 LTC6946 (一款具有一个能提供 0.37GHz 至 5.7GHz 输出频率之内部 VCO 的高性能 PLL) 来产生 DAC 采样时钟。详情请见 LTC6946 的数据表。

在双端口模式中实现多个 LTC2000 的同步

在某些应用中，有必要实现多个 LTC2000 的相互同步以使相关的样本同时到达所有的 DAC 输出。图 14 和 15a 示出了此类系统的方框图和波形示例，其中两个 DAC (X 和 Y) 即将在双端口模式中实现同步。

请注意，在该例中 DAC X 和 Y 之 DCKIP/N 引脚上的两个数据信号之间的一个小时序错位导致 DCKIP/N 上升沿到达一个 DAC 采样时钟 (CKP/N) 上升沿的对面，因而位于不同的 CKP/N 时钟周期之内。所以，默认的运行方式是让 DAC

Y 在更新时其样本 N 比 DAC X 的输出早一个周期。可以通过调节时钟同步器设置以从 DAC X 减去一个延迟周期来对此错位进行校正并使 DAC X 和 Y 同步，如图 15a 最下面的调节波形所示。有关时钟同步器工作原理的详情请见“时钟同步器”部分和图 7。

为了实现多个 DAC 的同步 (如图 14 和 15a 所示)，应以匹配的延迟谨慎地分配 DAC 采样时钟，从而使其同时到达所有 DAC 的 CKP/N 引脚。采样时钟之间的任何残余定时失配都将直接表现为 DAC 输出定时之中的失配。确保所有 DAC 之 DCKIP/N 引脚上的 LVDS 数据时钟信号之间的定时失配小于 0.4 个 DAC 采样时钟周期 (减去 DAC 采样时钟之间的任何定时失配)。一定要在用于每个 DAC 的 LVDS 数据输入 (DAP/N、DBP/N) 和 DCKIP/N 的定时之间保持足够的匹配，以满足“定时特性”部分中的建立和保持时间规格 (t_{11} 、 t_{12})。

我们以一个采用了多个 2.5Gsps DAC 的系统为例，其中的采样时钟专为几乎同时 (相互之间的时间差在 30ps 以内) 到达所有 DAC 的 CKP/N 引脚而设计。采样时钟周期为 400ps，于是所有 DAC 之 DCKIP/N 引脚上的数据时钟信号之间的最大可容许定时失配将为 $(0.4 \cdot 400\text{ps}) - 30\text{ps} = 130\text{ps}$ 。对于采用多个 1.25Gsps DAC 的系统，DCKIP/N 引脚之间的可允许失配将为 $(0.4 \cdot 800\text{ps}) - 30\text{ps} = 290\text{ps}$ 。在这两种场合中，一旦 DAC 实现同步，DAC 输出中的失配都将被限制为 30ps。

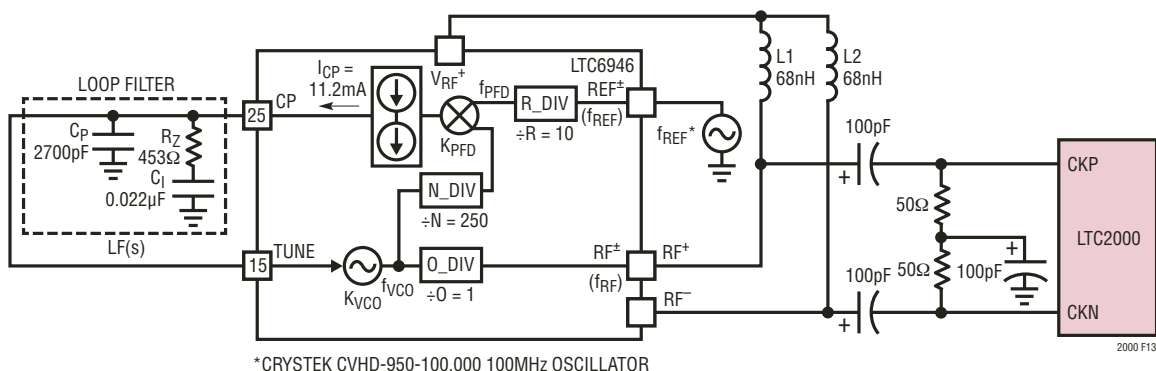


图 13：采用 LTC6946 来产生 DAC 采样时钟

应用信息

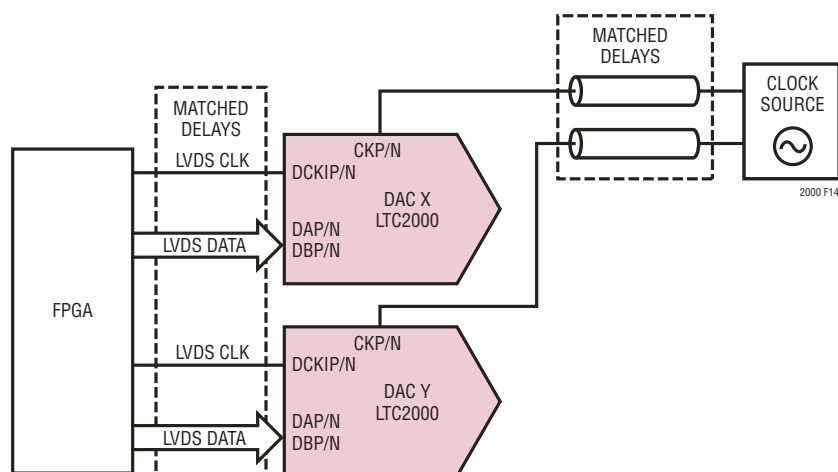


图 14：具有多个同步化 LTC2000 DAC 的系统

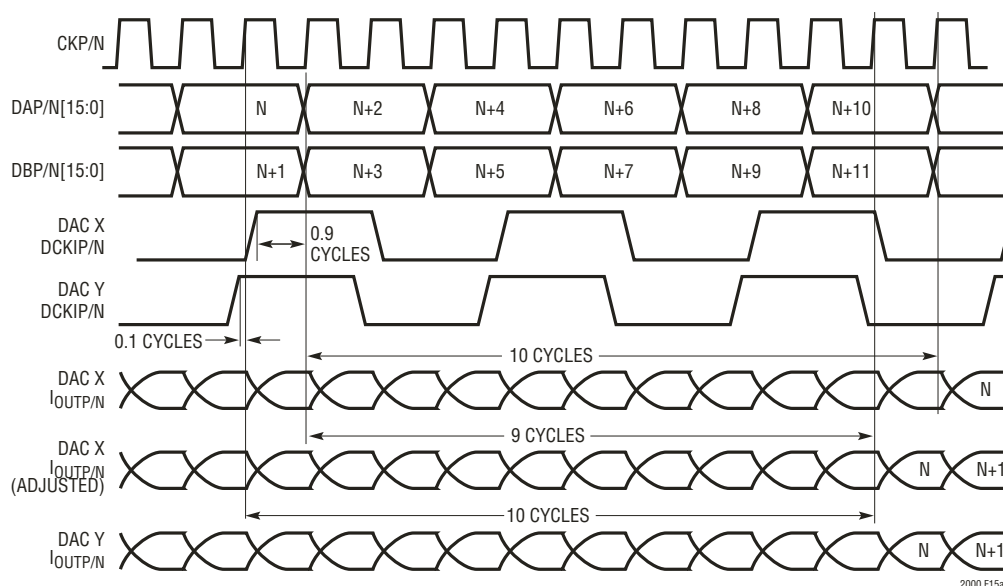


图 15a：波形示例——在双端口模式中实现多个 LTC2000 的同步

当所有的 DAC 采样时钟和 LVDS 数据时钟对准时，通过确定 DCKIP/N 是否在相同的 CKP/N 时钟周期之内到达 DAC 来判定是否有任何 DAC 迟一个周期更新（例如：图 15a 中的 DAC X）。为了在双端口模式中完成此项任务，首先使用相位比较器输出 SYNC_PH 和表 12 以确定从每个 DAC 的 DCKIP/N 上升沿至下一个 CKP/N 上升沿的延迟（以采样时钟周期为单位来衡量）。

回想一下，必须保持 DCKIP/N 定时失配低于 0.4 个采样时

钟周期。假如 DCKIP/N 在相同的采样时钟周期之内到达两个 DAC，则由 SYNC_PH 指示的 DCKIP/N 至 CKP/N 延迟中的差异将等于实际的 DCKIP/N 定时失配，因而将小于 0.4 个周期。如果 DCKIP/N 在不同的周期之内到达 DAC（如图 15a 所示），则由 SYNC_PH 指示的延迟差异将等于一个周期减去实际的 DCKIP/N 定时失配，因而将大于 0.4 个周期。于是，倘若由 SYNC_PH 指示的延迟间差异大于 0.4 个周期，则 DCKIP/N 上升沿将在不同的采样时钟周期中到达。

应用信息

对于图 15a 中的例子，我们可以读取 0x25 (对于 DAC X 上的 SYNC_PH) 和 0x52 (对于 DAC Y 上的 SYNC_PH)。通过表 12 我们知道，DCKIP/N 至CKP/N 的延迟大于 0.8 个周期 (对于 DAC X) 和小于 0.2 个周期 (对于 DAC Y)，因此它们之间的差异至少为 0.6 个周期。我们得出结论：DAC X 的 DCKIP/N 上升沿所处的采样时钟周期必须落后于 DAC Y 的 DCKIP/N 上升沿，于是 DAC X 的更新比 DAC Y 晚一个周期。

如需校正任何此类错位并实现 DAC 的同步，可参阅表 12 并通过把同步器设定至手动模式 (SYNC_MSYN = 1) 及重写 SYNC_PS 值来调节那些落后一个周期进行更新的 DAC (上例中的 DAC X) 之 SYNC_PS 设定值。

在该例中，读取 DAC X 的寄存器 0x06 显示 SYNC_PH = 0x25，而且 SYNC_PS 设置需要从默认值 (10) 改变至期望

的调节值 (00)，并从 DAC X 的延迟减去一个周期 (参阅表 12)。把 0x04 写至 DAC X 的寄存器 0x05 以设定 SYNC_MSYN = 1 和 SYNC_PS = 00。如图 15a 所示，DAC X 的输出现在应与 DAC Y 对准。有关同步器寄存器 0x05 和 0x06 的细节请见表 6。采用表 12 和 13 来实现多个 LTC2000 之同步的 Verilog 代码示例可通过下面的网址获得：

<http://www.linear.com.cn/docs/44845>

在单端口模式中实现多个 LTC2000 的同步

图 15b 给出了用于在单端口模式中实现两个 LTC2000 之同步的波形示例。在单端口模式中实现多个 LTC2000 同步的程序与在双端口模式中运作时是基本相同的——DAC 采样时钟必须全部对准以同时到达所有 DAC 的 CKP/N 引脚，而

表 12：在双端口模式中调节延迟

相位比较器输出 SYNC_PH (REG 0x06)	从 DCKIP/N 上升沿至下一个 CKP/N 上升沿的延迟 (CKP/N 周期)	SYNC_PS 设置	
		(默认)	(通过调节以使延迟 减少一个周期)*
0x03	0 至 0.2	10	N/A
0x04	0.2 至 0.4	10	N/A
0x05	0.4 至 0.6	10	N/A
0x15	0.6 至 0.8	10	00
0x25	0.8 至 1.0	10	00
0x35	0 至 0.2	00	N/A
0x45	0.2 至 0.4	00	N/A
0x55	0.4 至 0.6	00	N/A
0x54	0.6 至 0.8	00	01
0x53	0.8 至 1.0	00	01
0x52	0 至 0.2	01	N/A
0x51	0.2 至 0.4	01	N/A
0x50	0.4 至 0.6	01	N/A
0x40	0.6 至 0.8	01	11
0x30	0.8 至 1.0	01	11
0x20	0 至 0.2	11	N/A
0x10	0.2 至 0.4	11	N/A
0x00	0.4 至 0.6	11	N/A
0x01	0.6 至 0.8	11	10
0x02	0.8 至 1.0	11	10

* N/A 表示在上述定时失配要求得到满足的情况下不应出现的 SYNC_PH 值。假如出现这种情况，则保持 SYNC_PS 为默认值。

应用信息

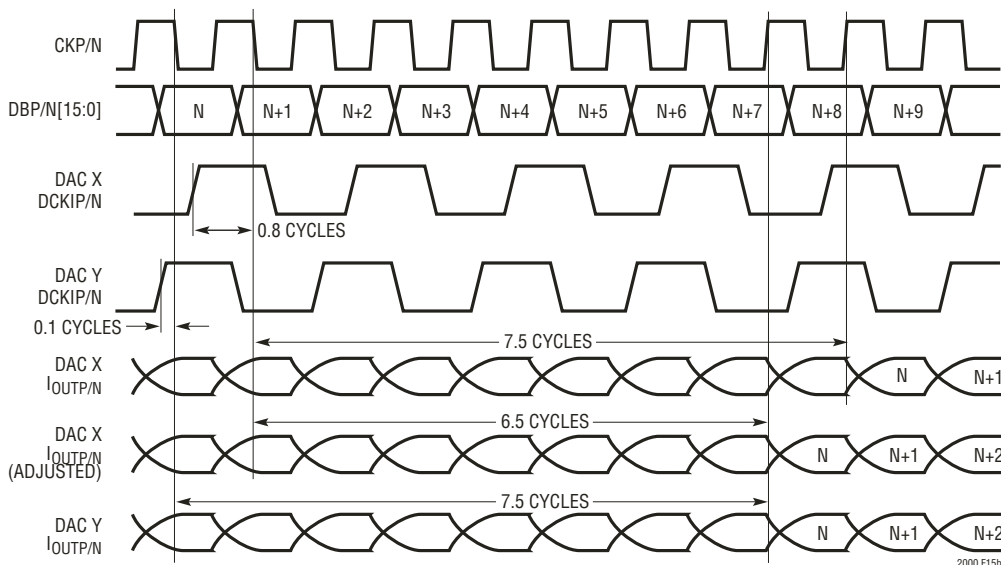


图 15b：波形示例 — 在单端口模式中实现多个 LTC2000 的同步

且所有 DAC 之 DCKIP/N 引脚上的 LVDS 数据时钟信号之间的定时失配必须小于 0.4 个 DAC 采样时钟周期 (减去 DAC 采样时钟之间的任何定时失配)。

如欲在单端口模式中确定是否有任何 DAC 迟一个周期更新，首先使用相位比较器输出 SYNC_PH 和表 13 以确定从每个 DAC 的 DCKIP/N 上升沿至下一个 CKP/N 下降沿 (而不是双端口模式中的上升沿) 的延迟。如果由 SYNC_PH 指示的延迟间差异大于 0.4 个周期，则 DCKIP/N 上升沿将在不同的采样周期中到达。

对于图 15b 中例子而言，我们可以读取 0x15 (对于 DAC X 上的 SYNC_PH) 和 0x20 (对于 DAC Y 上的 SYNC_PH)。如表 13 所示，DCKIP/N 至 CKP/N 的延迟大于 0.8 个周期 (对于 DAC X) 和小于 0.1 个周期 (对于 DAC Y)，因此它们之间的差异至少为 0.7 个周期。这表示 DAC X 的更新比 DAC Y 落后一个周期。参阅表 13 并采用与上述双端口模式场合中相同的程序来校正那些落后一个周期进行更新的 DAC 之 SYNC_PS 设定值。在该单端口实例中，把 0x06

写至 DAC X 的寄存器 0x05 将设定 SYNC_MSYN = 1 和 SYNC_PS = 10，从而将 DAC X 的延迟缩减一个周期并使其输出对准 DAC Y，如图 15b 所示。

请注意，系统温度或电源电压中的变化有可能导致数据时钟 (DCKIP/N) 和采样时钟 (CKP/N) 的相位随时间而改变。当采用 SYNC_MSYN = 1 的 LTC2000 时，建议用户监视 SYNC_PH 并根据需要采用表 12 或 13 来调节 SYNC_PS 以保持正确的对准。

上述的同步程序也适用于具有两个以上 DAC 的系统。简单地通过读取 SYNC_PH 来确定所有 DAC 的最小 DCKIP/N 至 CKP/N 延迟，然后调节 SYNC_PS 设定值以把那些 DCKIP/N 至 CKP/N 延迟至少比最小值大 0.4 个周期之 DAC 的延迟减去一个周期。采用表 12 和 13 来实现多个 LTC2000 之同步的 Verilog 代码示例可通过下面的网址获得：

<http://www.linear.com.cn/docs/44845>

应用信息

表 13：在单端口模式中调节延迟

相位比较器输出 SYNC_PH (REG 0x06)	从 DCKIP/N 上升沿至下一个 CKP/N 下降沿的延迟 (CKP/N 周期)	SYNC_PS 设置	
		(默认)	(通过调节以使延迟 减少一个周期)*
0x03	0.5 至 0.6	00	N/A
0x04	0.6 至 0.7	00	10
0x05	0.7 至 0.8	00	10
0x15	0.8 至 0.9	00	10
0x25	0.9 至 1.0	00	10
0x35	0 至 0.1	10	N/A
0x45	0.1 至 0.2	10	N/A
0x55	0.2 至 0.3	10	N/A
0x54	0.3 至 0.4	10	N/A
0x53	0.4 至 0.5	10	N/A
0x52	0.5 至 0.6	10	N/A
0x51	0.6 至 0.7	10	00
0x50	0.7 至 0.8	10	00
0x40	0.8 至 0.9	10	00
0x30	0.9 至 1.0	10	00
0x20	0 至 0.1	00	N/A
0x10	0.1 至 0.2	00	N/A
0x00	0.2 至 0.3	00	N/A
0x01	0.3 至 0.4	00	N/A
0x02	0.4 至 0.5	00	N/A

* N/A 表示在上述定时失配要求得到满足的情况下不应出现的 SYNC_PH 值。假如出现这种情况，则保持 SYNC_PS 为默认值。

PCB 布局考虑

高频数字数据线的极为靠近和高动态范围的宽带模拟信号使得绝对有必要实现乾净的印刷电路板设计和布局。图 16 和 17 示出 LTC2000 评估电路的原理图和 PCB 电路层。应使用单个可靠的接地平面，并将用于 AV_{DD18}、DV_{DD18}、AV_{DD33} 和 DV_{DD33} 的单独电源平面一路保持到个别的电源或 LDO。必须谨慎地使所有 LVDS 输入 (DCKIP/N、DAP/N、DBP/N) 电路板走线匹配以确保正确的相位对准。应使这些 LVDS 输入远离 I_{OUTP/N} 和 CKP/N 走线，以避免任何与数据相关的耦合进入模拟输出和 DAC 采样时钟。

CKP/N 走线应通过模拟接地平面或其自身在接地平面上的部分进行排布。另外，这些走线还必需具有正确受控的阻抗并应良好地终接在 LTC2000 的附近。还应当谨慎地使 I_{OUTP/N} 走线相互匹配、通过接地平面进行布设、并且远离 LVDS 输入和 CKP/N 信号。

在 AV_{DD18}、DV_{DD18}、AV_{DD33} 和 DV_{DD33} 上需要布设旁路电容器，而且应把这些电容器全部连接至模拟接地平面。建议以最小的走线长度将具有低 ESR 的 2.2μF 陶瓷电容器放在靠近 LTC2000 的地方。PCB 布局示例和原理图可见下文。

应用信息

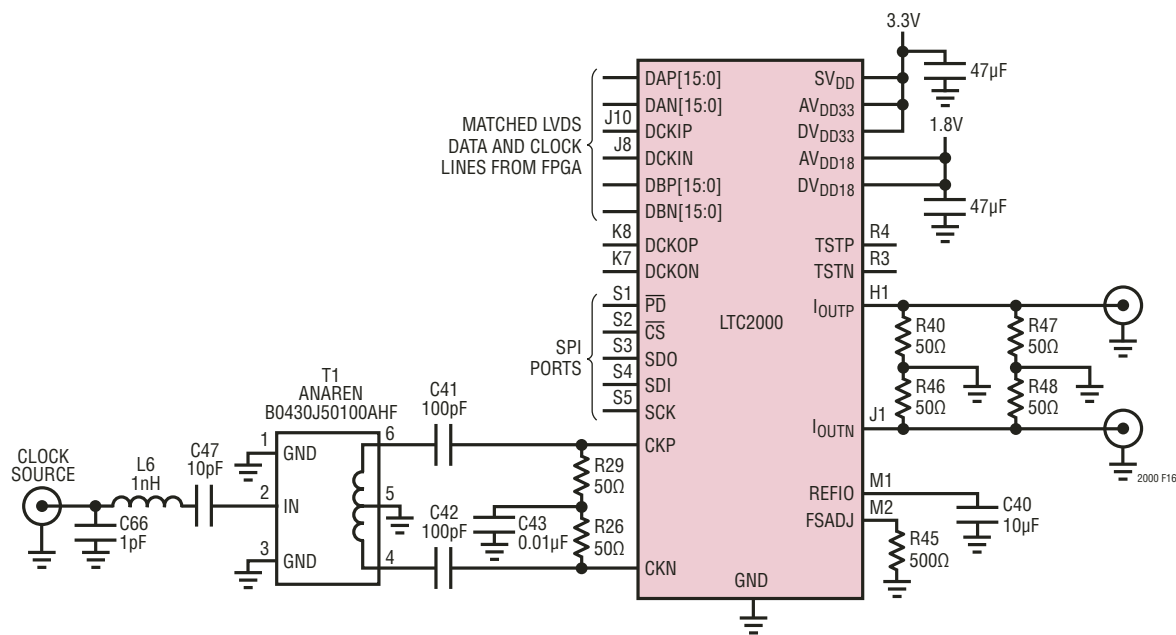
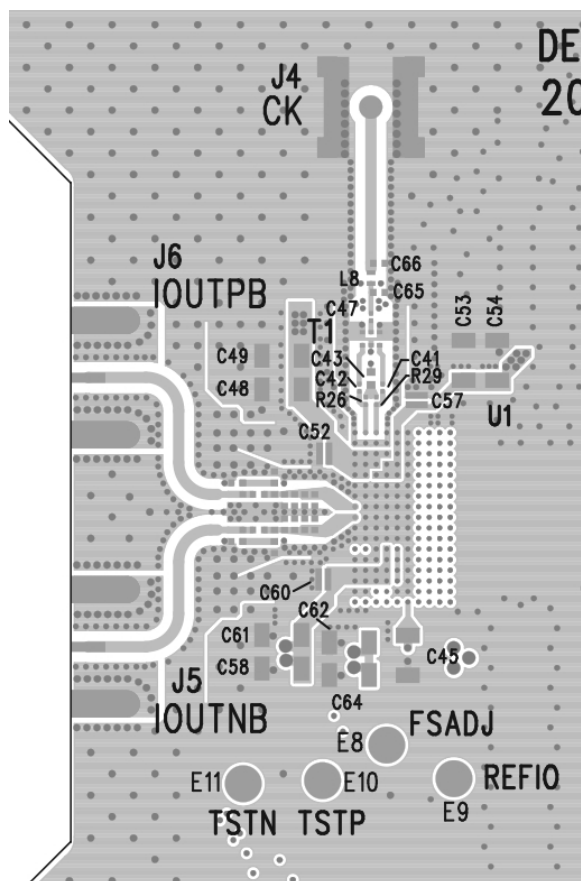
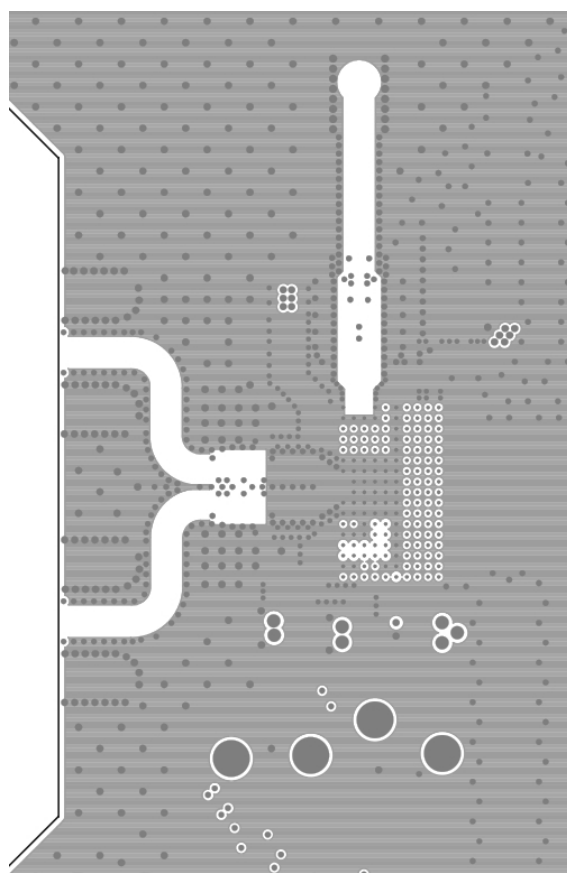


图 16

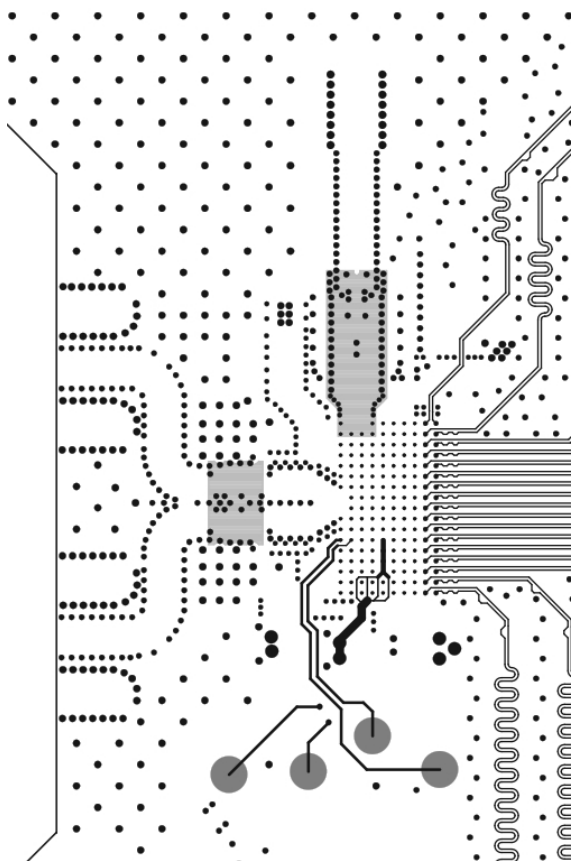


第一层

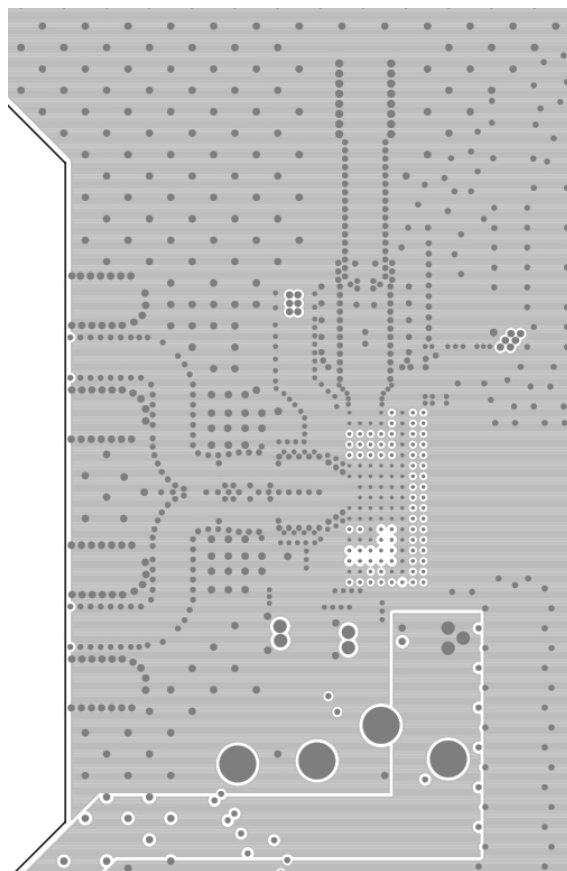


第二层

应用信息

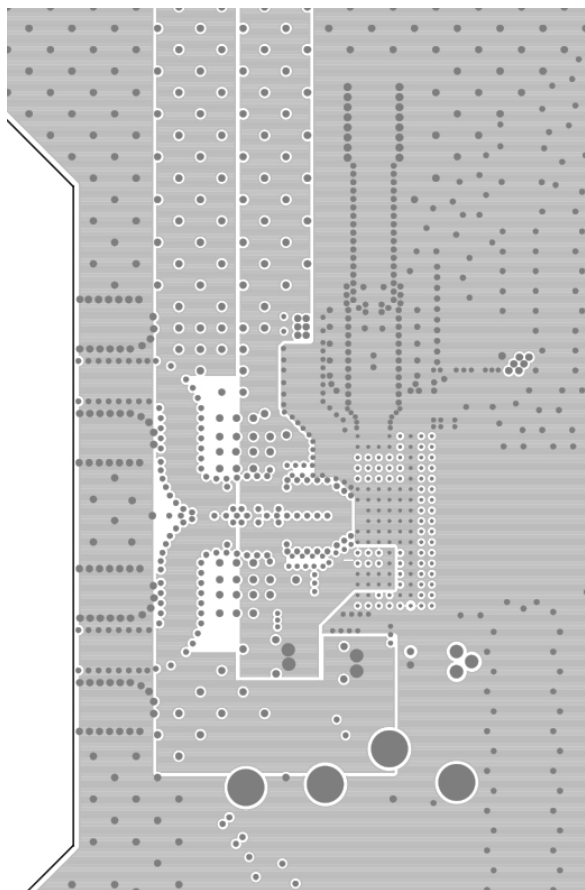


第三层

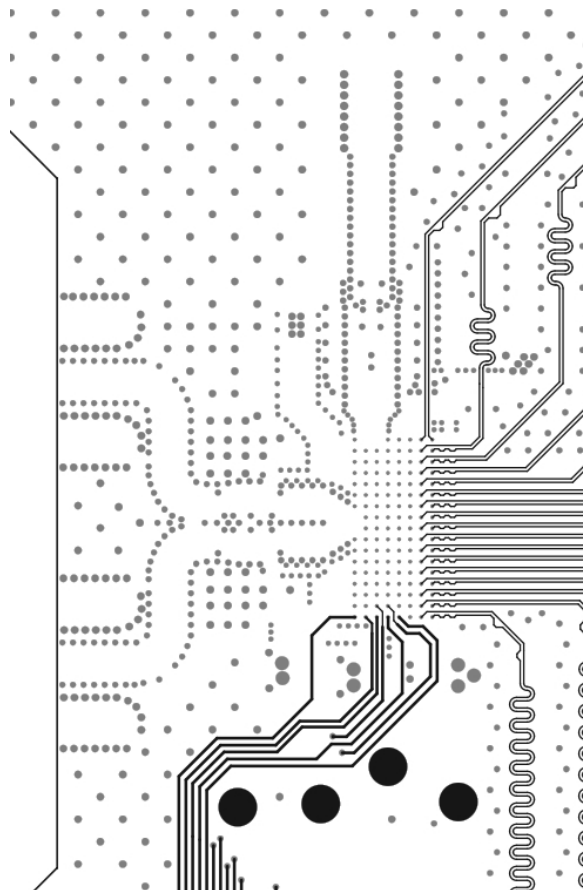


第四层

应用信息

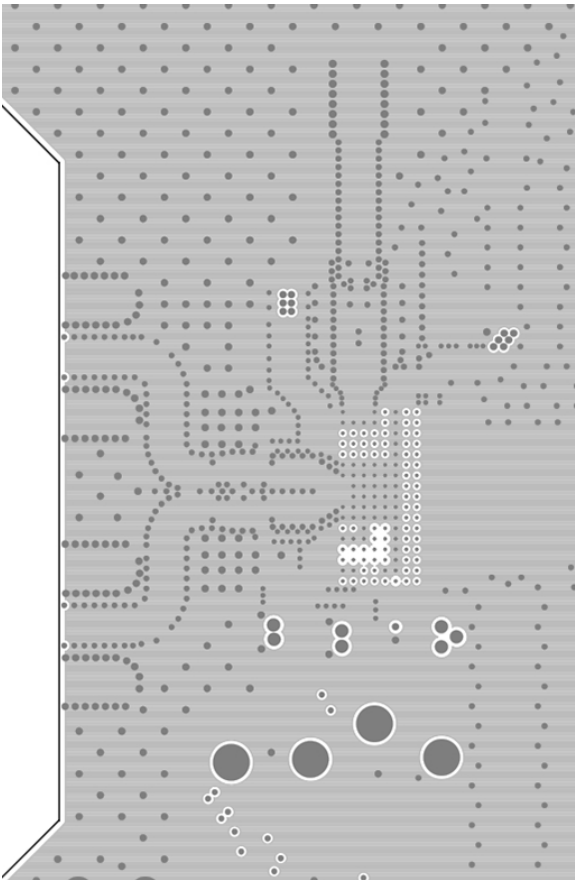


第五层

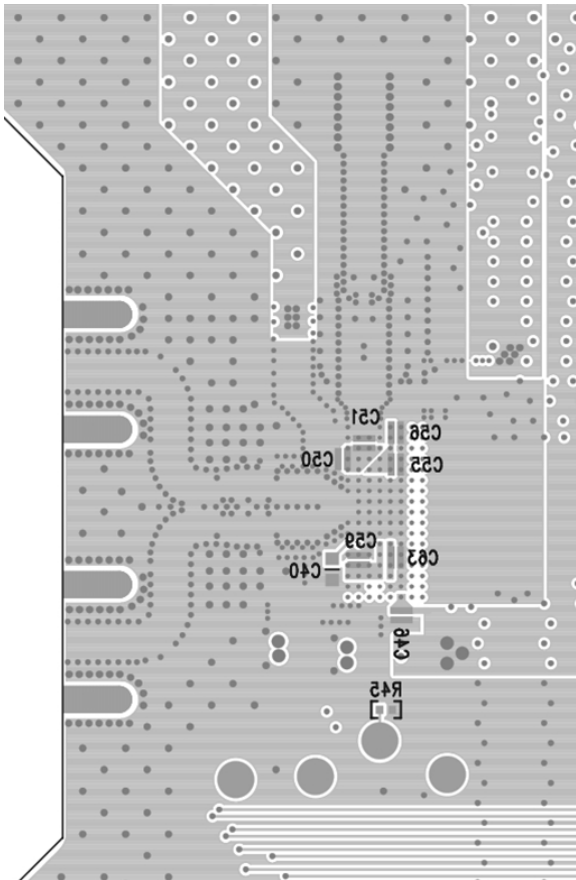


第六层

应用信息



第七层



第八层

引脚位置 (LTC2000-16)

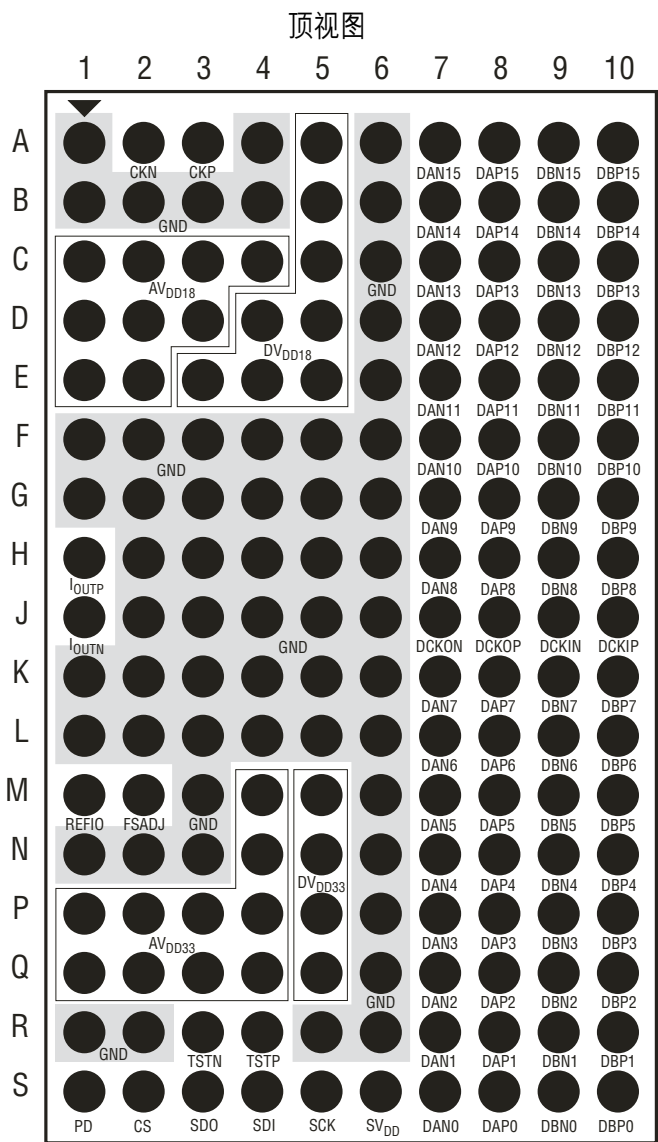
LTC2000-16 BGA 封装引出脚配置

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
A1	GND	B1	GND	C1	AV _{DD18}	D1	AV _{DD18}	E1	AV _{DD18}	F1	GND
A2	CKN	B2	GND	C2	AV _{DD18}	D2	AV _{DD18}	E2	AV _{DD18}	F2	GND
A3	CKP	B3	GND	C3	AV _{DD18}	D3	AV _{DD18}	E3	DV _{DD18}	F3	GND
A4	GND	B4	GND	C4	AV _{DD18}	D4	DV _{DD18}	E4	V _{DD18}	F4	GND
A5	DV _{DD18}	B5	DV _{DD18}	C5	DV _{DD18}	D5	DV _{DD18}	E5	DV _{DD18}	F5	GND
A6	GND	B6	GND	C6	GND	D6	GND	E6	GND	F6	GND
A7	DAN15	B7	DAN14	C7	DAN13	D7	DAN12	E7	DAN11	F7	DAN10
A8	DAP15	B8	DAP14	C8	DAP13	D8	DAP12	E8	DAP11	F8	DAP10
A9	DBN15	B9	DBN14	C9	DBN13	D9	DBN12	E9	DBN11	F9	DBN10
A10	DBP15	B10	DBP14	C10	DBP13	D10	DBP12	E10	DBP11	F10	DBP10

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
G1	GND	H1	I _{OUTP}	J1	I _{OUTN}	K1	GND	L1	GND	M1	REFIO
G2	GND	H2	GND	J2	GND	K2	GND	L2	GND	M2	FSADJ
G3	GND	H3	GND	J3	GND	K3	GND	L3	GND	M3	GND
G4	GND	H4	GND	J4	GND	K4	GND	L4	GND	M4	AV _{DD33}
G5	GND	H5	GND	J5	GND	K5	GND	L5	GND	M5	DV _{DD33}
G6	GND	H6	GND	J6	GND	K6	GND	L6	GND	M6	GND
G7	DAN9	H7	DAN8	J7	DCKON	K7	DAN7	L7	DAN6	M7	DAN5
G8	DAP9	H8	DAP8	J8	DCKOP	K8	DAP7	L8	DAP6	M8	DAP5
G9	DBN9	H9	DBN8	J9	DCKIN	K9	DBN7	L9	DBN6	M9	DBN5
G10	DBP9	H10	DBP8	J10	DCKIP	K10	DBP7	L10	DBP6	M10	DBP5

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
N1	GND	P1	AV _{DD33}	Q1	AV _{DD33}	R1	GND	S1	$\overline{\text{PD}}$
N2	GND	P2	AV _{DD33}	Q2	AV _{DD33}	R2	GND	S2	$\overline{\text{CS}}$
N3	GND	P3	AV _{DD33}	Q3	AV _{DD33}	R3	TSTN	S3	SDO
N4	AV _{DD33}	P4	AV _{DD33}	Q4	AV _{DD33}	R4	TSTP	S4	SDI
N5	DV _{DD33}	P5	DV _{DD33}	Q5	DV _{DD33}	R5	GND	S5	SCK
N6	GND	P6	GND	Q6	GND	R6	GND	S6	SV _{DD}
N7	DAN4	P7	DAN3	Q7	DAN2	R7	DAN1	S7	DAN0
N8	DAP4	P8	DAP3	Q8	DAP2	R8	DAP1	S8	DAP0
N9	DBN4	P9	DBN3	Q9	DBN2	R9	DBN1	S9	DBN0
N10	DBP4	P10	DBP3	Q10	DBP2	R10	DBP1	S10	DBP0

引脚位置 (LTC2000-16)



引脚位置 (LTC2000-14)

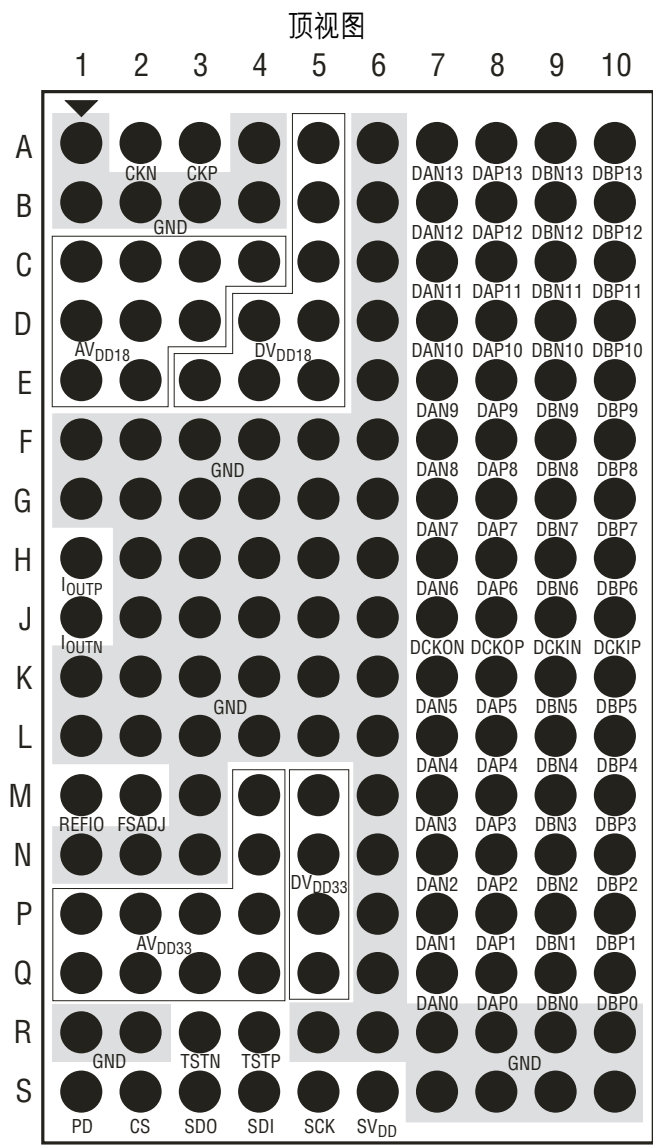
LTC2000-14 BGA 封装引出脚配置

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
A1	GND	B1	GND	C1	AV _{DD18}	D1	AV _{DD18}	E1	AV _{DD18}	F1	GND
A2	CKN	B2	GND	C2	AV _{DD18}	D2	AV _{DD18}	E2	AV _{DD18}	F2	GND
A3	CKP	B3	GND	C3	AV _{DD18}	D3	AV _{DD18}	E3	DV _{DD18}	F3	GND
A4	GND	B4	GND	C4	AV _{DD18}	D4	DV _{DD18}	E4	DV _{DD18}	F4	GND
A5	DV _{DD18}	B5	DV _{DD18}	C5	DV _{DD18}	D5	DV _{DD18}	E5	DV _{DD18}	F5	GND
A6	GND	B6	GND	C6	GND	D6	GND	E6	GND	F6	GND
A7	DAN13	B7	DAN12	C7	DAN11	D7	DAN10	E7	DAN9	F7	DAN8
A8	DAP13	B8	DAP12	C8	DAP11	D8	DAP10	E8	DAP9	F8	DAP8
A9	DBN13	B9	DBN12	C9	DBN11	D9	DBN10	E9	DBN9	F9	DBN8
A10	DBP13	B10	DBP12	C10	DBP11	D10	DBP10	E10	DBP9	F10	DBP8

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
G1	GND	H1	I _{OUTP}	J1	I _{OUTN}	K1	GND	L1	GND	M1	REFIO
G2	GND	H2	GND	J2	GND	K2	GND	L2	GND	M2	FSADJ
G3	GND	H3	GND	J3	GND	K3	GND	L3	GND	M3	GND
G4	GND	H4	GND	J4	GND	K4	GND	L4	GND	M4	AV _{DD33}
G5	GND	H5	GND	J5	GND	K5	GND	L5	GND	M5	DV _{DD33}
G6	GND	H6	GND	J6	GND	K6	GND	L6	GND	M6	GND
G7	DAN7	H7	DAN6	J7	DCKON	K7	DAN5	L7	DAN4	M7	DAN3
G8	DAP7	H8	DAP6	J8	DCKOP	K8	DAP5	L8	DAP4	M8	DAP3
G9	DBN7	H9	DBN6	J9	DCKIN	K9	DBN5	L9	DBN4	M9	DBN3
G10	DBP7	H10	DBP6	J10	DCKIP	K10	DBP5	L10	DBP4	M10	DBP3

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
N1	GND	P1	AV _{DD33}	Q1	AV _{DD33}	R1	GND	S1	$\overline{\text{PD}}$
N2	GND	P2	AV _{DD33}	Q2	AV _{DD33}	R2	GND	S2	$\overline{\text{CS}}$
N3	GND	P3	AV _{DD33}	Q3	AV _{DD33}	R3	TSTN	S3	SDO
N4	AV _{DD33}	P4	AV _{DD33}	Q4	AV _{DD33}	R4	TSTP	S4	SDI
N5	DV _{DD33}	P5	DV _{DD33}	Q5	DV _{DD33}	R5	GND	S5	SCK
N6	GND	P6	GND	Q6	GND	R6	GND	S6	SV _{DD}
N7	DAN2	P7	DAN1	Q7	DAN0	R7	GND	S7	GND
N8	DAP2	P8	DAP1	Q8	DAP0	R8	GND	S8	GND
N9	DBN2	P9	DBN1	Q9	DBN0	R9	GND	S9	GND
N10	DBP2	P10	DBP1	Q10	DBP0	R10	GND	S10	GND

引脚位置 (LTC2000-14)



引脚位置 (LTC2000-11)

LTC2000-11 BGA 封装引出脚配置

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
A1	GND	B1	GND	C1	AV _{DD18}	D1	AV _{DD18}	E1	AV _{DD18}	F1	GND
A2	CKN	B2	GND	C2	AV _{DD18}	D2	AV _{DD18}	E2	AV _{DD18}	F2	GND
A3	CKP	B3	GND	C3	AV _{DD18}	D3	AV _{DD18}	E3	DV _{DD18}	F3	GND
A4	GND	B4	GND	C4	AV _{DD18}	D4	DV _{DD18}	E4	DV _{DD18}	F4	GND
A5	DV _{DD18}	B5	DV _{DD18}	C5	DV _{DD18}	D5	DV _{DD18}	E5	DV _{DD18}	F5	GND
A6	GND	B6	GND	C6	GND	D6	GND	E6	GND	F6	GND
A7	DAN10	B7	DAN9	C7	DAN8	D7	DAN7	E7	DAN6	F7	DAN5
A8	DAP10	B8	DAP9	C8	DAP8	D8	DAP7	E8	DAP6	F8	DAP5
A9	DBN10	B9	DBN9	C9	DBN8	D9	DBN7	E9	DBN6	F9	DBN5
A10	DBP10	B10	DBP9	C10	DBP8	D10	DBP7	E10	DBP6	F10	DBP5

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
G1	GND	H1	I _{OUTP}	J1	I _{OUTN}	K1	GND	L1	GND	M1	REFIO
G2	GND	H2	GND	J2	GND	K2	GND	L2	GND	M2	FSADJ
G3	GND	H3	GND	J3	GND	K3	GND	L3	GND	M3	GND
G4	GND	H4	GND	J4	GND	K4	GND	L4	GND	M4	AV _{DD33}
G5	GND	H5	GND	J5	GND	K5	GND	L5	GND	M5	DV _{DD33}
G6	GND	H6	GND	J6	GND	K6	GND	L6	GND	M6	GND
G7	DAN4	H7	DAN3	J7	DCKON	K7	DAN2	L7	DAN1	M7	DANO
G8	DAP4	H8	DAP3	J8	DCKOP	K8	DAP2	L8	DAP1	M8	DAP0
G9	DBN4	H9	DBN3	J9	DCKIN	K9	DBN2	L9	DBN1	M9	DBN0
G10	DBP4	H10	DBP3	J10	DCKIP	K10	DBP2	L10	DBP1	M10	DBP0

引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能	引脚 ID	功能
N1	GND	P1	AV _{DD33}	Q1	AV _{DD33}	R1	GND	S1	$\overline{\text{PD}}$
N2	GND	P2	AV _{DD33}	Q2	AV _{DD33}	R2	GND	S2	$\overline{\text{CS}}$
N3	GND	P3	AV _{DD33}	Q3	AV _{DD33}	R3	TSTN	S3	SDO
N4	AV _{DD33}	P4	AV _{DD33}	Q4	AV _{DD33}	R4	TSTP	S4	SDI
N5	DV _{DD33}	P5	DV _{DD33}	Q5	DV _{DD33}	R5	GND	S5	SCK
N6	GND	P6	GND	Q6	GND	R6	GND	S6	SV _{DD}
N7	GND	P7	GND	Q7	GND	R7	GND	S7	GND
N8	GND	P8	GND	Q8	GND	R8	GND	S8	GND
N9	GND	P9	GND	Q9	GND	R9	GND	S9	GND
N10	GND	P10	GND	Q10	GND	R10	GND	S10	GND

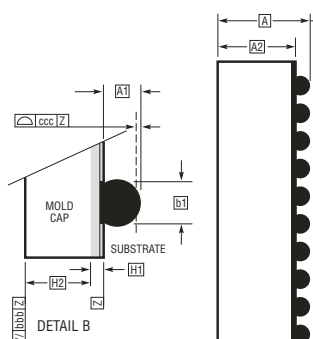
BGA 封装

170 引脚 (15.00mm × 9.00mm × 1.54mm)

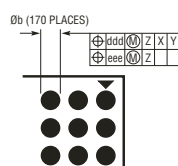
Figure 1 is a schematic diagram of a rectangular structure. The structure is a large rectangle with a smaller shaded rectangle in the top-left corner. Dimensions and features are labeled as follows:

- Top Width:** Indicated by a horizontal arrow labeled **E**.
- Right Height:** Indicated by a vertical arrow labeled **D**.
- Top-Right Corner:** A small square labeled **X** indicates the corner radius, and a small square labeled **Y** indicates the corner chamfer.
- Bottom-Right Corner:** A small square labeled **Z** indicates the corner chamfer.
- Left Side:** A vertical line with a small triangle labeled **4** indicates a feature. An arrow points to this feature with the label **PIN "A1" CORNER**.

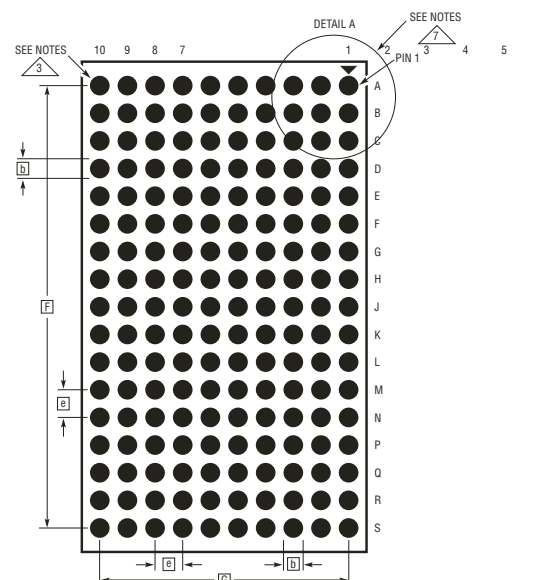
PACKAGE TOP VIEW



DETAIL A



DETAIL B
PACKAGE SIDE VIEW



PACKAGE BOTTOM VIEW

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994

2. ALL DIMENSIONS ARE IN MILLIMETERS

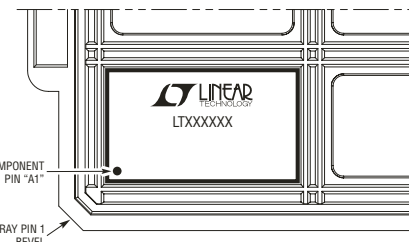
- ³ BALL DESIGNATION PER JESD MS-028 AND JEP95

- 4 DETAILS OF PIN #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE

5. PRIMARY DATUM -Z- IS SEATING PLANE

6. SOLDER BALL COMPOSITION CAN BE 96.5% Sn/3.0% Ag/0.5% Cu OR Sn Pb EUTECTIC

-   PACKAGE ROW AND COLUMN LABELING MAY VARY AMONG μ Module PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY

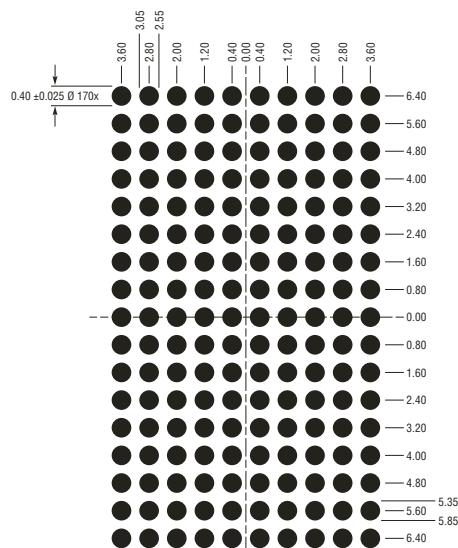


PACKAGE IN TRAY LOADING ORIENTATION

BGA 170 1112 REV B

DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	1.39	1.54	1.69	
A1	0.35	0.40	0.45	
A2	1.04	1.14	1.24	
b	0.45	0.50	0.55	
b1	0.35	0.40	0.45	
D	15.00			
E	9.00			
e	0.80			
F	12.80			
G	7.20			
H1	0.39	0.44	0.49	
H2	0.65	0.70	0.75	
aaa	0.15			
bbb	0.10			
ccc	0.12			
ddd	0.15			
eee	0.08			
TOTAL NUMBER OF BALLS: 170				

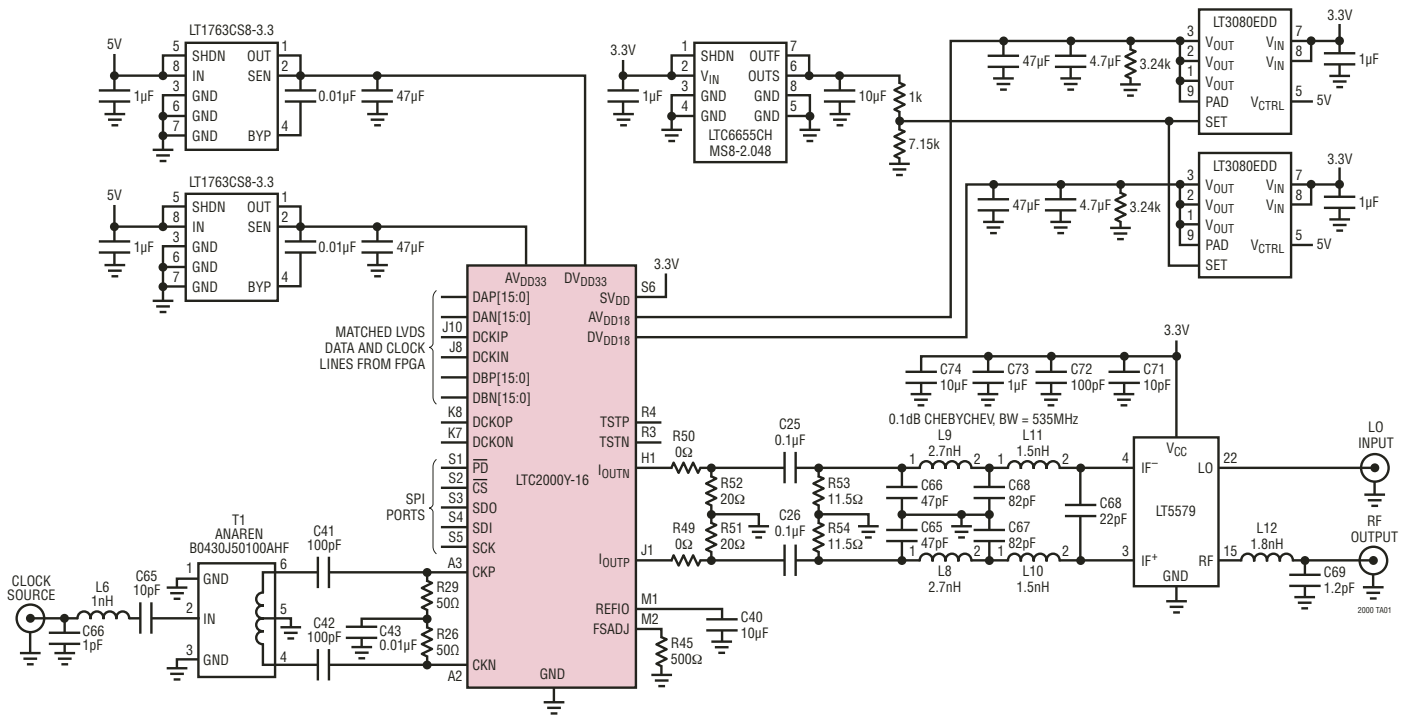
TOTAL NUMBER OF BALLS: 170



SUGGESTED PCB LAYOUT
TOP VIEW

典型应用

LTC2000 高速 DAC 采用低噪声电源解决方案来驱动作为上变频发送器的 LT5579 混频器



相关器件

器件型号	描述	备注
LTC1666/LTC1667/LTC1668	具有 10mA 全标度电流的 12 / 14 / 16 位 50Msps DAC	$V_{CC} = \pm 5V$, $-1V$ 至 $1V$ 输出符合性, 28 引脚 SSOP 封装
LTC2153/LTC2158	单通道 / 双通道 14 / 12 位 310Msps ADC	88dB SFDR、1.25GHz 带宽采样及保持
LTC2630	具有内部基准的单通道 12 / 10 / 8 位轨至轨 DAC	$V_{CC} = 2.7V$ 至 $5.5V$, SC70 封装
LTC2991	8 通道 I^2C 电压、电流和温度监视器	$V_{CC} = 3V$ 至 $5.5V$, 16 引脚 MSOP 封装
LTC2997	远程 / 内部温度传感器	$V_{CC} = 2.7V$ 至 $5.5V$, $170\mu A$, 6 引脚 2mm x 3mm DFN 封装
LT®5521	线性度非常高的有源混频器	10MHz 至 3.7GHz, 在 1.95GHz 时的 OIP3 为 24.2dBm
LT5579	高线性度上变频混频器	1.5GHz 至 3.8GHz, 在 2.14GHz 时的 OIP3 为 27.3dBm
LT5578	高线性度上变频混频器	400MHz 至 2.7GHz, 在 1.95GHz 时的 IIP3 为 24.3dBm
LTC6406	3GHz、低噪声、轨至轨输入差分放大器 / 驱动器	低噪声: $1.6nV/\sqrt{Hz}$ RTI, 18mA (在 3V), 低失真
LTC6430-15	高线性度、差分 RF / IF 放大器	20MHz 至 2GHz 带宽, 在 240MHz 时具有 50dBm OIP3, 15.2dB 增益
LTC6946	具集成 VCO 的超低噪声及杂散整数 N 合成器	0.37GHz 至 5.7GHz, $-226dBc/Hz$ 归一化带内相位噪声, $-274dBc/Hz$ 归一化带内 $1/f$ 噪声