

8 通道、14 位带符号位、 每通道 1.5Msps 同步采样 ADC

特点

- 每通道 1.5Msps 吞吐速率
- 8 个同步采样通道
- 保证 14 位、无失码
- 8V_{P-P} 差分输入和宽输入共模范围
- 在 $f_{IN} = 500\text{kHz}$ 时的 SNR 典型值为 81dB
- 在 $f_{IN} = 500\text{kHz}$ 时的 THD 典型值为 -90dB
- 保证工作温度可达 125°C
- 3.3V 或 5V 单电源
- 低漂移 (20ppm/°C 最大值) 2.048V 或 4.096V 内部基准电压源
- 1.8V 至 2.5V I/O 电压
- CMOS 或 LVDS SPI 兼容串行 I/O
- 功耗为每通道 20mW (典型值)
- 小型 52 引脚 (7mm x 8mm) QFN 封装

应用

- 高速数据采集系统
- 通信
- 光网络
- 多相电机控制

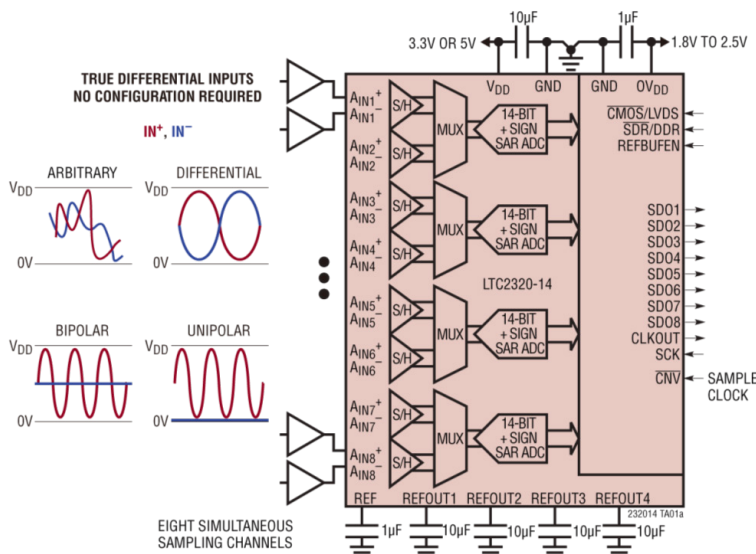
说明

LTC®2320-14 是一款低噪声、高速、8 通道 14 位带符号位逐次逼近型寄存器 (SAR) ADC，具有差分输入和宽输入共模范围。LTC2320-14 采用 3.3V 或 5V 单电源供电，具有 8V_{P-P} 差分输入范围，因而非常适合需要宽动态范围和高共模抑制制的应用。LTC2320-14 可实现 ±1LSB INL 典型值、14 位无失码和 81dB SNR。

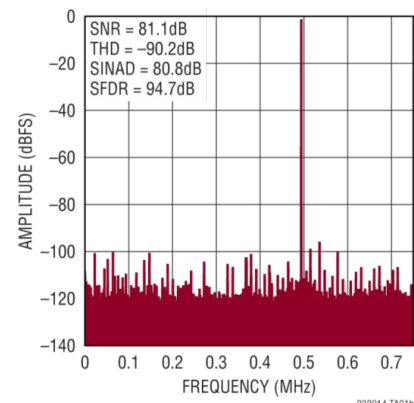
LTC2320-14 具有一个内置低漂移 (20ppm/°C 最大值) 2.048V 或 4.096V 温度补偿基准电压源。LTC2320-14 还具有一个支持 CMOS 或 LVDS 的高速 SPI 兼容串行接口。每通道 1.5Msps 的高吞吐速率和无延迟特性使 LTC2320-14 成为各种高速应用的理想选择。LTC2320-14 每通道功耗仅为 20mW，并在非活动期间提供休眠和睡眠模式，可以将功耗进一步降低至 26μW。

所有注册商标和商标均属各自所有人所有。

典型应用



32k 点 FFT $f_{SAMPL} = 1.5\text{Msps}$,
 $f_{IN} = 500\text{kHz}$



绝对最大额定值

(注释 1、2)

电源电压 (V_{DD}) 6V电源电压 (OV_{DD}) 3V

模拟输入电压

 A_{IN}^{+} , A_{IN}^{-} (注释 3) -0.3V 至 ($V_{DD} + 0.3V$)REFOUT1、2、3、4 -0.3V 至 ($V_{DD} + 0.3V$) CNV -0.3V 至 ($OV_{DD} + 0.3V$)

数字输入电压

(注释 3) ($GND - 0.3V$) 至 ($OV_{DD} + 0.3V$)

数字输出电压

(注释 3) ($GND - 0.3V$) 至 ($OV_{DD} + 0.3V$)

工作温度范围

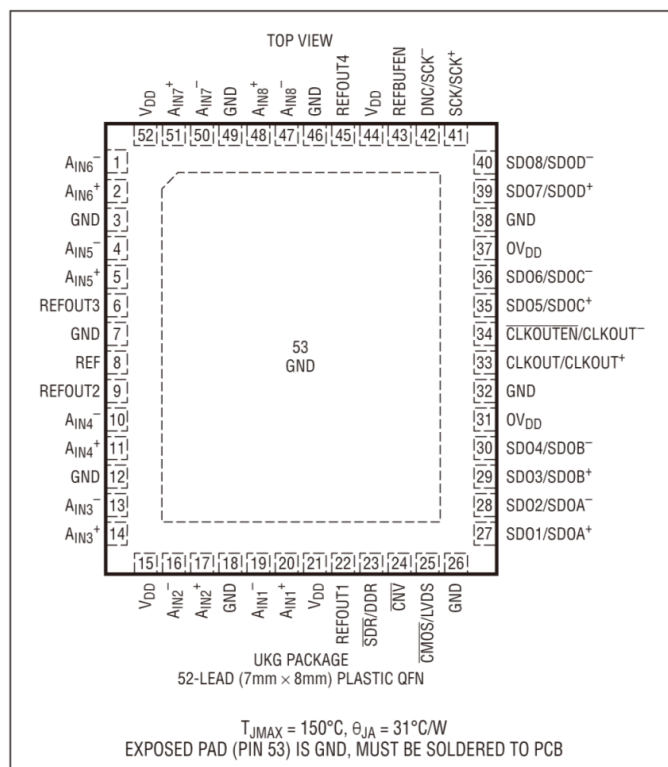
LTC2320C 0°C 至 70°C

LTC2320I -40°C 至 85°C

LTC2320H -40°C 至 125°C

存储温度范围 -65°C 至 150°C

引脚配置

订购信息 <http://www.analog.com/cn/product/LTC2320-14#orderinfo>

无铅表面处理	卷带和卷盘	器件标识*	封装说明	温度范围
LTC2320CUKG-14#PBF	LTC2320CUKG-14#TRPBF	LTC2320UKG-14	52 引脚 (7mm × 8mm) 塑料 QFN	0°C 至 70°C
LTC2320IUKG-14#PBF	LTC2320IUKG-14#TRPBF	LTC2320UKG-14	52 引脚 (7mm × 8mm) 塑料 QFN	-40°C 至 85°C
LTC2320HUKG-14#PBF	LTC2320HUKG-14#TRPBF	LTC2320UKG-14	52 引脚 (7mm × 8mm) 塑料 QFN	-40°C 至 125°C

有关具有更宽额定工作温度范围的器件，请咨询 LTC 市场部门。*温度等级通过运输容器上的标签识别。

有关无铅器件标识的更多信息，请访问：<http://www.analog.com/cn/leadfree/>有关卷带和卷盘规格的更多信息，请访问：<http://www.analog.com/cn/tapeandree/>。某些封装以 500 单元卷盘形式通过指定销售渠道提供，其带有 #TRMPBF 后缀。

电气特性

• 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件		最小值	典型值	最大值	单位
V_{IN}^+	绝对输入范围 (A_{IN}^+ 至 A_{IN}^-)	(注释 5)	•	0		V_{DD}	V
V_{IN}^-	绝对输入范围 (A_{IN}^+ 至 A_{IN}^-)	(注释 5)	•	0		V_{DD}	V
$V_{IN}^+ - V_{IN}^-$	输入差分电压范围	$V_{IN} = V_{IN}^+ - V_{IN}^-$	•	-REFOUT 1、2、3、4		REFOUT1、 2、3、4	V
V_{CM}	共模输入范围	$V_{CM} = (V_{IN}^+ - V_{IN}^-)/2$	•	0		V_{DD}	V
I_{IN}	模拟输入直流漏电流		•	-1		1	μA
C_{IN}	模拟输入电容				10		pF
CMRR	输入共模抑制比	$f_{IN} = 500\text{kHz}$			102		dB
V_{IHCNV}	CNV 高电平输入电压		•	1.5			V
V_{ILCNV}	CNV 低电平输入电压		•			0.5	V
I_{INCNV}	CNV 输入电流		•	-10		10	μA

转换器特性

• 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件		最小值	典型值	最大值	单位
	分辨率		•	14			位
	无失码		•	14			位
	跃迁噪声				0.8		LSB_{RMS}
INL	积分线性误差	(注释 6)	•	-3	± 1	3	LSB
DNL	差分线性误差		•	-0.99	± 0.4	0.99	LSB
BZE	双极性零电平误差	(注释 7)	•	-3	0	3	LSB
	双极性零电平误差漂移				0.005		$\text{LSB}/^\circ\text{C}$
FSE	双极性满量程误差	$V_{\text{REFOUT1} \cdot 2 \cdot 3 \cdot 4} = 4.096\text{V}$ (REFBUFEN 接地) (注释 7)	•	-8	0	8	LSB
	双极性满量程误差漂移	$V_{\text{REFOUT1} \cdot 2 \cdot 3 \cdot 4} = 4.096\text{V}$ (REFBUFEN 接地)			15		$\text{ppm}/^\circ\text{C}$

动态精度

●表示规格适用于整个工作温度范围，其他规格的适用条件为 $T_A = 25^\circ\text{C}$ 和 $A_{IN} = -1\text{dBFS}$ (注释 4、8)。

符号	参数	条件		最小值	典型值	最大值	单位
SINAD	信纳比	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 4.096\text{V}$, 内部基准电压源	●	75.5	80		dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 5\text{V}$, 外部基准电压源			84		dB
SNR	信噪比	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 4.096\text{V}$, 内部基准电压源	●	76.5	81		dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 5\text{V}$, 外部基准电压源			82.5		dB
THD	总谐波失真	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 4.096\text{V}$, 内部基准电压源	●		-90	-77	dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 5\text{V}$, 外部基准电压源			-91		dB
SFDR	无杂散动态范围	$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 4.096\text{V}$, 内部基准电压源	●	77	93		dB
		$f_{IN} = 500\text{kHz}$, $V_{REFOUT1, 2, 3, 4} = 5\text{V}$, 外部基准电压源			93		dB
	-3dB 输入带宽				55		MHz
	孔径延迟				500		ps
	孔径延迟匹配				500		ps
	孔径抖动				1		ps _{RMS}
	瞬态响应	满量程阶跃			3		ns

内部基准电压源特性

●表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件		最小值	典型值	最大值	单位
$V_{REFOUT1, 2, 3, 4}$	内部基准电压源输出电压	$4.75\text{V} < V_{DD} < 5.25\text{V}$	●	4.078	4.096	4.115	V
		$3.13\text{V} < V_{DD} < 3.47\text{V}$	●	2.034	2.048	2.064	V
	V_{REF} 温度系数	(注释 14)	●		3	20	ppm/ $^\circ\text{C}$
	REFOUT1、2、3、4 输出阻抗				0.25		Ω
	$V_{REFOUT1, 2, 3, 4}$ 电压调整率	$4.75\text{V} < V_{DD} < 5.25\text{V}$			0.3		mV/V
$I_{REFOUT1, 2, 3, 4}$	外部基准电压源电流	REFBUFEN = 0V					
		REFOUT1、2、3、4 = 4.096V			385		μA
		REFOUT1、2、3、4 = 2.048V			204		μA
		(注释 9、10)					

数字输入和数字输出

• 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件		最小值	典型值	最大值	单位
CMOS 数字输入和输出		$\overline{\text{CMOS/LVDS}} = \text{GND}$					
V_{IH}	高电平输入电压		•	$0.8 \cdot OV_{DD}$			V
V_{IL}	低电平输入电压		•		$0.2 \cdot OV_{DD}$		V
I_{IN}	数字输入电流	$V_{IN} = 0\text{V to } OV_{DD}$	•	-10		10	μA
C_{IN}	数字输入电容		•		5		pF
V_{OH}	高电平输出电压	$I_O = -500\mu\text{A}$	•	$OV_{DD} - 0.2$			V
V_{OL}	低电平输出电压	$I_O = 500\mu\text{A}$	•			0.2	V
I_{OZ}	高阻抗输出漏电流	$V_{OUT} = 0\text{V 至 } OV_{DD}$	•	-10		10	μA
I_{SOURCE}	输出拉电流	$V_{OUT} = 0\text{V}$	•		-10		mA
I_{SINK}	输出灌电流	$V_{OUT} = OV_{DD}$	•		10		mA
LVDS 数字输入和输出		$\overline{\text{CMOS/LVDS}} = OV_{DD}$					
V_{ID}	LVDS 差分输入电压	100 Ω 差分端接 $OV_{DD} = 2.5\text{V}$	•	240		600	mV
V_{IS}	LVDS 共模输入电压	100 Ω 差分端接 $OV_{DD} = 2.5\text{V}$	•	1		1.45	V
V_{OD}	LVDS 差分输出电压	100 Ω 差分端接 $OV_{DD} = 2.5\text{V}$	•	220	350	600	mV
V_{OS}	LVDS 共模输出电压	100 Ω 差分端接 $OV_{DD} = 2.5\text{V}$	•	0.85	1.2	1.4	V
V_{OD_LP}	低功耗 LVDS 差分输出电压	100 Ω 差分端接 $OV_{DD} = 2.5\text{V}$	•	100	200	350	mV
V_{OS_LP}	低功耗 LVDS 共模输出电压	100 Ω 差分端接 $OV_{DD} = 2.5\text{V}$	•	0.85	1.2	1.4	V

LTC2320-14

电源要求 • 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件		最小值	典型值	最大值	单位
V_{DD}	电源电压	5V 工作电压	•	4.75		5.25	V
		3.3V 工作电压	•	3.13		3.47	V
$I_{V_{DD}}$	电源电流	1.5Msps 采样速率 ($I_{IN^+} = I_{IN^-} = 0V$)	•		31	38	mA
CMOS I/O 模式 CMOS/LVDS = GND							
OV_{DD}	电源电压		•	1.71		2.63	V
I_{OVDD}	电源电流	1.5Msps 采样速率 ($C_L = 5pF$)	•		4.4	7.0	mA
I_{NAP}	休眠模式电流	转换完成 (I_{VDD})	•		5.3	6.2	mA
I_{SLEEP}	睡眠模式电流	睡眠模式 ($I_{VDD} + I_{OVDD}$)	•		20	110	μA
$P_{D_{3.3V}}$	功耗	$V_{DD} = 3.3V$, 1.5Msps 采样速率	•		102	130	mW
		休眠模式	•		18	20.6	mW
		睡眠模式	•		20	355	μW
$P_{D_{5V}}$	功耗	$V_{DD} = 5V$, 1.5Msps 采样速率	•		162	208	mW
		休眠模式	•		27	31.2	mW
		睡眠模式	•		30	525	μW
LVDS I/O 模式 CMOS/LVDS = OV_{DD} , $OV_{DD} = 2.5V$							
OV_{DD}	电源电压		•	2.37		2.63	V
I_{OVDD}	电源电流	1.5Msps 采样速率 ($C_L = 5pF$, $R_L = 100\Omega$)	•		26	34	mA
I_{NAP}	休眠模式电流	转换完成 (I_{VDD})	•		5.3	6.2	mA
I_{SLEEP}	睡眠模式电流	睡眠模式 ($I_{VDD} + I_{OVDD}$)	•		20	110	μA
$P_{D_{3.3V}}$	功耗	$V_{DD} = 3.3V$, 1.5Msps 采样速率	•		151	195	mW
		休眠模式	•		52	58	mW
		睡眠模式	•		80	355	μW
$P_{D_{5V}}$	功耗	$V_{DD} = 5V$, 1.5Msps 采样速率	•		214	280	mW
		休眠模式	•		60	68.5	mW
		睡眠模式	•		30	525	μW

ADC 时序特性 • 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件		最小值	典型值	最大值	单位
f_{SAMPL}	最大采样频率		•			1.5	Msps
t_{CYC}	转换间隔时间	(注释 11) $t_{CYC} = t_{CNVH} + t_{CONV} + t_{READOUT}$	•	0.667		1000	μs
t_{CONV}	转换时间		•			450	ns
t_{CNVH}	CNV 高电平时间		•	30			ns
$t_{ACQUISITION}$	采样孔径	(注释 11) $t_{ACQUISITION} = t_{CYC} - t_{CONV}$			215		ns
t_{WAKE}	REFOUT1、2、3、4 唤醒时间	$C_{REFOUT1, 2, 3, 4} = 10\mu F$			50		ms
CMOS I/O 模式, SDR CMOS/LVDS = GND, SDR / DDR = GND							
t_{SCK}	SCK 周期	(注释 13)	•	9.1			ns
t_{SCKH}	SCK 高电平时间		•	4.1			ns
t_{SCKL}	SCK 低电平时间		•	4.1			ns
t_{HSDO_SDR}	CLKOUT 到 SDO 数据保持有效延迟时间 ↓	$C_L = 5pF$ (注释 12)	•	0		1.5	ns
$t_{DSCKCLKOUT}$	SCK 至 CLKOUT 延迟时间	(注释 12)	•	2		4.5	ns

ADC 时序特性 • 表示规格适用于整个工作温度范围，其他规格的适用温度为 $T_A = 25^\circ\text{C}$ (注释 4)。

符号	参数	条件	最小值	典型值	最大值	单位
t_{DCNVSDOZ}	$\overline{\text{CNV}}$ 之后的总线释放时间	(注释 11)	•		3	ns
t_{DCNVSDOV}	$\overline{\text{CNV}}$ 到 SDO 有效延迟时间	(注释 11)	•		3	ns
$t_{\text{DSCKHCNVH}}$	到 $\overline{\text{CNV}}$ 的 SCK 延迟时间	(注释 11)	•	0		ns
CMOS I/O 模式, DDR $\overline{\text{CMOS/LVDS}} = \text{GND}$, $\overline{\text{SDR/DDR}} = \text{OV}_{\text{DD}}$						
t_{SCK}	SCK 周期		•	18.2		ns
t_{SCKH}	SCK 高电平时间		•	8.2		ns
t_{SCKL}	SCK 低电平时间		•	8.2		ns
$t_{\text{HSDO_DDR}}$	CLKOUT 到 SDO 数据保持有效延迟时间 ↓	$C_L = 5\text{pF}$ (注释 12)	•	0	1.5	ns
$t_{\text{DSCKCLKOUT}}$	SCK 至 CLKOUT 延迟时间	(注释 12)	•	2	4.5	ns
t_{DCNVSDOZ}	$\overline{\text{CNV}}$ 之后的总线释放时间	(注释 11)	•		3	ns
t_{DCNVSDOV}	$\overline{\text{CNV}}$ 到 SDO 有效延迟时间	(注释 11)	•		3	ns
$t_{\text{DSCKHCNVH}}$	到 $\overline{\text{CNV}}$ 的 SCK 延迟时间	(注释 11)	•	0		ns
LVDS I/O 模式, SDR $\overline{\text{CMOS/LVDS}} = \text{OV}_{\text{DD}}$, $\overline{\text{SDR/DDR}} = \text{GND}$						
t_{SCK}	SCK 周期		•	3.3		ns
t_{SCKH}	SCK 高电平时间		•	1.5		ns
t_{SCKL}	SCK 低电平时间		•	1.5		ns
$t_{\text{HSDO_SDR}}$	CLKOUT 到 SDO 数据保持有效延迟时间 ↓	$C_L = 5\text{pF}$ (注释 12)	•	0	1.5	ns
$t_{\text{DSCKCLKOUT}}$	SCK 至 CLKOUT 延迟时间	(注释 12)	•	2	4	ns
$t_{\text{DSCKHCNVH}}$	到 $\overline{\text{CNV}}$ 的 SCK 延迟时间	(注释 11)	•	0		ns
LVDS I/O 模式, DDR $\overline{\text{CMOS/LVDS}} = \text{OV}_{\text{DD}}$, $\overline{\text{SDR/DDR}} = \text{OV}_{\text{DD}} = 2.5\text{V}$						
t_{SCK}	SCK 周期		•	6.6		ns
t_{SCKH}	SCK 高电平时间		•	3		ns
t_{SCKL}	SCK 低电平时间		•	3		ns
$t_{\text{HSDO_DDR}}$	CLKOUT 到 SDO 数据保持有效延迟时间 ↓	$C_L = 5\text{pF}$	•	0	1.5	ns
$t_{\text{DSCKCLKOUT}}$	SCK 至 CLKOUT 延迟时间		•	2	4	ns
$t_{\text{DSCKHCNVH}}$	到 $\overline{\text{CNV}}$ 的 SCK 延迟时间	(注释 11)	•	0		ns

注释 1: 应力超出上述绝对最大额定值可能会导致器件永久性损坏。在任何绝对最大额定值条件下长期工作会影响器件的可靠性和使用寿命。

注释 2: 所有电压值均相对于地。

注释 3: 这些引脚电压低于地或高于 $V_{\text{DD}}/\text{OV}_{\text{DD}}$ 时, 将会被内部二极管箝位。本产品可以处理地以下或 $V_{\text{DD}}/\text{OV}_{\text{DD}}$ 以上最高 100mA 的电流而不会闩锁。

注释 4: $V_{\text{DD}} = 5\text{V}$, $\text{OV}_{\text{DD}} = 2.5\text{V}$, REFOUT1 、2、3、4 = 4.096V, $f_{\text{SMPL}} = 1.5\text{MHz}$ 。

注释 5: 建议工作条件。

注释 6: 积分非线性定义为输出码偏离通过其传递函数曲线实际端点的直线的偏差。此偏差是相对于量化带的中心测量。

注释 7: 双极性零电平误差是当输出码在 000 0000 0000 0000 和 111 1111 1111 1111 之间闪烁时相对于 -0.5LSB 测量到的失调电压。满量程双极性误差是相对于首个和最后一个理想代码阶跃的

-FS 或 +FS 未经修正偏差的最坏情况, 包括失调误差的影响。

注释 8: 所有用 dB 表示的规格均参考 $\text{REF} = 4.096\text{V}$ 时的满量程 $\pm 4.096\text{V}$ 输入。

注释 9: 当 REFOUT1 、2、3、4 过驱时, 必须通过设置 $\text{REFBUFEN} = 0\text{V}$ 来关断内部基准缓冲器。

注释 10: $f_{\text{SMPL}} = 1.5\text{MHz}$, $I_{\text{REFOUT1-2, 3, 4}}$ 随采样速率成比例变化。

注释 11: 通过设计保证, 未经测试。

注释 12: 参数测试和保证条件为: $\text{OV}_{\text{DD}} = 1.71\text{V}$, $\text{OV}_{\text{DD}} = 2.5\text{V}$ 。

注释 13: 对于上升沿捕获, 9.1ns 的 t_{SCK} 支持最高 105MHz 的移位时钟频率。

注释 14: 温度系数等于输出电压的最大变化除以指定温度范围。

注释 15: CNV 由低抖动数字电压源驱动, 通常为 OV_{DD} 逻辑电平。

ADC 时序特性

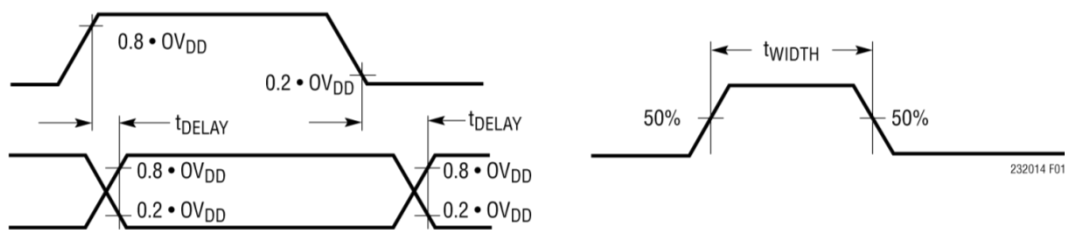
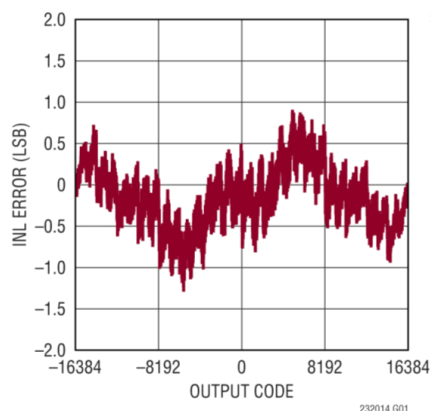


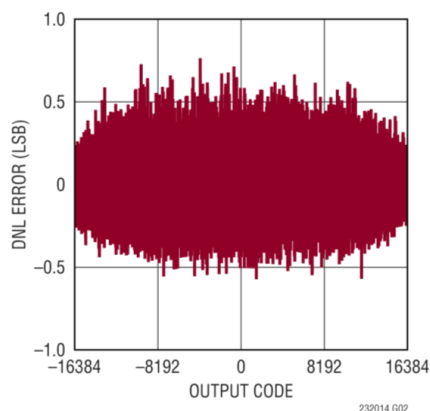
图 1. 时序规格的电压电平

典型性能参数 除非另有说明, $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $\text{REFOUT1、2、3、4} = 4.096\text{V}$, $f_{\text{SAMPL}} = 1.5\text{Msps}$ 。

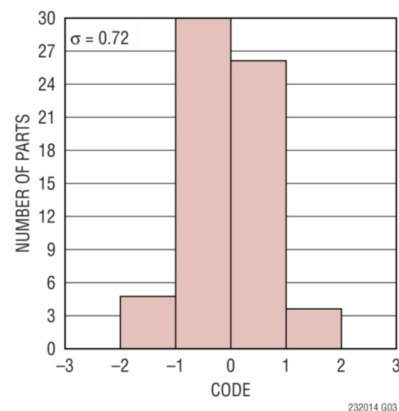
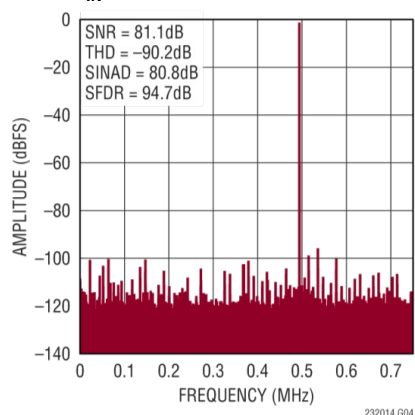
积分非线性与输出码的关系



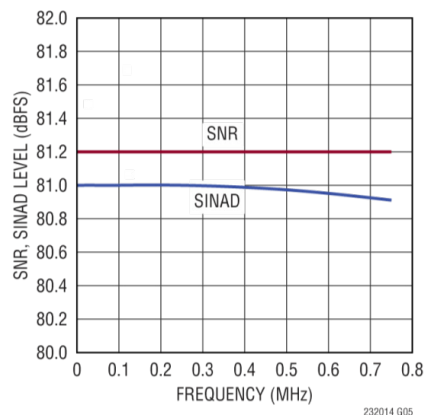
差分非线性与输出码的关系



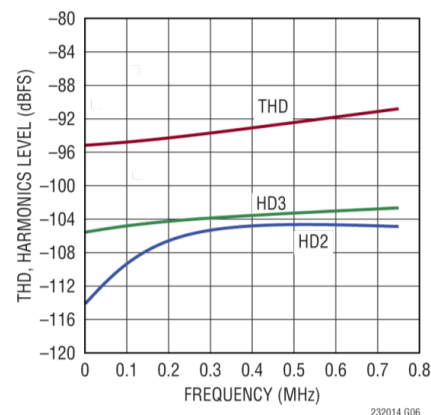
直流直方图

32k 点 FFT, $f_{\text{SAMPL}} = 1.5\text{Msps}$, $f_{\text{IN}} = 500\text{kHz}$ 

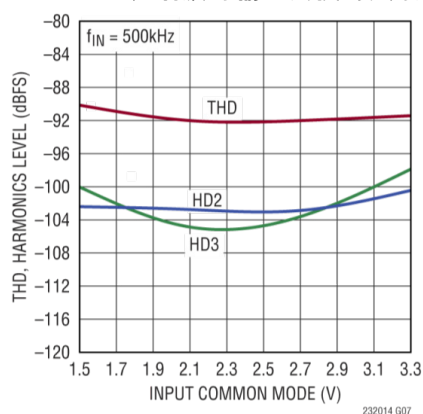
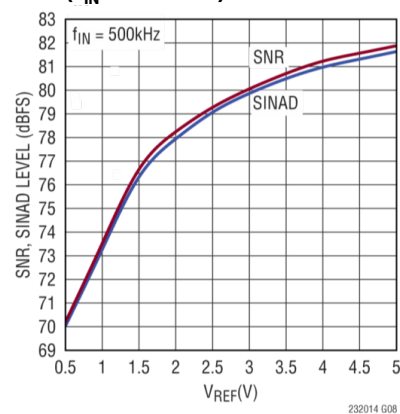
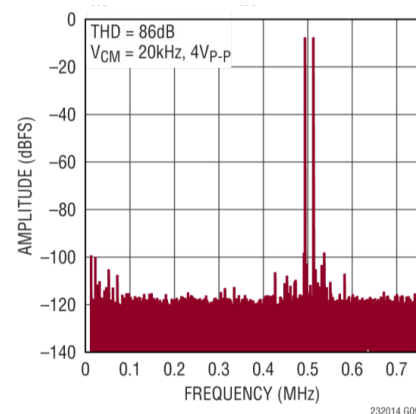
SNR、SINAD 与输入频率的关系 (1kHz 至 750kHz)



THD、谐波与输入频率的关系 (1kHz 至 750kHz)

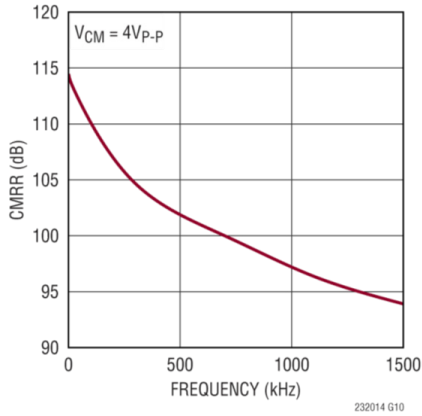


THD、谐波与输入共模的关系

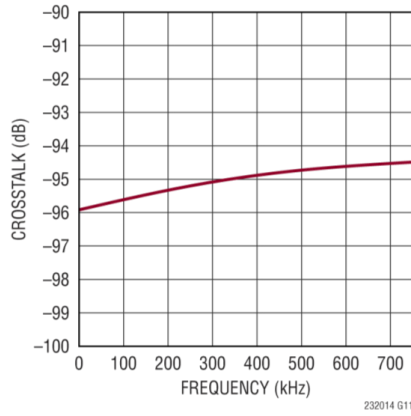
SNR、SINAD 与基准电压的关系 ($f_{\text{IN}} = 500\text{kHz}$)32k 点 FFT, IMD, $f_{\text{SAMPL}} = 1.5\text{Msps}$, $A_{\text{IN}}^+ = 490\text{kHz}$, $A_{\text{IN}}^- = 510\text{kHz}$ 

典型性能参数 除非另有说明, $T_A = 25^\circ\text{C}$, $V_{DD} = 5\text{V}$, $OV_{DD} = 2.5\text{V}$, $\text{REFOUT1, 2, 3, 4} = 4.096\text{V}$, $f_{\text{SAMPL}} = 1.5\text{Mpsps}$ 。

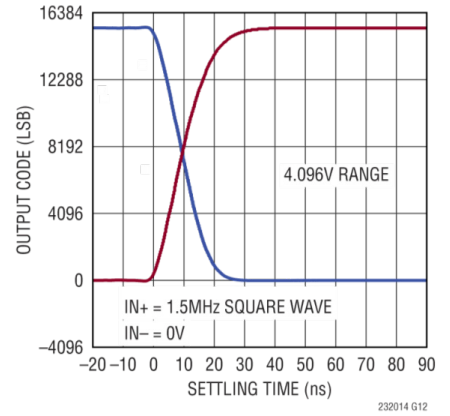
CMRR 与输入频率的关系



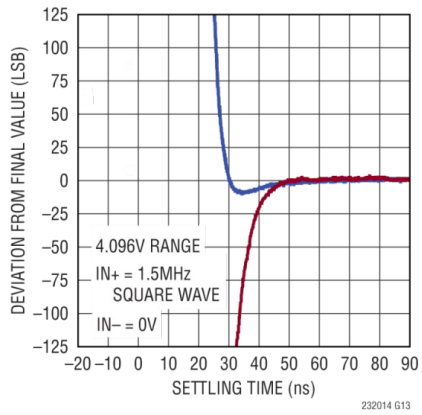
串扰与输入频率的关系



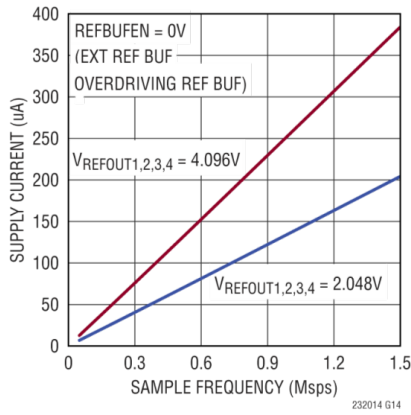
阶跃响应 (大信号建立)



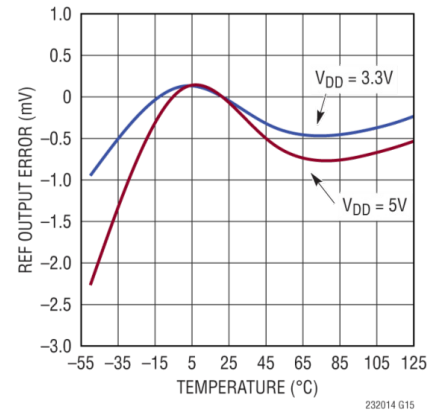
阶跃响应 (精密建立)



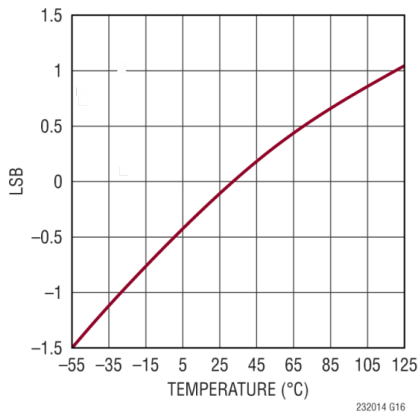
外部基准电源电流与采样频率的关系



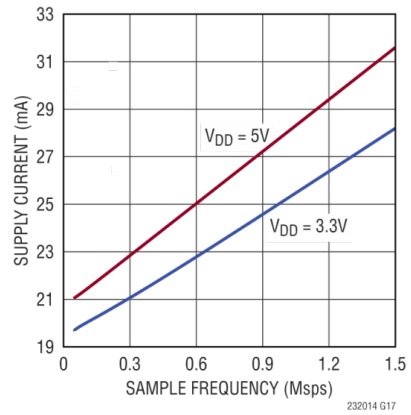
REF 输出与温度的关系



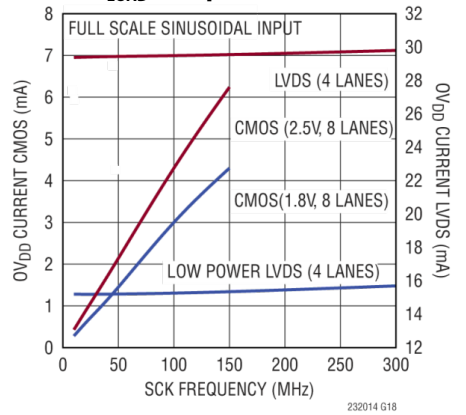
失调误差与温度的关系



电源电流与采样速率的关系



OV_{DD} 电流与 SCK 频率的关系 ($C_{LOAD} = 10\text{pF}$)



引脚功能

对所有数字 I/O 模式都相同的引脚。

A_{IN6}^+ 、 A_{IN6}^- (引脚 2、1): 模拟差分输入引脚。满量程范围 ($A_{IN6}^+ - A_{IN6}^-$) 为 $\pm \text{REFOUT3}$ 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

GND (引脚 3、7、12、18、26、32、38、46、49): 地。这些引脚和裸露焊盘 (引脚 53) 必须直接连接到实接地层。

A_{IN5}^+ 、 A_{IN5}^- (引脚 5、4): 模拟差分输入引脚。满量程范围 ($A_{IN5}^+ - A_{IN5}^-$) 为 $\pm \text{REFOUT3}$ 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

REFOUT3 (引脚 6): 基准电压缓冲器 3 输出。内置缓冲器通常输出 4.096V 至此引脚。此引脚以 GND 为参考并应使用 10 μF (X5R, 0805 尺寸) 陶瓷电容与引脚严格去耦。将 REFBUFEN 引脚接地可禁用驱动此引脚的内部缓冲器。如果缓冲器被禁用, 可使用 1.25V 至 5V 范围内的外部基准电压源驱动此引脚。

REF (引脚 8): 共用 4.096V 基准电压源输出。使用 1 μF 低 ESR 陶瓷电容去耦至 GND。可使用单个外部基准电压源过驱, 以便为 ADC 内核 1 至 4 建立一个共用的基准电压源。

REFOUT2 (引脚 9): 基准电压缓冲器 2 输出。内置缓冲器通常输出 4.096V 至此引脚。此引脚以 GND 为参考并应使用 10 μF (X5R, 0805 尺寸) 陶瓷电容与引脚严格去耦。将 REFBUFEN 引脚接地可禁用驱动此引脚的内部缓冲器。如果缓冲器被禁用, 可使用 1.25V 至 5V 范围内的外部基准电压源驱动此引脚。

A_{IN4}^+ 、 A_{IN4}^- (引脚 11、10): 模拟差分输入引脚。满量程范围 ($A_{IN4}^+ - A_{IN4}^-$) 为 $\pm \text{REFOUT2}$ 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

A_{IN3}^+ 、 A_{IN4}^- (引脚 14、13): 模拟差分输入引脚。满量程范围 ($A_{IN3}^+ - A_{IN3}^-$) 为 $\pm \text{REFOUT2}$ 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

V_{DD} (引脚 15、21、44、52): 电源。在靠近器件的位置使用一个 10 μF 陶瓷电容和一个 0.1 μF 陶瓷电容将 V_{DD} 旁路至 GND。 V_{DD} 引脚应该短接在一起并且由相同的电源进行驱动。

A_{IN2}^+ 、 A_{IN2}^- (引脚 17、16): 模拟差分输入引脚。满量程范围 ($A_{IN2}^+ - A_{IN2}^-$) 为 $\pm \text{REFOUT1}$ 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

A_{IN1}^+ 、 A_{IN1}^- (引脚 20、19): 模拟差分输入引脚。满量程范围 ($A_{IN1}^+ - A_{IN1}^-$) 为 $\pm \text{REFOUT1}$ 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

REFOUT1 (引脚 22): 基准电压缓冲器 1 输出。内置缓冲器通常输出 4.096V 至此引脚。此引脚以 GND 为参考并应使用 10 μF (X5R, 0805 尺寸) 陶瓷电容与引脚严格去耦。将 REFBUFEN 引脚接地可禁用驱动此引脚的内部缓冲器。如果缓冲器被禁用, 可使用 1.25V 至 5V 范围内的外部基准电压源驱动此引脚。

SDR/DDR (引脚 23): 双倍数据速率输入。控制 SCK 和 CLKOUT 的频率。连接至 GND 以在 SCK 下降沿移位每个串行数据输出 (单倍数据速率, SDR)。连接至 OV_{DD} 以在每个 SCK 边沿移位串行数据输出 (双倍数据速率, DDR)。CLKOUT 将是两个引脚状态的 SCK 延迟版本。

CNV (引脚 24): 转换输入。当此引脚为高电平时, 定义了采样阶段。当此引脚被驱动至低电平时, 启动转换阶段并将输出数据逐时钟输出。这个输入必须使用低抖动脉冲在 OV_{DD} 电平下驱动。此引脚不受 CMOS/LVDS 引脚的影响。

CMOS/LVDS (引脚 25): I/O 模式选择。将此引脚接地即启用 CMOS 模式, 连接至 OV_{DD} 则启用 LVDS 模式。将此引脚浮空则启用低功耗 LVDS 模式。

OV_{DD} (引脚 31、37): I/O 接口数字电源。 OV_{DD} 的范围是 1.71V 至 2.63V。该电源在标称上设置为与主机接口相同的电源 (CMOS: 1.8V 或 2.5V, LVDS: 2.5V)。使用 0.1 μF 电容将 OV_{DD} 旁路至 GND (引脚 32 和 38)。

引脚功能

REFBUFEN (引脚 43): 基准电压缓冲器输出使能。当使用内部基准电压源时, 连接至 V_{DD} 。当与外部基准电压源配合使用时, 连接至地以禁用内部 REFOUT1-4 缓冲器。此引脚到 V_{DD} 之间的内部上拉电阻为 500k。

REFOUT4 (引脚 45): 基准电压缓冲器 4 输出。内置缓冲器通常输出 4.096V 至此引脚。此引脚以 GND 为参考并应使用 10 μ F (X5R, 0805 尺寸) 陶瓷电容与引脚严格去耦。将 REFBUFEN 引脚接地可禁用驱动此引脚的内部缓冲器。如果缓冲器被禁用, 可使用 1.25V 至 5V 范围内的外部基准电压源驱动此引脚。

A_{IN8}^+ 、 A_{IN8}^- (引脚 48、47): 模拟差分输入引脚。满量程范围 ($A_{IN8}^+ - A_{IN8}^-$) 为 $\pm$ REFOUT4 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

A_{IN7}^+ 、 A_{IN7}^- (引脚 51、50): 模拟差分输入引脚。满量程范围 ($A_{IN7}^+ - A_{IN7}^-$) 为 $\pm$ REFOUT4 电压。这些引脚可以由 V_{DD} 至 GND 驱动。

裸露焊盘 (引脚 53): 地。将此焊盘焊接到地。

CMOS 数据输出选项 (CMOS/LVDS = 低电平)

SDO1 (引脚 27): ADC 通道 1 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO1 上的 A_{IN1} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH2、CH3、CH4、CH5、CH6、CH7、CH8) 中产生数据。

SDO2 (引脚 28): ADC 通道 2 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO2 上的 A_{IN2} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH3、CH4、CH5、CH6、CH7、CH8、CH1) 中产生数据。

SDO3 (引脚 29): ADC 通道 3 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK

下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO3 上的 A_{IN3} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH4、CH5、CH6、CH7、CH8、CH1、CH2) 中产生数据。

SDO4 (引脚 30): ADC 通道 4 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO4 上的 A_{IN4} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH5、CH6、CH7、CH8、CH1、CH2、CH3) 中产生数据。

CLKOUT (引脚 33): 串行数据时钟输出。CLKOUT 提供一个偏斜匹配时钟, 用于锁存接收器 (FPGA) 上的 SDO 输出。逻辑电平由 OV_{DD} 决定。此引脚以低延迟回应 SCK 输入。

CLKOUTEN (引脚 34): 将引脚 34 连接到 OV_{DD} 可以禁用 CLKOUT 以节省功耗。要使用 CLKOUT, 则需将此引脚接地。

SDO5 (引脚 35): ADC 通道 5 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO5 上的 A_{IN5} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH6、CH7、CH8、CH1、CH2、CH3、CH4) 中产生数据。

SDO6 (引脚 36): ADC 通道 6 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO6 上的 A_{IN6} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH7、CH8、CH1、CH2、CH3、CH4、CH5) 中产生数据。

引脚功能

SDO7 (引脚 39): ADC 通道 7 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO7 上的 A_{IN7} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH8、CH1、CH2、CH3、CH4、CH5、CH6) 中产生数据。

SDO8 (引脚 40): ADC 通道 8 的 CMOS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿优先移位 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDO8 上的 A_{IN8} 读取 14 位转换数据需要 16 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH1、CH2、CH3、CH4、CH5、CH6、CH7) 中产生数据。

SCK (引脚 41): 串行数据时钟输入。在 SDR 模式下 ($\overline{\text{SDR}}/\text{DDR} = \text{低电平}$), 该时钟的下降沿将转换结果 MSB 优先移位到 SDO 引脚。在 DDR 模式下 ($\overline{\text{SDR}}/\text{DDR} = \text{高电平}$), 该时钟的每个边沿将转换结果 MSB 优先移位到 SDO 引脚。逻辑电平由 OV_{DD} 决定。

DNC (引脚 42): 在 CMOS 模式下, 不要连接此引脚。

LVDS 数据输出选项 ($\overline{\text{CMOS}}/\text{LVDS} = \text{高电平或悬空}$)

SDOA⁺、SDOA⁻ (引脚 27/28): ADC 通道 1 和通道 2 的 LVDS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿移位 CH1 MSB 优先, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDOA 上的 A_{IN1} 和 A_{IN2} 读取 14 位转换数据需要 32 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH3、CH4、CH5、CH6、CH7、CH8) 中产生数据。利用接收器 (FPGA) 上的 100Ω 电阻端接。

SDOB⁺、SDOB⁻ (引脚 29、30): ADC 通道 3 和通道 4 的 LVDS 串行数据输出。在 SDR 模式

下, 转换结果在每个 SCK 下降沿优先移位 CH3 MSB, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDOB 上的 A_{IN3} 和 A_{IN4} 读取 14 位转换数据需要 32 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH5、CH6、CH7、CH8、CH1、CH2) 中产生数据。利用接收器 (FPGA) 上的 100Ω 电阻端接。

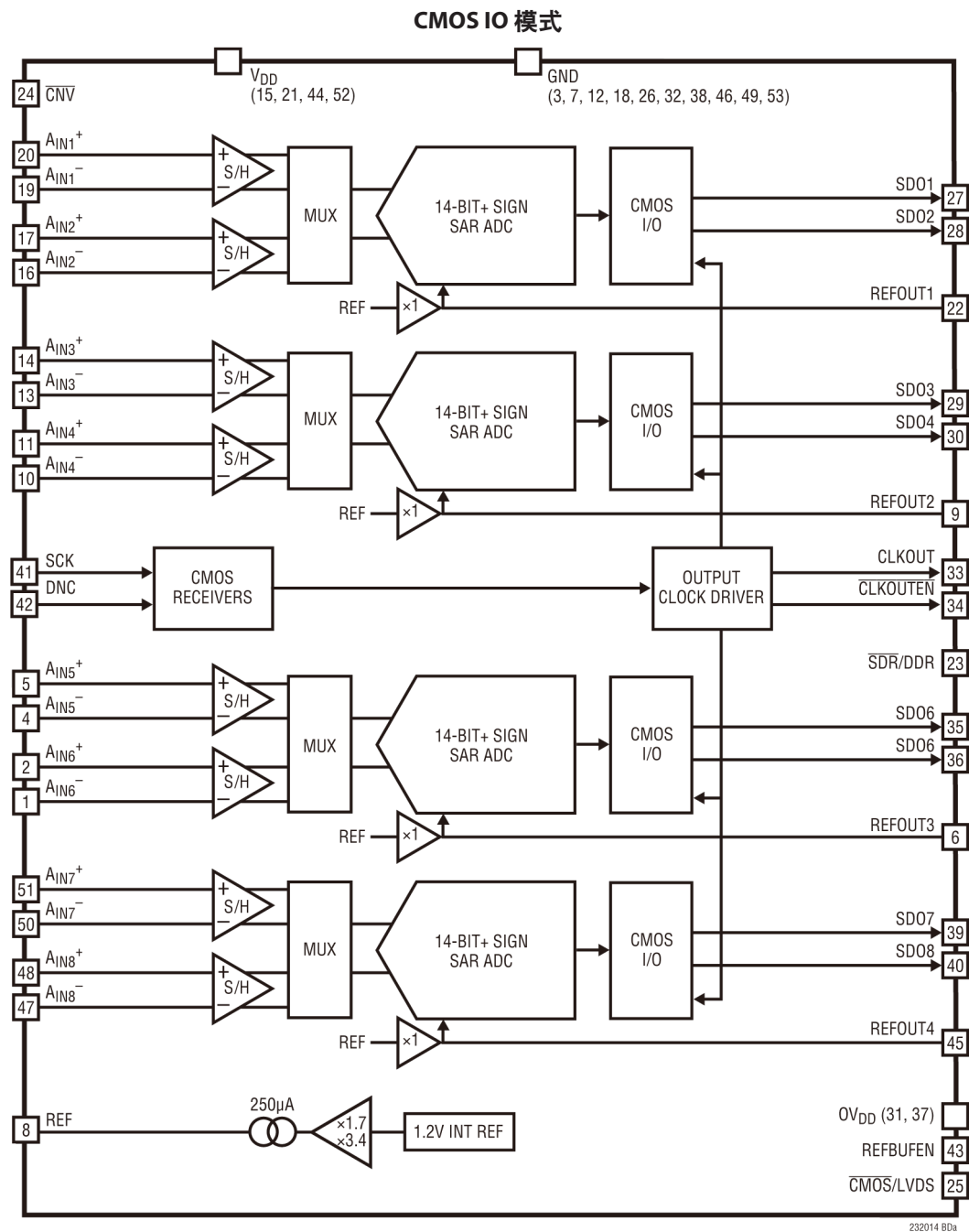
CLKOUT⁺、CLKOUT⁻ (引脚 33、34): 串行数据时钟输出。CLKOUT 提供一个偏斜匹配时钟, 用于锁存接收器上的 SDO 输出。这两个引脚以低延迟回应 SCK 输入。它们必须利用接收器 (FPGA) 上的 100Ω 电阻以差分方式端接。

SDOC⁺、SDOC⁻ (引脚 35、36): ADC 通道 5 和通道 6 的 LVDS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿移位 CH5 MSB 优先, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDOA 上的 A_{IN5} 和 A_{IN6} 读取 14 位转换数据需要 32 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH7、CH8、CH1、CH2、CH3、CH4) 中产生数据。利用接收器 (FPGA) 上的 100Ω 电阻端接。

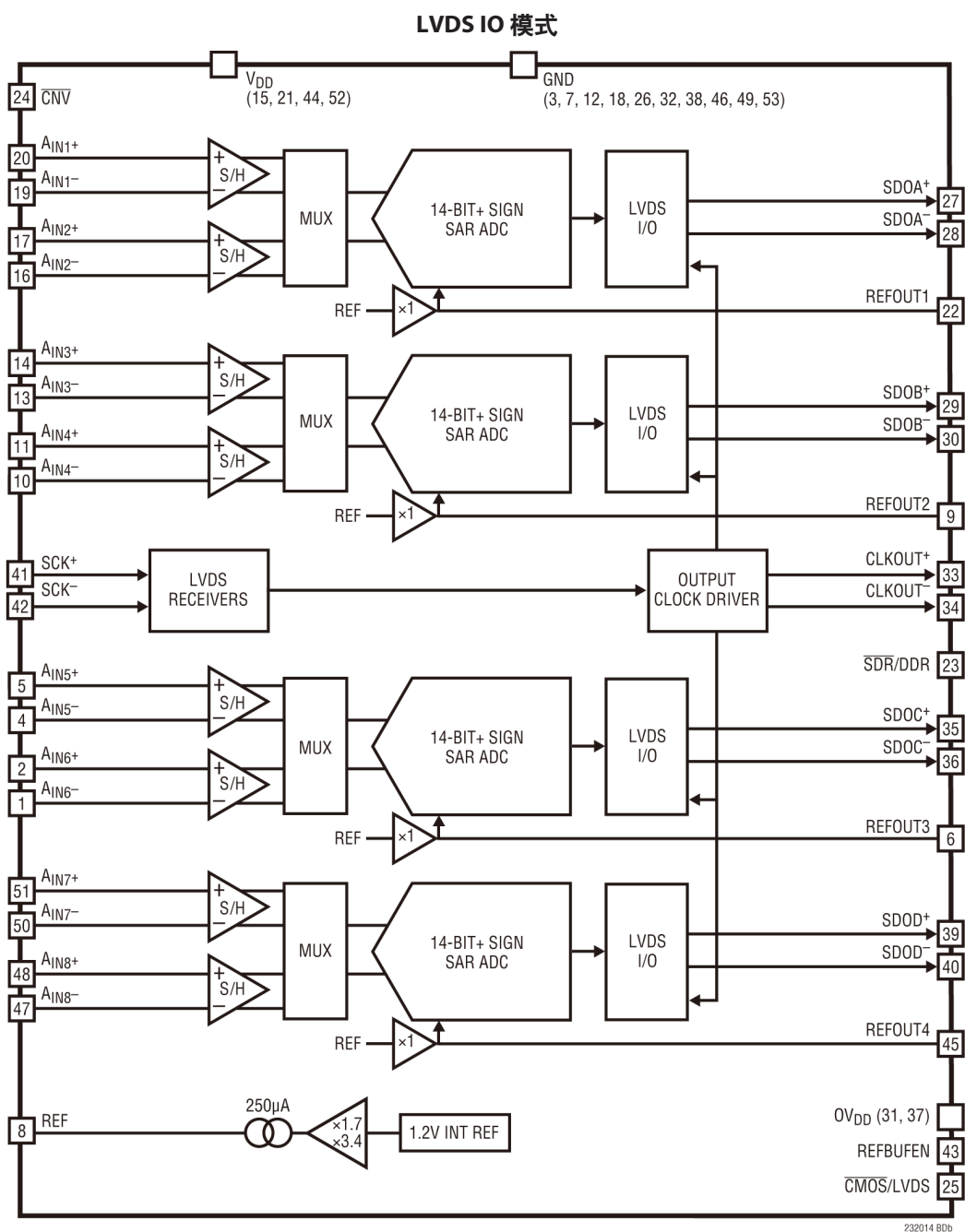
SDOD⁺、SDOD⁻ (引脚 39、40): ADC 通道 7 和通道 8 的 LVDS 串行数据输出。在 SDR 模式下, 转换结果在每个 SCK 下降沿移位 CH7 MSB 优先, 在 DDR 模式下, 则在每个 SCK 边沿进行移位。在 SDR 模式下, 从 SDOA 上的 A_{IN7} 和 A_{IN8} 读取 14 位转换数据需要 32 个 SCK 边沿, 在 DDR 模式下则需要 16 个 SCK 边沿。提供更多的时钟将会在后续通道 (CH1、CH2、CH3、CH4、CH5、CH6) 中产生数据。利用接收器 (FPGA) 上的 100Ω 电阻端接。

SCK⁺、SCK⁻ (引脚 41、42): 串行数据时钟输入。在 SDR 模式下 ($\overline{\text{SDR}}/\text{DDR} = \text{低电平}$), 该时钟的下降沿将转换结果 MSB 优先移位到 SDO 引脚。在 DDR 模式下 ($\overline{\text{SDR}}/\text{DDR} = \text{高电平}$), 该时钟的每个边沿将转换结果 MSB 优先移位到 SDO 引脚。这两个引脚必须利用接收器 (ADC) 上的 100Ω 电阻以差分方式端接。

功能框图

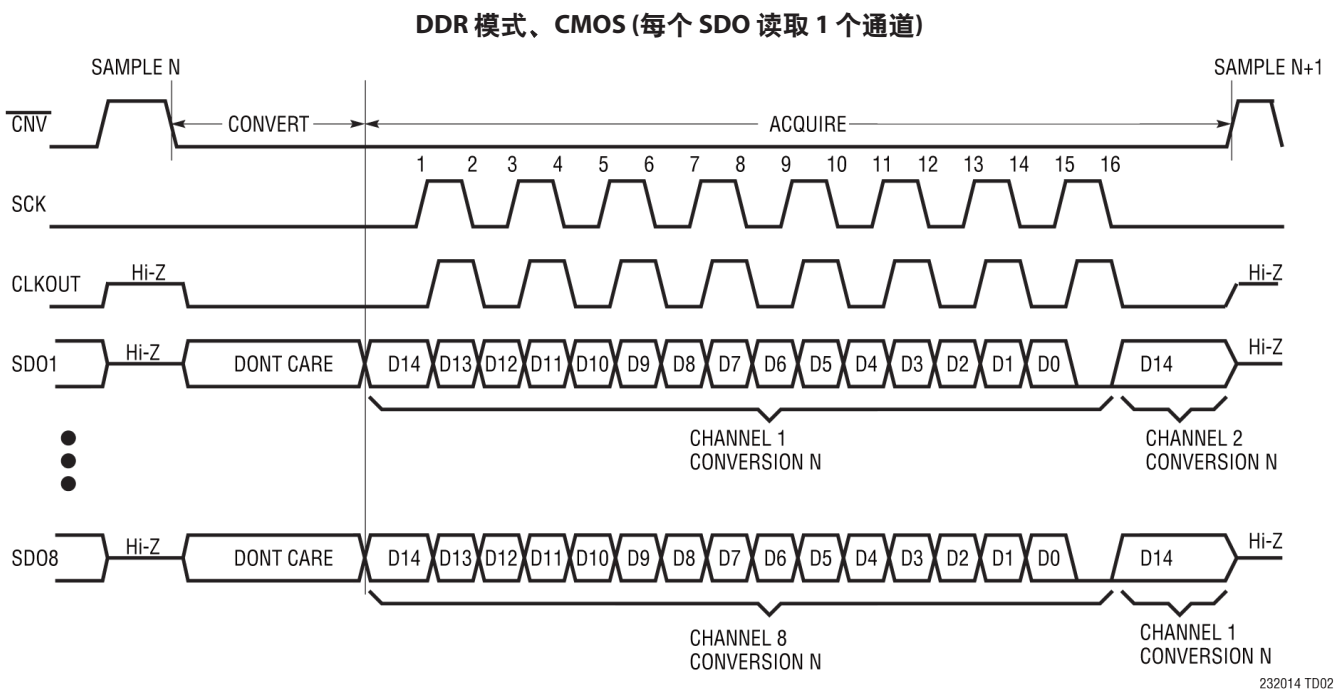
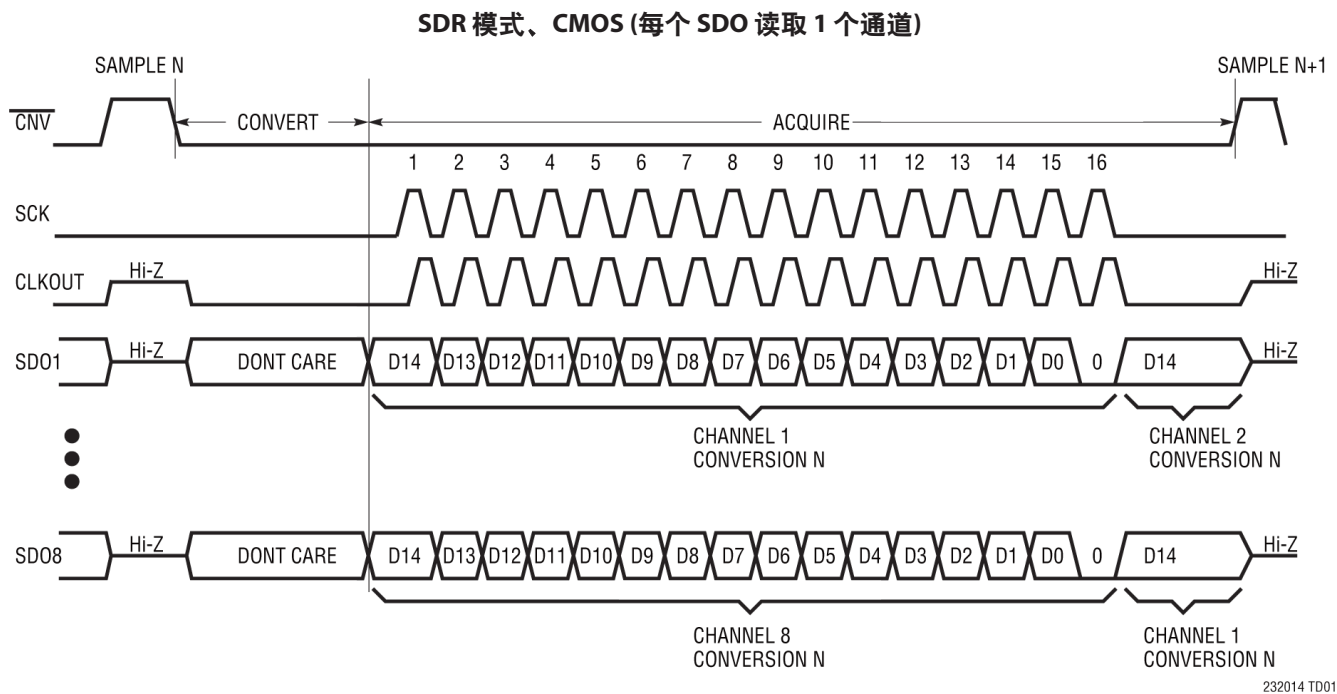


功能框图



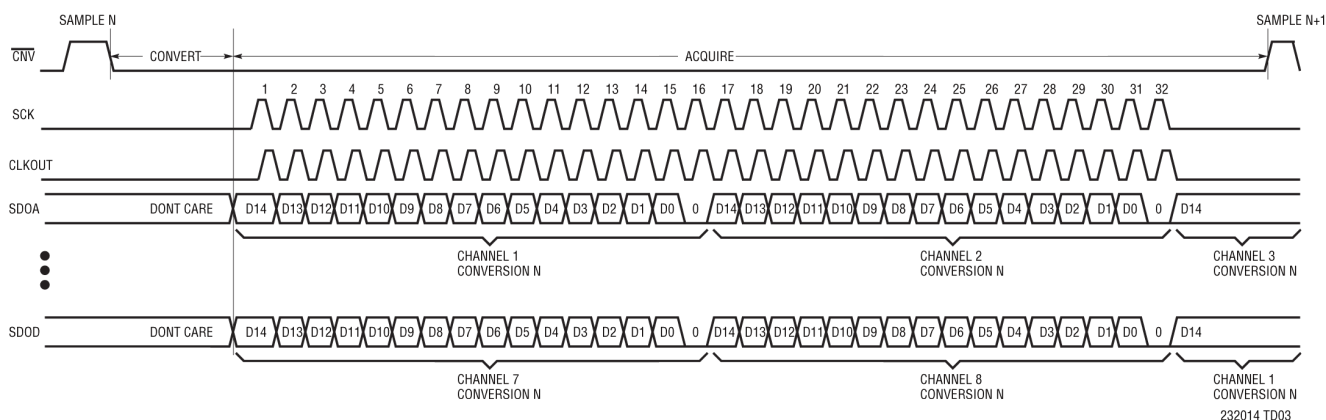
232014 BD0

时序图

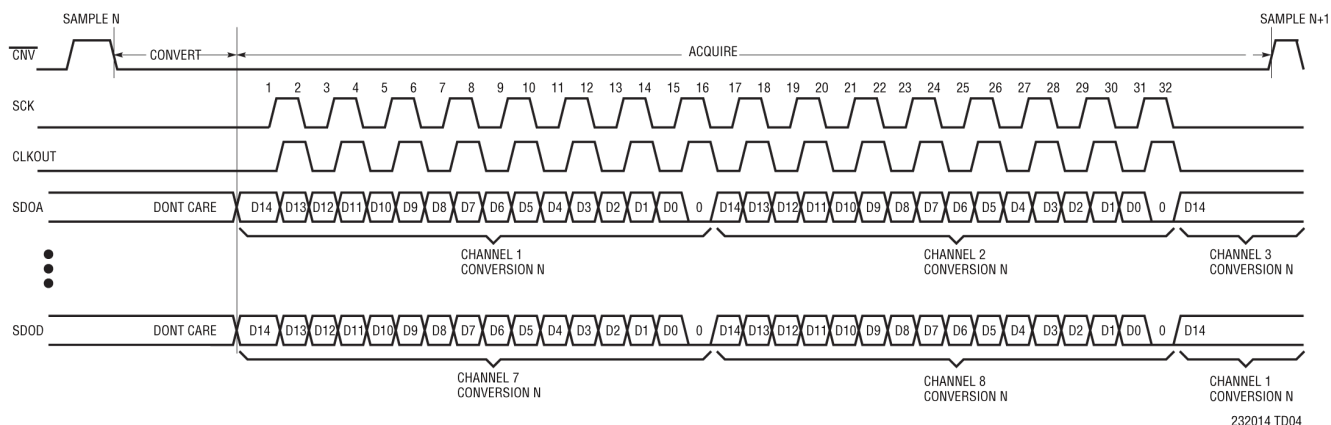


时序图

SDR 模式、LVDS (每对 SDO 读取 2 个通道)



DDR 模式、LVDS (每对 SDO 读取 2 个通道)



应用信息

概述

LTC2320-14 是一款低噪声、高速 14 位逐次逼近型寄存器 (SAR) ADC，具有差分输入和宽输入共模范围。LTC2320-14 采用 3.3V 或 5V 单电源供电，具有 $4V_{P-P}$ 或 $8V_{P-P}$ 差分输入范围，因而非常适合需要宽动态范围的应用。LTC2320-14 可实现 $\pm 1\text{LSB}$ INL 典型值、14 位无失码和 81dB SNR。

LTC2320-14 具有一个内置基准电压缓冲器和低漂移 ($20\text{ppm}/^{\circ}\text{C}$ 最大值) 4.096V 温度补偿基准电压源。LTC2320-14 还具有一个支持 CMOS 或 LVDS 的高速 SPI 兼容串行接口。每通道 1.5Msps 的高吞吐速率和无延迟特性使 LTC2320-14 成为各种高速应用的理想选择。LTC2320-14 每通道功耗仅为 20mW。在非活动期间，还提供休眠和睡眠模式，可以降低 LTC2320-14 的功耗以实现进一步的节能。

转换器操作

LTC2320-14 的操作分为两个阶段。在采集阶段，采样电容连接到模拟输入引脚 A_{IN}^{+} 和 A_{IN}^{-} ，用于采样差分模拟输入电压，如图 3 所示。 $\overline{\text{CNV}}$ 引脚的下降沿启动转换。在转换阶段，依序对 14 位 CDAC 执行逐次逼近算法，使用差分比较器有效地将采样输入与基准电压的二进制加权分数（例如， $V_{\text{REFOUT}}/2$ 、 $V_{\text{REFOUT}}/4 \dots V_{\text{REFOUT}}/32768$ ）进行比较。在转换结束时，CDAC 输出模拟输入采样的近似值。然后，ADC 控制逻辑就会准备 14 位数字输出码以供串行传输。

传递函数

LTC2320-14 将 $2 \cdot \text{REFOUT}$ 的满量程电压数字化为 2^{15} 个电平，即当 $\text{REFBUF} = 4.096\text{V}$ 时产生 15 位分辨率的 $250\mu\text{V}$ 电压。其理想传递函数如图 2 所示。输出数据以 2 进制补码格式表示。当驱动为全差分输入时，传递函数范围为 2^{15} 个代码。当驱动为伪差分输入时，传递函数范围为 2^{14} 个代码。

表 1. 模拟输入操作模式的代码范围

模式	范围 ($V_{IN}^{+} - V_{IN}^{-}$)	最小代码	最大代码
全差分	$-\text{REFOUT}$ 至 $+\text{REFOUT}$	100 0000 0000 0000	011 1111 1111 1111
伪差分双极性	$-\text{REFOUT}/2$ 至 $+\text{REFOUT}/2$	110 0000 0000 0000	001 1111 1111 1111
伪差分单极性	0 至 REFOUT	000 0000 0000 0000	011 1111 1111 1111

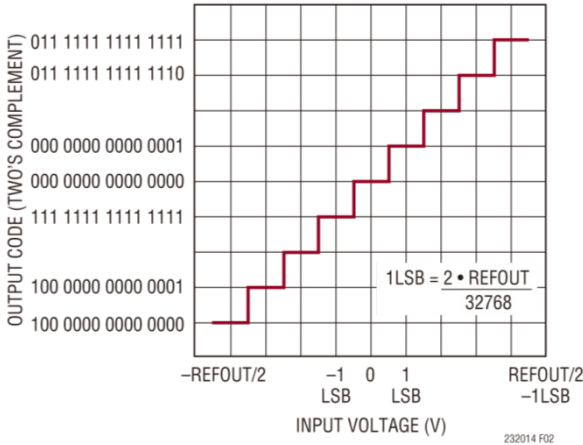


图 2. LTC2320-14 传递函数

模拟输入

LTC2320-14 的差分输入为转换各种模拟信号提供了极大的灵活性，无需配置。LTC2320-14 对 A_{IN}^{+} 和 A_{IN}^{-} 引脚之间的差分电压进行数字化，同时支持宽共模输入范围。模拟输入信号相互之间可以具有任意关系，只要它们保持在 V_{DD} 和 GND 之间。LTC2320-14 还可以对更多限定类别的模拟输入信号（例如，伪差分单极性/双极性和全差分）进行数字化，无需配置。

LTC2320-14 的模拟输入可以采用图 3 所示的等效电路进行建模。输入端的背对背二极管形成箝位，提供 ESD 保护。在采集阶段， 10pF (C_{IN}) 的采样电容与约为 15Ω (R_{ON}) 的采样开关导通电阻串联连接到输入。通过 ADC 采样器的共模抑制，可以减少两个输入共用的任何不需要的信号。ADC 内核的输入吸收小电流尖峰，同时在采集期间对 C_{IN} 电容充电。

应用信息

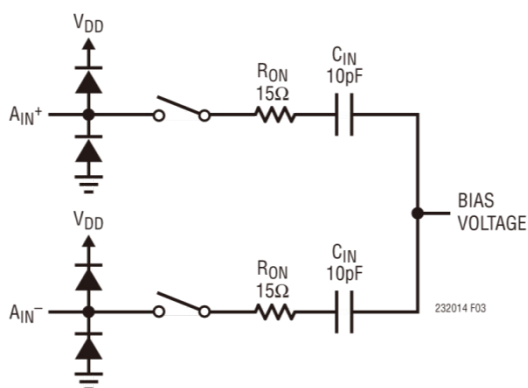


图 3. LTC2320-14 差分模拟输入的等效电路

单端信号

LTC2320-14 可以直接对单端信号数字化。为改善共模抑制，应该以伪差分方式检测这些信号。通过将主模拟信号的基准电压源信号（例如，接地检测）连接到另一个 A_{IN} 引脚，ADC 的高 CMRR 将会抑制这两个信号共有的任何噪声或干扰。LTC2320-14 的灵活性可处理伪差分单极性和双极性两种信号，无需配置。宽共模输入范围可放宽对模拟输入之前任何信号调理电路的精度要求。

伪差分双极性输入范围

伪差分双极性配置表示以固定电压（通常为 $V_{REF}/2$ ）驱动其中一个模拟输入，并将信号施加到另一个 A_{IN} 引脚。在这种情况下，模拟输入在固定输入两侧对称摆动，产生双极性二进制补码输出码，具有半满量程的 ADC 范围。图 4 所示为该配置，相应的传递函数如图 5 所示。固定模拟输入引脚无需设置为 $V_{REF}/2$ ，只需在 V_{DD} 轨内的某个点，允许交流输入在该电压两侧对称摆动。如果输入信号 $(A_{IN}^+ - A_{IN}^-)$ 摆动幅度超过 $\pm REFOUT1$ 、2、3、4/2，ADC 将会产生有效代码，在必要时必须由用户箝位。

伪差分单极性输入范围

伪差分单极性配置表示接地驱动一个模拟输入，并将信号施加到另一个 A_{IN} 引脚。在这种情况下，模拟输入在地和 V_{REF} 之间摆动，产生单极性二进制补码输出代码，具有半满量程的 ADC 跨度。图 6 所示为该配置，相应的传递函数如图 7 所示。如果输入信号 $(A_{IN}^+ - A_{IN}^-)$ 摆动到负电压，则 ADC 将会生成有效代码，在必要时必须由用户箝位。

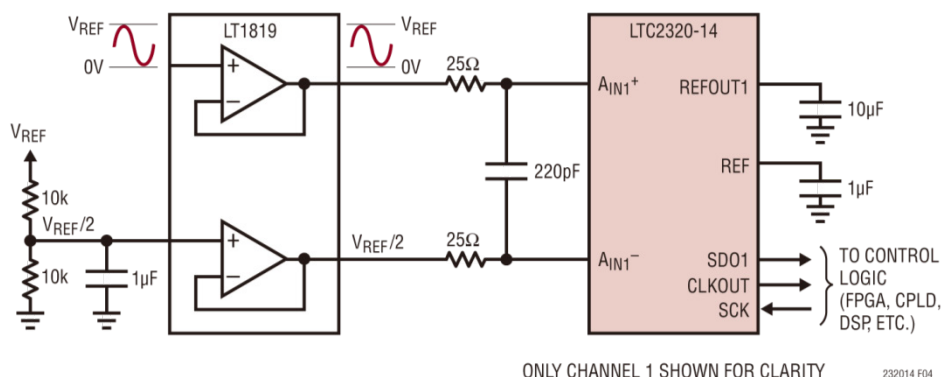


图 4. 伪差分双极性应用电路

应用信息

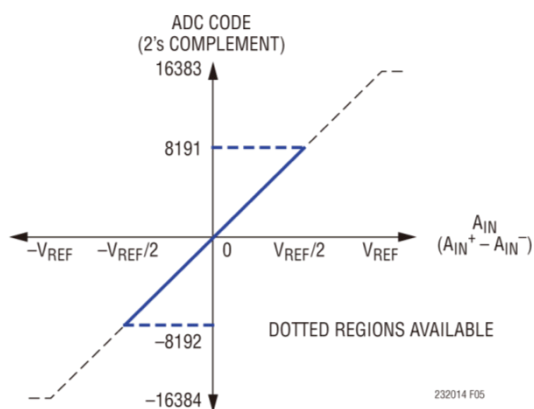


图 5. 伪差分双极性传递函数

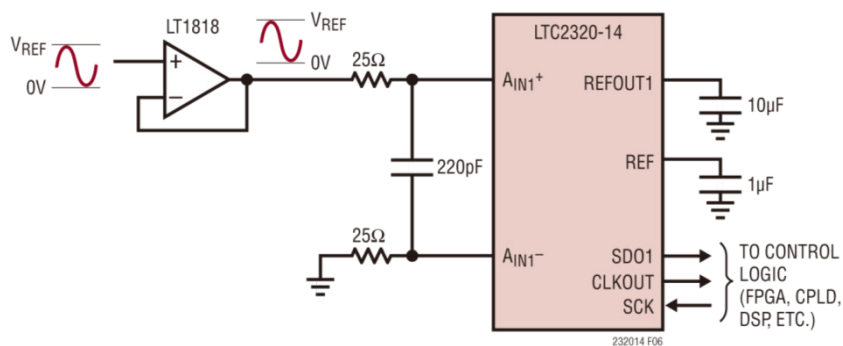


图 6. 伪差分单极性应用电路

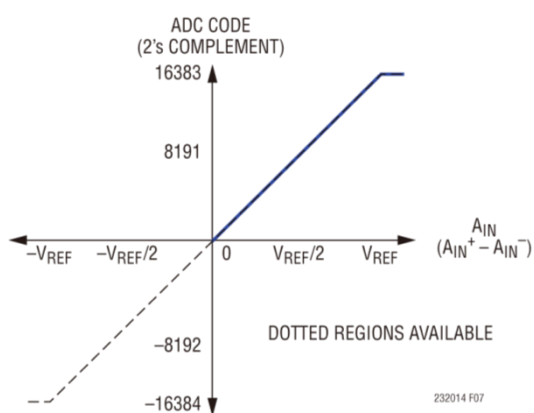


图 7. 伪差分单极性传递函数

应用信息

单端至差分转换

虽然如前所述，可以直接数字化单端信号，但是当需要更高的动态范围时，也可以使用单端到差分的转换电路。通过在 LTC2320-14 的输入端产生差分信号，可以最大程度地增大 ADC 信号摆幅，从而提高可实现的 SNR。

推荐采用 LT[®]1819 高速双运算放大器执行单端到差分转换，如图 8 所示。在这种情况下，第一个放大器配置为单位增益缓冲器，单端输入信号直接驱动该放大器的高阻抗输入。

全差分输入

为实现 LTC2320-14 的最佳失真性能，建议通过将 LT1819 放大器配置为两个单位增益缓冲器来驱动全差分信号，如图 9 所示。该电路在高达 500kHz 的输入频率下能实现 -90dB 的 THD 完整数据手册规范。全差分输入信号可以涵盖 ADC 的最大满量程，最高可达 $\pm \text{REFOUT1}$ 、

2、3、4。共模输入电压可以涵盖高达 V_{DD} 的整个电源范围 (受限于输入信号摆幅)。图 10 所示为全差分配置，相应的传递函数如图 11 所示。

输入驱动电路

低阻抗源可以直接驱动 LTC2320-14 的高阻抗输入，而不会出现增益误差。高阻抗源应进行缓冲，以最大限度地缩短采集阶段的建立时间，并优化 ADC 的失真性能。即使对于直流输入，最大限度地缩短建立时间也很重要，因为 ADC 输入在采集期间会产生电流尖峰。

为获得最佳性能，应该使用一个缓冲放大器来驱动 LTC2320-14 的模拟输入。该放大器可提供低输出阻抗，最大限度地减少增益误差，并允许在采集阶段快速建立模拟信号。它还在信号源和 ADC 输入之间提供隔离，从而在采集期间吸收小电流尖峰。

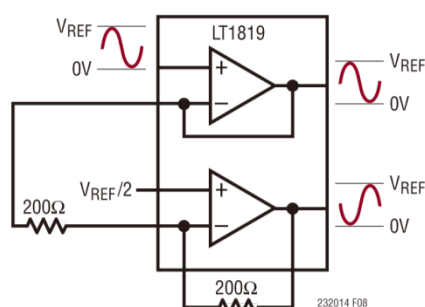


图 8. 单端至差分驱动器

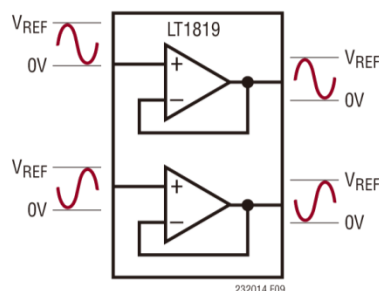


图 9. LT1819 缓冲全差分信号源

应用信息

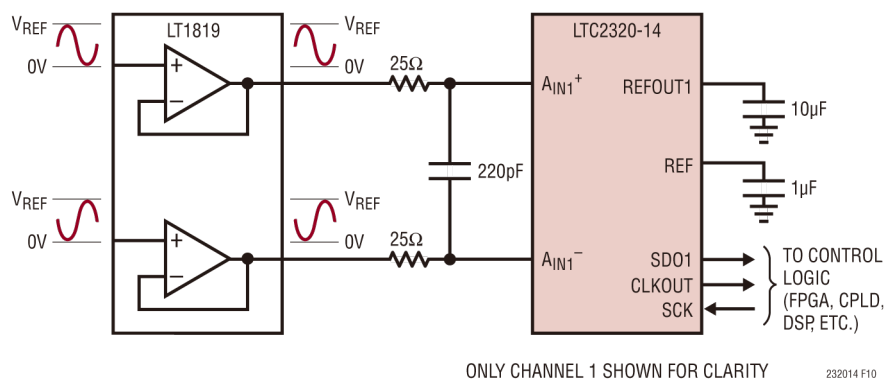


图 10. 全差分应用电路

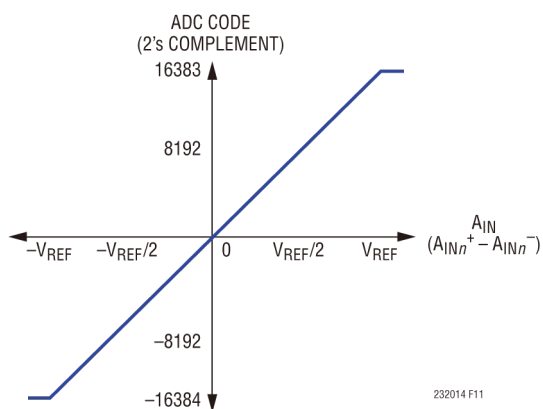


图 11. 全差分传递函数

应用信息

输入滤波

必须考虑缓冲放大器和信号源的噪声和失真，因为它们会增加 ADC 噪声和失真。在缓冲放大器输入之前，应使用低带宽滤波器对噪声输入信号进行滤波，以最大限度地降低噪声。图 12 所示的简单 1 极 RC 低通滤波器足以满足许多应用。

采样开关导通电阻 (R_{ON}) 和采样电容 (C_{IN}) 形成第二个低通滤波器，将 ADC 内核的输入带宽限制在 110MHz。必须选择具有低噪声密度的缓冲放大器，以最大限度减少该带宽上的 SNR 性能下降。

RC 滤波器应使用高质量的电容和电阻，因为这些元件会增加失真。NPO 和银云母型电介质电容具有优异的线性度。碳表面贴装电阻会因自发热和焊接过程中可能发生的损坏而产生失真。金属膜表面贴装电阻不易受这两个问题的影响。

ADC 基准电压源

内部基准电压源

LTC2320-14 具有片内低噪声、低漂移（最大 20ppm/°C）、温度补偿带隙基准电压源。它在内部进行缓冲，并在 REF（引脚 8）上提供。基准电压缓冲器的内部基准电压在 $V_{DD} = 5V$ 时为 4.096V，在 $V_{DD} = 3.3V$ 时为 2.048V。REF 引脚在限流输出 (250μA) 条件下可驱动 4 个内部基准电压缓冲器，因此可以通过 1.25V 至 5V 范围内的外部基准电压轻松实现过驱动。使用 1μF (X5R, 0805 尺寸) 陶瓷电容将 REF 旁路至 GND，以补偿基准电压缓冲器并最大限度地降低噪声。1μF 电容应尽可能靠近 LTC2320-14 的封装，以最大限度地降低布线电感。如果用于外部电路，REF 引脚上的电压必须外部缓冲。

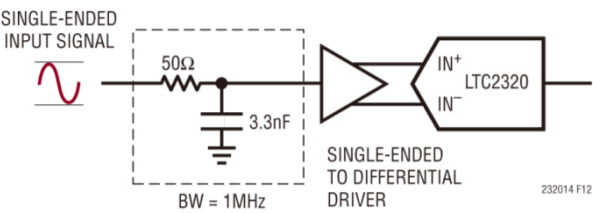


图 12. 输入信号链

表 2. 基准电压源配置和范围

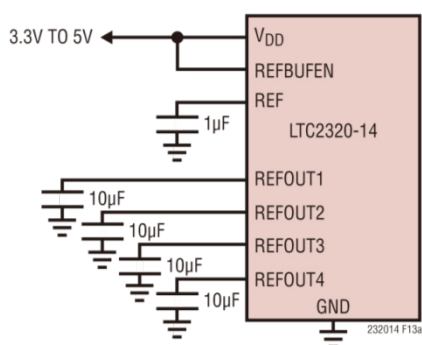
基准电压源配置	V_{DD}	REFBUFEN	REF 引脚	REFOUT1、2、3、4 引脚	差分输入范围引脚
使用内部缓冲器的内部基准电压源	5V	5V	4.096V	4.096V	±4.096V
	3.3V	3.3V	2.048V	2.048V	±2.048V
共用外部基准电压源，启用内部缓冲器 (REF 引脚外部过驱)	5V	5V	1.25V 至 5V	1.25V 至 3.3V	±1.25V 至 ±5V
	3.3V	3.3V	1.25V 至 5V	1.25V 至 3.3V	±1.25V 至 ±3.3V
外部基准电压源，禁用 REF 缓冲器	5V	0V	4.096V	1.25V 至 5V	±1.25V 至 ±5V
	3.3V	0V	2.048V	1.25V 至 3.3V	±1.25V 至 ±3.3V

应用信息

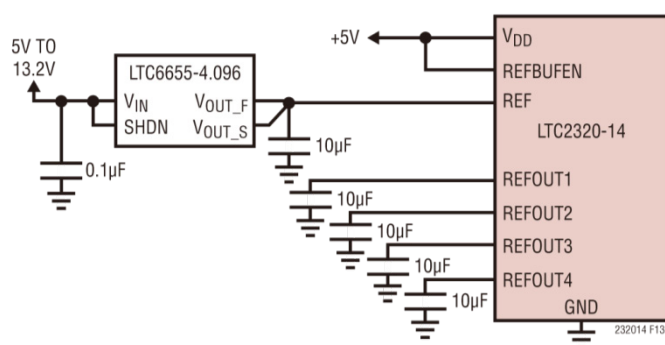
外部基准电压源

内部 REFOUT1、2、3、4 缓冲器也可以使用外部基准电压源在 REFOUT1、2、3、4 使用 1.25V 至 5V 的电压进行过驱动，如图 13 (c) 所示。为此，必须将 REFBUFEN 接地以禁用 REF 缓冲器。当 REF 缓冲器禁用时，REFOUT1、2、3、4 引脚会加载一个 55k 内部电阻。为了使输入信号摆幅和相应的 SNR 最大化，建议在过驱动 REFOUT 时使用 LTC6655-5。LTC6655-

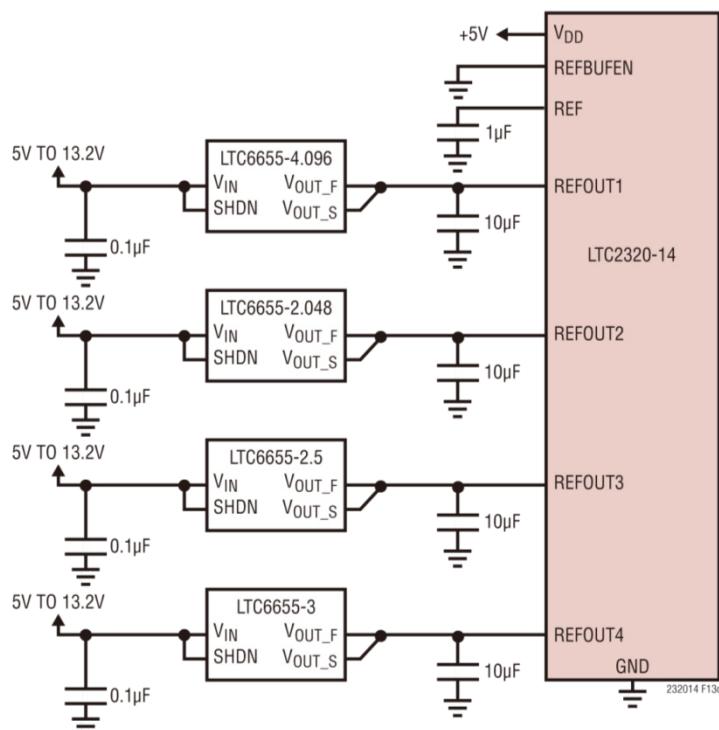
5 提供与 LTC6655-4.096 相同的小尺寸、精度、漂移和扩展温度范围。通过使用 5V 基准电压源，可以实现更高的 SNR。建议在靠近每个 REFOUT1、2、3、4 引脚处使用 10 μ F 陶瓷电容 (X5R, 0805 尺寸) 旁路 LTC6655-5。当 REFBUFEN 连接到 GND 时，如果将 REF 引脚电压用作 REFOUT 基准电压，则应在外部进行缓冲。



(13a) LTC2320-14 内部基准电压源电路



(13b) 带有共用外部基准电压源的 LTC2320-14 电路



(13c) 带有不同外部基准电压源的 LTC2320-14

图 13. 基准电压源连接

应用信息

内部基准电压缓冲器瞬态响应

LTC2320-14 的 REFOUT1、2、3、4 引脚在每个转换周期内从外部旁路电容消耗电荷 (Q_{CONV})。如果内部参考缓冲器被过驱动, 则外部参考电压必须为所有这些电荷提供相当于 $I_{\text{REF}} = Q_{\text{CONV}}/t_{\text{CYC}}$ 的直流电流。因此, $I_{\text{REFOUT1, 2, 3, 4}}$ 的直流电流消耗取决于采样率和输出代码。在长时间空闲后采集突发采样的应用中, 如图 14 所示, 对于 1.5Msps 下 REFOUT = 5V 时, I_{REFBUF} 从 75 μA 左右快速变为最大 500 μA 。该直流电流阶跃消耗会触发外部基准电压源的瞬态响应, 必须予以考虑, 因为 REFOUT 电压的任何偏差都会影响输出代码的精度。如果使用外部基准电压源来过驱 REFOUT1、2、3、4, 建议使用快速建立的 LTC6655 系列基准电压源。

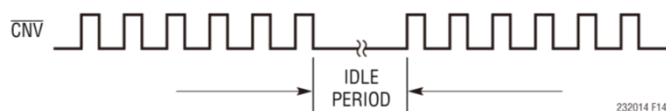


图 14. 显示突发采样的 CNV 波形

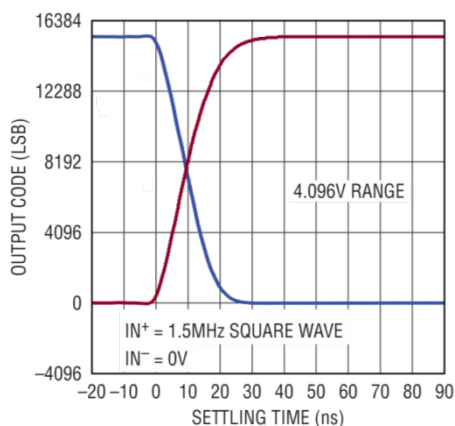


图 15. LTC2320-14 瞬态响应

动态性能

快速傅立叶变换 (FFT) 技术用于测试 ADC 在额定吞吐速率下的频率响应、失真和噪声。通过应用低失真正弦波并使用 FFT 算法分析数字输出, 可以检查 ADC 的频谱内容以寻找基频之外的频率。针对交流失真和噪声测量, LTC2320-14 提供有保证的经过测试的限值。

信纳比 (SINAD)

信纳比 (SINAD) 是基波输入频率的 RMS 幅度与 A/D 输出端所有其他频率分量的 RMS 幅度之比。输出带宽限制在直流以上、采样频率一半以下的频率范围内。图 16 显示 LTC2320-14 在 1.5MHz 采样速率并使用 500kHz 输入的情况下实现了典型值 80dB 的 SINAD。

信噪比 (SNR)

信噪比 (SNR) 是基波输入频率的 RMS 幅度与除前五次谐波和 DC 之外的所有其他频率分量的 RMS 幅度之比。图 16 显示 LTC2320-14 在 1.5MHz 采样速率并使用真双极性 500kHz 输入信号的情况下实现了典型值 81dB 的 SNR。

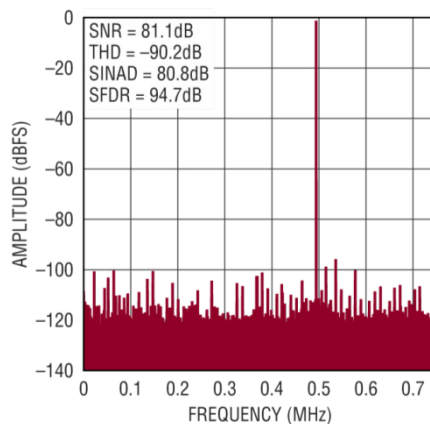


图 16. LTC2320-14 32k 点 FFT

应用信息

总谐波失真 (THD)

总谐波失真 (THD) 是输入信号的所有谐波 RMS 和与基波本身的比值。带外谐波混叠到 DC 和半采样频率 ($f_{\text{SMPL}}/2$) 之间的频带。THD 表示为:

$$\text{THD} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1}$$

其中, V_1 为基频的 RMS 幅度, V_2 至 V_N 为第 2 到第 N 次谐波的幅度。

功耗考虑

LTC2320-14 需要两个电源: 3.3V 至 5V 电源 (V_{DD}) 和数字输入/输出接口电源 (OV_{DD})。灵活的 OV_{DD} 电源允许 LTC2320-14 与工作在 1.8V 和 2.5V 之间的任何数字逻辑通信。使用 LVDS I/O 时, OV_{DD} 电源必须设置为 2.5V。

上电顺序

LTC2320-14 没有特别的上电顺序要求。应注意遵守“绝对最大额定值”部分中说明的最大电压关系。LTC2320-14 具有上电复位 (POR) 电路, 在初始上电或电源电压降至 2V 以下时将复位 LTC2320-14。一旦电源电压重新进入标称电源电压范围, POR 就会重新初始化 ADC。在 POR 事件发生后, 应等待 10ms 才能启动转换, 以确保重新初始化过程结束。任何在这些时间之前启动的转换都将产生无效结果。

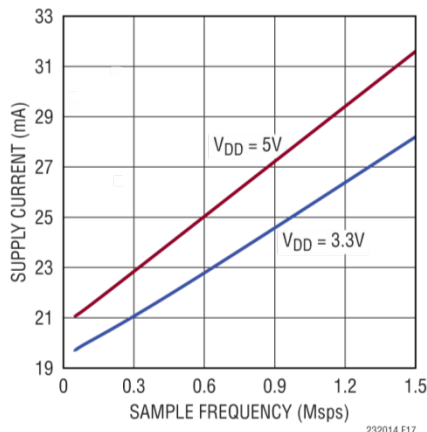


图 17. LTC2320-14 电源电流与采样速率的关系

时序和控制

CNV 时序

LTC2320-14 的采样和转换由 $\overline{\text{CNV}}$ 控制。 $\overline{\text{CNV}}$ 的上升沿将开始采样过程, 下降沿则开始转换和读取过程。转换过程的时序由 SCK 输入时钟确定。为获得最佳性能, 应使用干净的低抖动信号驱动 $\overline{\text{CNV}}$ 。数据手册后面的典型应用说明了推荐的实现方式, 以减少来自 FPGA $\overline{\text{CNV}}$ 脉冲源的相对较大的抖动。请注意, 低抖动输入时钟决定 $\overline{\text{CNV}}$ 信号下降沿的时序。 $\overline{\text{CNV}}$ 的上升沿抖动对性能的影响要小得多。 $\overline{\text{CNV}}$ 信号的典型脉冲宽度为 30ns, 上升和下降时间 <1.5ns, 转换速率为 1.5Msps。

SCK 串行数据时钟输入

在 SDR 模式下 (SDR/DDR 引脚 23 = GND), 该时钟的下降沿将转换结果 MSB 优先移位到 SDO 引脚。为了使用所有 8 个 SDO 输出实现 1.5Msps 的吞吐量, 必须在 SCK 引脚上施加一个 100MHz 的外部时钟。在 DDR 模式下 (SDR/DDR 引脚 23 = OV_{DD}), SCK 的每个输入边沿将转换结果 MSB 优先移位到 SDO 引脚。为了使用 SDO1 至 SDO8 所有 8 个输出实现 1.5Msps 的吞吐量, 必须在 SCK 引脚上施加一个 50MHz 的外部时钟。

CLKOUT 串行数据时钟输出

CLKOUT 输出提供一个偏斜匹配时钟, 用于锁存接收器上的 SDO 输出。CLKOUT 和 SDO 输出的时序偏差是匹配的。对于高吞吐量应用, 使用 CLKOUT 代替 SCK 来捕获 SDO 输出可以简化接收器的时序要求。对于低吞吐速率的应用, 可以通过将引脚 34 连接到 OV_{DD} 来禁用 CLKOUT。

应用信息

休眠/睡眠模式

休眠模式是一种无需牺牲后续转换上电延迟的节省功耗的方法。睡眠模式可以大幅节省功耗，但因允许基准电压源和电源系统有效会产生上电延迟。要使 LTC2320-14 进入休眠模式，必须保持 SCK 信号为高电平或低电平，并且必须施加两个 $\overline{\text{CNV}}$ 脉冲系列。在 CMOS 和 LVDS 模式下都是如此。 $\overline{\text{CNV}}$ 的第 2 个上升沿会启动休眠状态。休眠状态将一直持续到施加了 SCK 的单个上升沿或下一个 $\overline{\text{CNV}}$ 脉冲为止。SCK 上升沿将使 LTC2320-14 重新进入工作 (全功率) 状态。在休眠模式下，两个额外的脉冲将使 LTC2320-14 进入睡眠模式。当配置为 CMOS I/O 操作时，SCK 的单个上升沿可使 LTC2320-14 返回工作模式。退出睡眠模式后，需要 10ms 的延迟以允许基准电压缓冲器为外部滤波电容充电。在 LVDS 模式下，通过提供第 5 个 $\overline{\text{CNV}}$ 脉冲退出睡眠模式。第 5 个脉冲将使 LTC2320-14 返回工作模式，下一个 SCK 脉冲则将使器件不再重新进入休眠和睡眠模式。在 CMOS 模式下，第 5 个 SCK 脉冲也可以用作退出睡眠的方法。在没有 SCK 脉冲的情况下， $\overline{\text{CNV}}$ 重复脉冲将使 LTC2320-14 在操作、休眠和睡眠模式之间无限循环。

有关睡眠和休眠模式更详细的时序信息，请参阅图 18、图 19、图 20 和图 21 中的时序图。

数字接口

LTC2320-14 具有串行数字接口，使用简单直接。灵活的 OVDD 电源允许 LTC2320-14 与工作在 1.8V 和 2.5V 之间的任何数字逻辑通信。除标准 CMOS SPI 接口外，LTC2320-14 还提供可选的 LVDS SPI 接口，以支持低噪声数字设计。 $\overline{\text{CMOS}}$ /LVDS 引脚用作数字接口模式选择。SCK 输入时钟将转换结果 MSB 优先移位到 SDO 引脚。CLKOUT 提供一个偏斜匹配时钟，用于锁存接收器上的 SDO 输出。CLKOUT

和 SDO 输出的时序偏差是匹配的。对于高吞吐量应用，使用 CLKOUT 代替 SCK 来捕获 SDO 输出可以简化接收器的时序要求。在 CMOS 模式下，使用 SDO1 至 SDO8 和 CLKOUT 引脚作为输出。使用 SCK 引脚作为输入。在 LVDS 模式下，通过 SDOD+/SDOD- 和 CLKOUT+/CLKOUT- 引脚使用 SDOA+/SDOA- 作为差分输出。每个 LVDS 通道产生两个通道的数据值：SDOA 产生 CH1 和 CH2 的数据，SDOB 产生 CH3 和 CH4 的数据，SDOC 产生 CH5 和 CH6 的数据，SDOD 则产生 CH7 和 CH8 的数据。它们必须利用接收器 (FPGA) 上的 100Ω 电阻以差分方式端接。SCK+/SCK- 引脚为差分输入，必须使用接收器 (ADC) 上的 100Ω 外部电阻差分端接。

SDR/DDR 模式

LTC2320-14 可采用 SDR (单倍数据速率) 和 DDR (双倍数据速率) 模式从 SDO 引脚读取转换数据。在这两种模式下，CLKOUT 都是 SCK 的延迟版本。在 SDR 模式下，SCK 的每个负边沿将转换数据移位输出到 SDO 引脚。在 DDR 模式下，SCK 输入的每个边沿将转换数据移位输出。DDR 模式所需的 SCK 频率是 SDR 模式的一半。将 $\overline{\text{SDR/DDR}}$ 接地以配置为 SDR 模式，接至 OV_{DD} 则配置为 DDR 模式。CLKOUT 信号是 SCK 输入的延迟版本，相位与 SDO 数据保持一致。在 SDR 模式下，SDO 在 CLKOUT 的下降沿进行转换，如图 21 所示。建议在 SDR 模式下使用 CLKOUT 的上升沿将 SDO 数据锁存到 FPGA 寄存器中。在 DDR 模式下，SDO 在 SCK 的每个输入沿发生转换。建议在 DDR 模式下使用 CLKOUT 上升沿和下降沿将 SDO 数据锁存到 FPGA 寄存器中。在 DDR 模式下，由于 CLKOUT 和 SDO 数据的相位保持一致，因此需要在 FPGA 中数字延迟 SDO 信号，以便提供足够的建立和保持时序余量。

应用信息

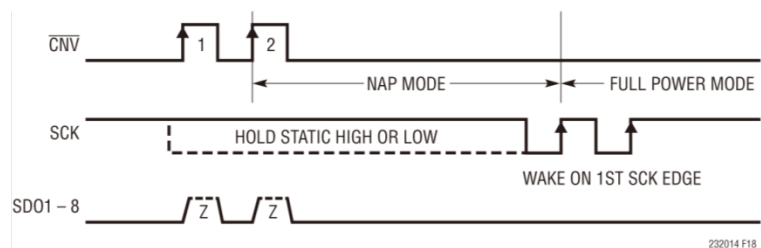


图 18. CMOS 和 LVDS 模式下使用 SCK 的休眠和唤醒

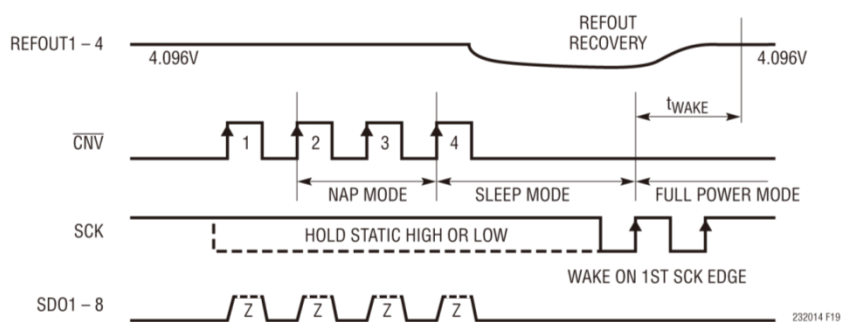
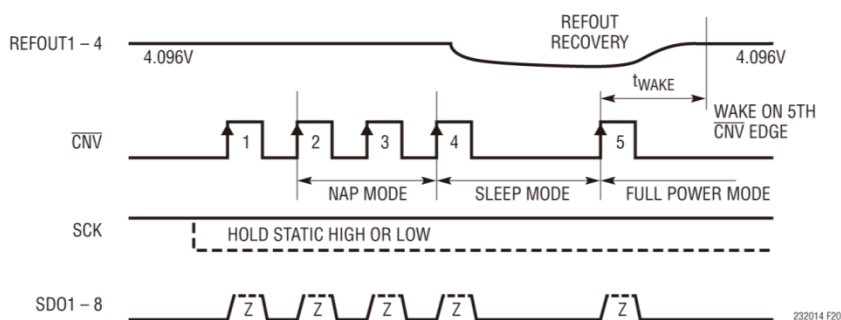


图 19. CMOS 模式下使用 SCK 的睡眠和唤醒

图 20. LVDS 和 CMOS 模式下使用 $\overline{\text{CNV}}$ 的睡眠和唤醒

应用信息

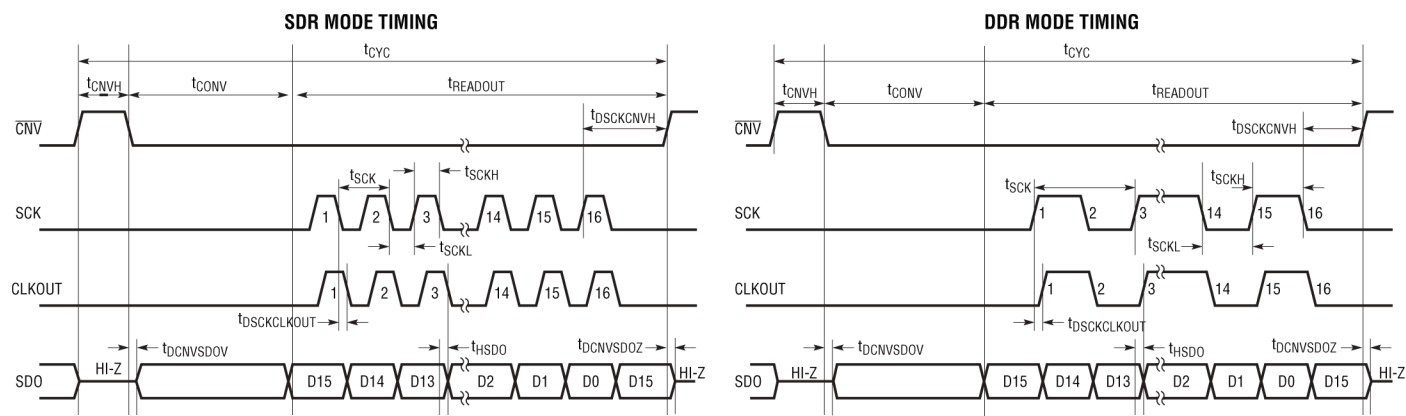


图 21. LTC2320-14 时序图

232014 F21

应用信息

多个数据通道

LTC2320-14 在 CMOS 模式下支持多达 8 个 SDO 数据通道，在 LVDS 模式下则支持 4 个 SDO 通道。在 CMOS 模式下，数据通道数的可能范围为 8 个 (SDO1 – SDO8)、4 个 (SDO1、SDO3、SDO5 和 SDO7)、2 个 (SDO1 和 SDO5) 以及 1 个 (SDO1)。通常，使用的数据通道数越多，所需的 SCK 频率就越低。当在 CMOS 模式下使用少于 8 个通道时，最大可能转换频率受到限制 (参见表 3)。每个 SDO 引脚将保存转换数据的 MSB。在 DDR 模式下，可以使用 SDR 模式下一半的 SCK 频率。有关各种可能性的示例以及所需的 SCK 频率，请参见表 3。

多个数据通道

LTC2320-14 在 CMOS 模式下支持多达 8 个串行数据输出数据通道，在 LVDS 模式下则支持 4 个串行数据输出通道对。每个通道上的数据由 14 位转换结果组成，以 MSB 优先方式提供。

CMOS

在 CMOS 模式下，数据通道数的可能范围为 8 个 (SDO1 – SDO8)、4 个 (SDO1、SDO3、SDO5 和 SDO7)、2 个 (SDO1 和 SDO5) 以及 1 个 (SDO1)。如 CMOS 时序图所示，每个 SDO 通道以顺序循环方式输出所有模拟输入通道的转换结果。例如，SDO1 上输出的第一个转换结

果对应于模拟输入通道 1，接着是通道 2 至 8 的转换结果。SDO1 上输出的数据随后回绕到通道 1，该模式无限重复下去。其他 SDO 通道遵循类似的循环模式，区别是每个通道上呈现的第一个转换结果对应于与其相关的模拟输入通道。

无法支持全部 8 个串行数据通道的应用可以使用较少的通道，无需重新配置 LTC2320-14。例如，从 SDO1、SDO3、SDO5 和 SDO7 各捕获前两个转换结果 (在 SDR 模式下总共 32 个 SCK 周期，在 DDR 模式下则为 32 个 SCK 边沿)，便可分别提供模拟输入通道 1 和 2、3 和 4、5 和 6、7 和 8 的数据，这样只用到 4 个输出通道。类似地，从 SDO1 和 SDO5 各捕获前 4 个转换结果 (在 SDR 模式下总共 64 个 SCK 周期，在 DDR 模式下则为 64 个 SCK 边沿)，便可分别提供模拟输入通道 1 至 4、5 至 8 的数据，这样只用到两个输出通道。如果只能支持一个通道，从 SDO1 捕获前 8 个转换结果 (在 SDR 模式下总共 128 个 SCK 周期，在 DDR 模式下则为 128 个 SCK 边沿) 即可提供所有模拟输入通道的数据。通常，使用的数据通道数越多，所需的 SCK 频率就越低。当在 CMOS 模式下使用少于 8 个通道时，最大可能转换频率受到限制。有关各种可能性的示例以及所需的 SCK 频率，请参见表 3。

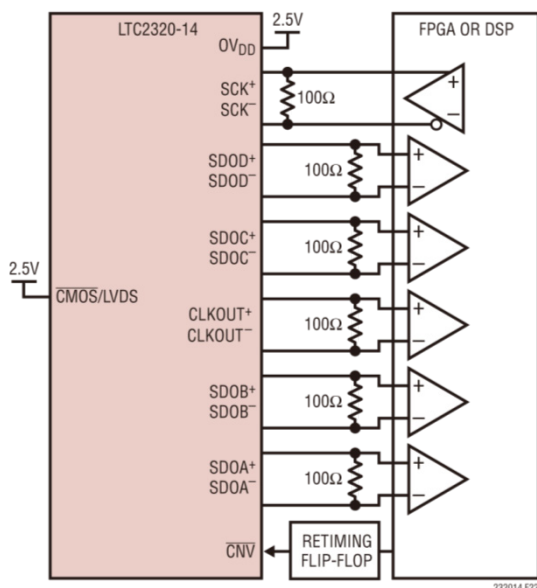


图 22. 使用 LVDS 接口的 LTC2320-14

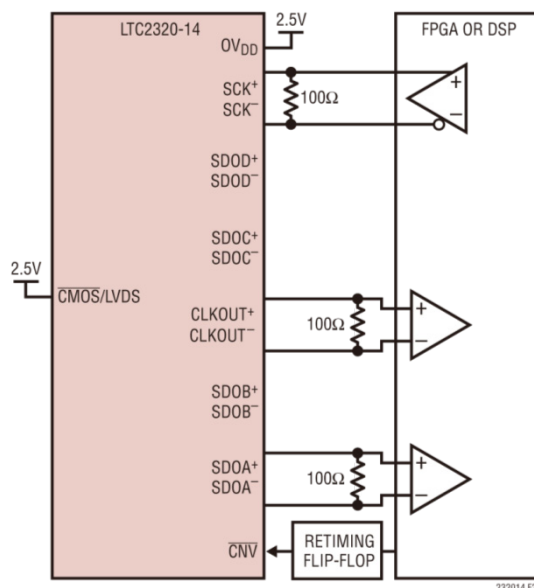


图 23. 使用带一个通道的 LVDS 接口的 LTC2320-14

应用信息

LVDS

在 LVDS 模式下, 数据通道对数的可能范围为 4 个 (SDOA – SDOD)、2 个 (SDOA 和 SDOC) 以及 1 个 (SDOA)。如 LVDS 时序图所示, 每个 SDO 通道对以顺序循环方式输出所有模拟输入通道的转换结果。例如, SDOA 上输出的第一个转换结果对应于模拟输入通道对 1 和 2, 接着是通道 3 至 8 的转换结果。SDOA 上输出的数据随后回绕到通道 1, 该模式无限重复下去。其他 SDO 通道遵循类似的循环模式, 区别是每个通道上呈现的第一个转换结果对应于与其相关的模拟输入通道。(SDOA 对应于模拟输入 1 和 2, SDOB 对应于模拟输入 3 和 4, SDOC 对应于模拟输入 5 和 6, SDOD 对应于模拟输入 7 和 8)。

无法支持全部 4 个串行数据通道的应用可以使用较少的通道, 无需重新配置 LTC2320-14。例如, 从 SDOA 和 SDOC 各捕获前 4 个转换结果 (在 SDR 模式下总共 64 个 SCK 周期, 在 DDR 模式下则为 64 个 SCK 边沿), 便可分别提供模拟输入通道 1 至 4、5 至 8 的数据, 这样只用到两个输出通道。如果只能支持一个通道, 从 SDOA 捕获前 8 个转换结果 (在 SDR 模式下总共 128 个 SCK 周期, 在 DDR 模式下

则为 128 个 SCK 边沿) 即可提供所有模拟输入通道的数据。通常, 使用的数据通道数越多, 所需的 SCK 频率就越低。当在 LVDS 模式下使用少于 4 个通道时, 最大可能转换频率受到限制。有关各种可能性的示例以及所需的 SCK 频率, 请参见表 3。

电路板布局

为了获得 LTC2320-14 的最佳性能, 建议使用印刷电路板。印刷电路板 (PCB) 布局应确保数字和模拟信号线尽可能分开。尤其是应注意不要在模拟信号旁边或 ADC 下方布设任何数字时钟或信号。

电源旁路电容应尽可能靠近电源引脚放置。这些旁路电容的低阻抗公共回路对于 ADC 的低噪声操作至关重要。为此, 建议使用单个实接地层。如果可能, 应使用接地屏蔽模拟输入走线。

推荐布局

有关此转换器的参考设计的详细信息, 包括原理图和 PCB 布局, 请参考 LTC2320-14 的评估套件 [DC2395A](#)。

表 3. 不同 I/O 模式的转换频率

I/O 模式	CMOS / LVDS 引脚	SDR/ DDR 引脚	SDO1 – 8 通道	SDOA – D 通道	SCK 频率 (MHz)	CLKOUT 频率 (MHz)	SCK 周期	OV _{DD}	转换频率 (每通道 Msps)
CMOS	GND (CMOS)	GND (SDR)	SDO1 – SDO8		100	100	16	1.8V 至 2.5V	1.5
		OV _{DD} (DDR)	SDO1 – SDO8		50	50	8		1.5
		OV _{DD} (DDR)	SDO1、SDO3、SDO5、SDO7		50	50	16		1.25
		GND (SDR)	SDO1		100	100	128		0.5
LVDS	OV _{DD} (LVDS)	GND (SDR)		SDOA – SDOD	200	200	32	2.5V	1.5
		OV _{DD} (DDR)		SDOA – SDOD	100	100	16		1.5
		OV _{DD} (DDR)		SDOA、SDOC	150	150	32		1.4
		GND (SDR)		SDOA	300	300	128		1.0

注释: 转换周期 (SDR) = $t_{\text{CNV_MIN}} + t_{\text{CONV_MAX}} + (128/(\text{通道数} \cdot f_{\text{SCK}}))$

转换周期 (DDR) = $t_{\text{CNV_MIN}} + t_{\text{CONV_MAX}} + (64/(\text{通道数} \cdot f_{\text{SCK}}))$

转换频率 = 1/转换周期

SCK 周期 (SDR) = 128/通道数

SCK 周期 (DDR) = 64/通道数

修订历史

修订版	日期	说明	页码
A	01/18	更正无延迟操作。	18、25

