



TMS570LS0232 16 位和 32 位 RISC 闪存微控制器

1 器件概述

1.1 特性

- 针对安全关键应用的高性能微控制器
 - 运行在锁步中的双中央处理单元 (CPU)
 - 闪存和 RAM 接口上的 ECC
 - 针对 CPU 和片上 RAM 的内置自检
 - 带有错误引脚的错误信令模块
 - 电压和时钟监视
- ARM® Cortex®-R4 32 位 RISC CPU
 - 带有 8 级管线的高效 1.66 DMIPS/MHz
 - 8 区域内存保护单元
 - 带有第三方支持的开放式架构
- 运行条件
 - 80MHz 系统时钟
 - 内核电源电压 (V_{CC}): 标称 1.2V
 - I/O 电源电压 (V_{CCIO}): 标称 3.3V
 - ADC 电源电压 (V_{CCAD}): 标称 3.3V
- 集成存储器
 - 128KB 且支持 ECC 的程序闪存
 - 支持 ECC 的 32KB RAM
 - 支持 ECC、用于仿真 EERPOM 的 16KB 闪存
- Hercules™ 通用平台架构
 - 系列间一致的存储器映射
 - 实时中断 (RTI) 定时器 (操作系统 (OS) 定时器)
 - 96 通道矢量中断模块 (VIM)
 - 2 通道循环冗余校验器 (CRC)
- 带有内置跳周检测器的调频锁相环 (FMPLL)
- IEEE 1149.1 JTAG, 边界扫描和 ARM CoreSight™ 组件
- 高级 JTAG 安全模块 (AJSM)
- 多通信接口
 - 两个控制器局域网 (CAN) 控制器 (DCAN)
 - DCAN1 - 32 个具有奇偶校验保护的邮箱
 - DCAN2 - 16 个具有奇偶校验保护的邮箱
 - 与 CAN 协议 2.0B 版兼容
 - 多通道缓冲串行外设接口 (MibSPI) 模块
 - 128 个具有奇偶校验保护的字节
 - 两个标准串行外设接口 (SPI) 模块
 - 支持本地互连网络 (LIN 2.1) 接口的 UART (SCI) 接口
- 高端定时器 (N2HET) 模块
 - 多达 19 个可编程引脚
 - 带有奇偶校验保护的 128 字指令 RAM
 - 专用高端定时器传输单元 (HTU)
- 增强型正交编码器脉冲 (eQEP) 模块
 - 电机位置编码器接口
- 12 位多通道缓冲模数转换器 (ADC) 模块
 - 16 个通道
 - 64 个具有奇偶校验保护的结果缓冲器
- 多达 45 个通用 I/O (GPIO) 功能引脚
 - 8 个专用 GPIO 引脚, 最多带有 8 个外部中断
- 封装
 - 100 引脚四方扁平封装 (PZ) [绿色环保]



1.2 应用

- 刹车系统（防抱死系统 (ABS) 和电子稳定控制系统 (ESC)）
- 电子助力转向 (EPS)
- 电动泵控制
- 电池管理系统
- 主动驾驶员辅助系统
- 航天和航空电子设备
- 轨道交通
- 越野车

1.3 说明

TMS570LS0232 器件是用于安全系统的高性能汽车级微控制器系列。该安全架构包括锁步中的双 CPU，CPU 和内存内置自检 (BIST) 逻辑，闪存和数据 SRAM 上的 ECC，外设存储器上的奇偶校验以及外设 IO 上的回路功能。

TMS570LS0232 器件集成了 ARM Cortex-R4 CPU，该 CPU 提供高效 1.66 DMIPS/MHz，运行频率高达 80MHz，可提供高达 132 DMIPS。此器件支持大端序 (BE32) 格式。

TMS570LS0232 器件具有 128KB 集成闪存以及 32KB 数据 RAM，具有单位纠错和双位错误检测功能。该器件上的闪存存储器是实现了 64 位宽数据总线接口的可电擦除且可编程的非易失性存储器。对于所有读取、编程和擦除操作，该闪存都工作在 3.3V 电源输入（与 I/O 电源相同的电平）。当处于管线模式时，闪存可在 80MHz 的系统时钟频率下工作。SRAM 在整个支持的频率范围内支持字节、半子和字模式的单周期读取/写入访问。

TMS570LS0232 器件具有针对实时控制类应用的外设，包括带有总共最多 19 个 I/O 引脚的新一代高端定时器 (N2HET) 时序协处理器和支持 16 个输入的 12 位模数转换器 (ADC)，采用 100 引脚封装。

N2HET1 是一款高级智能定时器，此定时器能够为实时应用提供精密的计时功能。该定时器为软件控制型，采用一个精简指令集，并具有一个专用的定时器微级机和一个连接的 I/O 端口。N2HET 可用于脉宽调制输出、捕捉或比较输入，或 GPIO。N2HET 特别适合于要求多个传感器信息并且用复杂和准确时间脉冲来驱动致动器的应用。一个高端定时器传输单元 (HTU) 能够执行 DMA 类型处理来与主存储器之间传输 N2HET 数据。一个内存保护单元 (MPU) 被内置于 HTU 内。

增强型正交编码器脉冲 (eQEP) 模块用于直接连接一个线性或旋转递增编码器，进而从一个高性能运动和位置控制系统中正在旋转的机械中获得位置、方向、和速度信息。

该器件具有一个 12 位分辨率 MibADC，共有 16 个通道以及带奇偶校验保护的 64 字缓冲 RAM。MibADC 通道可被独立转换或者可针对顺序转换序列由软件分组。有三个独立的组。每个组可在被触发时转换一次，或者通过配置以执行连续转换模式。

该器件有多个通信接口：一个 MibSPI，两个 SPI，一个 UART/LIN 和两个 DCAN。SPI 为相似的移位寄存器类型器件之间的高速通信提供了一种便捷的串行交互方法。UART/LIN 支持本地互联标准 2.1 并可被用作一个使用标准不归零码 (NRZ) 格式的全双工模式 UART。DCAN 支持 CAN 2.0B 协议标准并使用串行多主机通信协议，此协议有效支持对最高速率为 1Mbps 的稳健通信实现分布式实时控制。DCAN 非常适合嘈杂和恶劣环境中的应用（例如：汽车和工业领域），此类应用需要可靠的串行通信或多路复用布线。

该调频锁相环 (FMPLL) 时钟模块被用来将外部频率基准与一个内部使用的更高频率相乘。FMPLL 为全局时钟模块 (GCM) 提供 5 个可能时钟源输入中的一个。GCM 管理可用时钟源与器件时钟域间的映射。

该器件还具有一个外部时钟预分频器 (ECP) 模块。当 ECP 启用时，它在 ECLK 引脚上输出连续的外部时钟。ECLK 频率与外设接口时钟 (VCLK) 频率的比例是用户可编程的。该低频输出可进行外部监视，作为器件运行频率的指示器。

信令模块 (ESM) 监控所有器件错误并在检测到故障时确定是触发一个中断还是触发一个外部错误引脚。可从外部监视 nERROR 引脚，作为微控制器内故障条件的指示器。

I/O 多路复用和控制模块 (IOMM) 允许配置输入/输出引脚以支持替代功能。有关本器件上支持多个功能的引脚列表，请参见表 3-17。

凭借集成的安全特性以及各类通信和控制外设，TMS570LS0232 器件已成为对安全要求严格的实时控制应用的理想解决方案。

器件信息⁽¹⁾

器件编号	封装	封装尺寸
TMS570LS0232PZ	LQFP (100)	14.00mm x 14.00mm

(1) 更多信息请参见 节 8，机械封装和可订购产品信息。

图 1-1 显示器件的功能方框图。

图 1-1. 功能方框图

内容

1	器件概述	1	5.9	闪存存储器	46
1.1	特性	1	5.10	程序闪存的闪存编程和擦除时序	48
1.2	应用	2	5.11	闪存编程和擦除时序数据闪存	48
1.3	说明	3	5.12	紧耦合 RAM 接口模块	49
1.4	功能方框图	4	5.13	用于外设 RAM 访问的奇偶校验保护	49
2	修订历史记录	6	5.14	片载 SRAM 初始化和测试	51
3	器件封装和引脚功能	7	5.15	矢量中断管理器	53
3.1	PZ QFP 封装引脚分配 (100 引脚)	7	5.16	实时中断模块	55
3.2	引脚配置和功能	8	5.17	错误指令模块	57
3.3	输出复用和控制	14	5.18	复位/异常中断/错误状态	61
3.4	特定复用选项	15	5.19	数字窗口式看门狗	62
4	规范	16	5.20	调试子系统	63
4.1	自然通风运行温度范围内的最大绝对值,	16	6	外设信息和电气技术规范	67
4.2	处理额定值	16	6.1	外设图例	67
4.3	上电小时数 (POH)	16	6.2	多缓冲 12 位模数转换器	67
4.4	建议的运行条件	17	6.3	通用输入/输出	75
4.5	建议时钟域运行条件下的开关特性	17	6.4	增强型高端定时器 (N2HET)	76
4.6	要求等待状态	18	6.5	控制器局域网 (DCAN)	79
4.7	推荐运行条件内的功耗	19	6.6	本地互连网络接口 (LIN)	80
4.8	PZ 的热阻特性	20	6.7	多缓冲/标准串行外设接口	81
4.9	推荐运行条件下的输入/输出电气特性	20	6.8	增强型正交编码器 (eQEP)	91
4.10	输出缓冲器驱动强度	21	7	器件和文档支持	93
4.11	输入时序	22	7.1	器件支持	93
4.12	输出时序	23	7.2	文档支持	95
5	系统信息和电气技术规范	25	7.3	社区资源	95
5.1	电压监视器特性	25	7.4	商标	95
5.2	电源排序和加电复位	26	7.5	静电放电警告	95
5.3	热复位 (nRST)	28	7.6	术语表	95
5.4	ARM Cortex-R4 CPU 信息	29	7.7	器件识别码寄存器	95
5.5	时钟	32	7.8	芯片识别寄存器	96
5.6	时钟监视	39	7.9	模块认证	97
5.7	去毛刺脉冲滤波器	41	8	机械、封装和可订购产品附录	102
5.8	器件存储器映射	42	8.1	封装信息	102

2 修订历史记录

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

日期	修订版本	注释
2014 年 8 月	*	最初发布版本

3 器件封装和引脚功能

3.1 PZ QFP 封装引脚分配 (100 引脚)

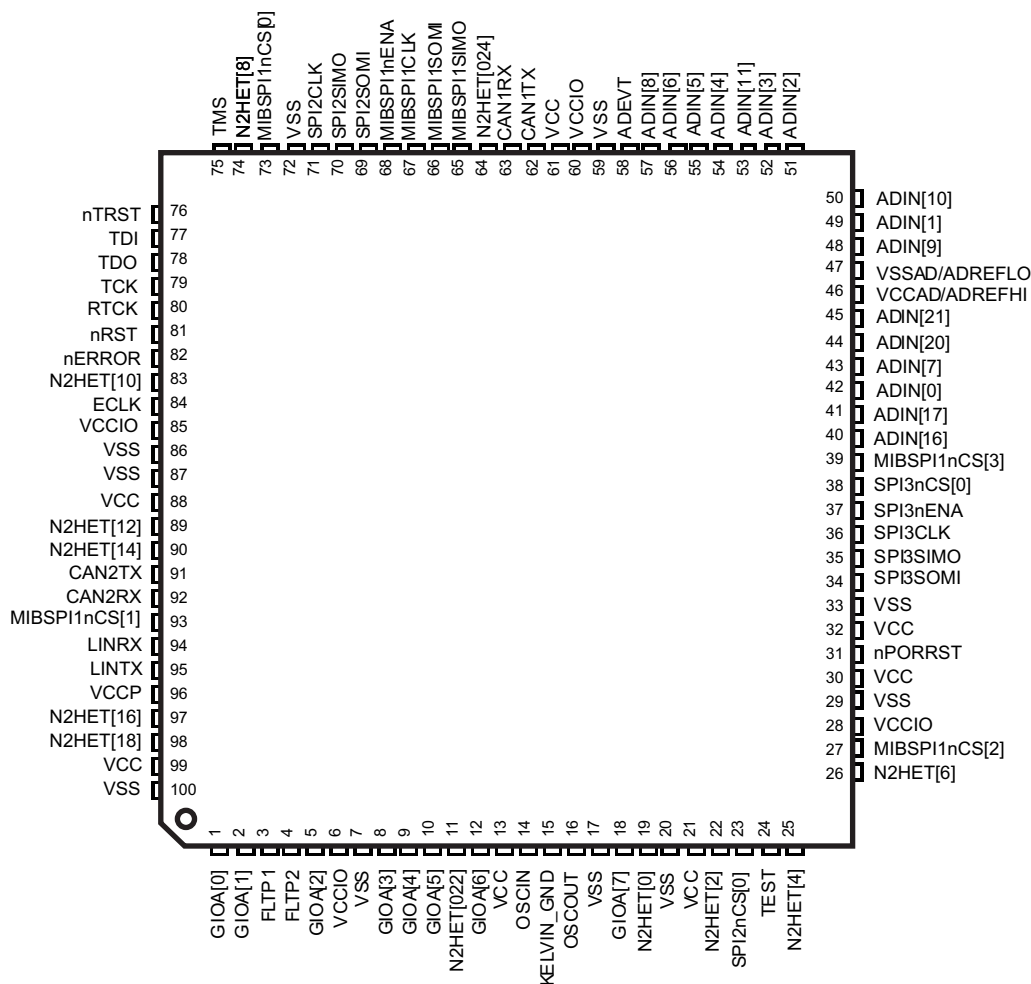


图 3-1. PZ QFP 封装引脚分配 (100 引脚)

请注意：引脚可具有复用功能。上面的图中只显示了缺省功能。

PRODUCT PREVIEW

3.2 引脚配置和功能

下表确认了外部信号名称、相关的引脚数量以及机械封装标识符、引脚类型（输入，输出，IO，电源或接地）、引脚是否带有任何内部上拉/下拉电阻器、引脚是否可被配置为一个通用输入输出 (GPIO)，和一个功能引脚说明。

注

当 nPORRST 为低电平以及变为高电平后，所有 I/O 引脚，除了 nRST 之外，立即都被配置为输入。

在 nPORRST 为低电平时，所有只输出引脚可被配置为输入，而在 nPORRST 变为高电平后，被立即配置为输出。

当 nPORRST 为低电平时，输入缓冲器被禁用，并且输出缓冲器为三态。

注

在下面的引脚功能表中，“缺省拉动状态”是 nPORRST 为低电平时以及 nPORRST 变为高电平后的上拉或下拉状态。当软件为一个替代功能配置引脚时，缺省拉动方向也许会发生变化。“拉动类型”是指针对指定引脚使能粗体名称的信号时生效的拉动类型。

3.2.1 高端定时器 (N2HET)

表 3-1. 高端定时器 (N2HET)

引脚	信号名称	100 PZ	信号类型	缺省拉动 状态	拉动类型	说明
N2HET[0]		19	I/O	下拉	可编程，20uA	定时器输入捕捉或输出比较。N2HET 适用引脚可被设定为通用输入/输出 (GPIO)。每个 N2HET 引脚都配备有一个抑制滤波器。如果该引脚被配置为一个输入引脚，它将启用过滤器来过滤掉小于一个可编程持续时间的脉冲。
N2HET[2]		22				
N2HET[4]		25				
N2HET[6]		26				
N2HET[8]		74				
N2HET[10]		83				
N2HET[12]		89				
N2HET[14]		90				
N2HET[16]		97				
MIBSPI1nCS[1]/EQEPS/ N2HET[17]		93				
N2HET[18]		98				
MIBSPI1nCS[2]/N2HET[20]/ N2HET[19]		27				
MIBSPI1nCS[2]/N2HET[20]/ N2HET[19]		27				
N2HET[22]		11				
N2HET[24]		64				
MIBSPI1nCS[3]/N2HET[26]		39				
ADEVT/N2HET[28]		58				
GIOA[7]/N2HET[29]		18				
MIBSPI1nENA/N2HET[23]/ N2HET[30]		68				
GIOA[6]/SPI2nCS[1]/N2HET[31]		12				

3.2.2 增强型正交编码器脉冲模块 (eQEP)

表 3-2. 增强型正交编码器脉冲模块 (eQEP)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
SPI3CLK/EQEPA	36	输入	上拉	固定, 20uA	增强型 QEP 输入 A
SPI3nENA/EQEPB	37	输入			增强型 QEP 输入 B
SPI3nCS[0]/EQEPI	38	I/O			增强型 QEP 索引
MIBSPI1nCS[1]/EQEPS/N2HET[17]	93	I/O			增强型 QEP 闸门

3.2.3 通用输入/输出 (GPIO)

表 3-3. 通用输入/输出 (GPIO)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
GIOA[0]/SPI3nCS[3]	1	I/O	下拉	可编程, 20uA	通用输入/输出 所有 GPIO 引脚能够在上升/下降/双边沿上生成 CPU 中断。
GIOA[1]/SPI3nCS[2]	2				
GIOA[2]/SPI3nCS[1]	5				
GIOA[3]/SPI2nCS[3]	8				
GIOA[4]/SPI2nCS[2]	9				
GIOA[5]/EXTCLKIN	10				
GIOA[6]/SPI2nCS[1]/N2HET[31]	12				
GIOA[7]/N2HET[29]	18				

3.2.4 控制器局域网络接口模块 (DCAN1, DCAN2)

表 3-4. 控制器局域网络接口模块 (DCAN1, DCAN2)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
CAN1RX	63	I/O	上拉	可编程, 20uA	CAN1 接收, 或通用 I/O (GPIO)
CAN1TX	62				CAN1 发送, 或 GPIO
CAN2RX	92				CAN2 接收, 或 GPIO
CAN2TX	91				CAN2 发送, 或 GPIO

3.2.5 多缓冲串行外设接口 (MibSPI1)

表 3-5. 多缓冲串行外设接口 (MibSPI1)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
MIBSPI1CLK	67	I/O	上拉	可编程, 20uA	MibSPI1 串行时钟, 或 GPIO
MIBSPI1nCS[0]	73				MibSPI1 芯片选择, 或 GPIO
MIBSPI1nCS[1]/EQEPS/N2HET[17]	93				
MIBSPI1nCS[2]/N2HET[20]/N2HET[19]	27				
MIBSPI1nCS[3]/N2HET[26]	39				
MIBSPI1nENA/N2HET[23]/N2HET[30]	68				MibSPI1 使能, 或 GPIO
MIBSPI1SIMO	65				MibSPI1 从器件-输入-主器件-输出, 或 GPIO
MIBSPI1SOMI	66				MibSPI1 从器件-输出-主器件-输入, 或 GPIO

3.2.6 标准串行外设接口 (SPI2)

表 3-6. 标准串行外设接口 (SPI2)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
SPI2CLK	71	I/O	上拉	可编程，20uA	SPI2 串行时钟，或 GPIO
SPI2nCS[0]	23				SPI2 芯片选择，或 GPIO
GIOA[6]/SPI2nCS[1]/N2HET[31]	12				
GIOA[4]/SPI2nCS[2]	9				
GIOA[3]/SPI2nCS[3]	8				
SPI2SIMO	70				SPI2 从器件-输入-主器件-输出，或 GPIO
SPI2SOMI	69				SPI2 从器件-输出-主器件-输入，或 GPIO
通过分别配置 SPI2 的 SPIPC9 寄存器的 SRS 位来独立地选择 SPI2CLK，SPI2SIMO 和 SPI2SOMI 的驱动强度。 8mA 驱动（快速）时，SRS=0。因为 SPIPC9 寄存器中 SRS 位缺省为 0，所以该模式为缺省模式。 2mA 驱动（慢速）时，SRS=1。					
SPI3CLK/EQEPA	36	I/O	上拉	可编程，20uA	SPI3 串行时钟，或 GPIO
SPI3nCS[0]/EQEPI	38				SPI3 芯片选择，或 GPIO
GIOA[2]/SPI3nCS[1]	5				
GIOA[1]/SPI3nCS[2]	2				
GIOA[0]/SPI3nCS[3]	1				
SPI3nENA/EQEPB	37				SPI3 使能，或 GPIO
SPI3SIMO	35				SPI3 从器件-输入-主器件-输出，或 GPIO
SPI3SOMI	34				SPI3 从器件-输出-主器件-输入，或 GPIO

3.2.7 本地互连网络控制器 (LIN)

表 3-7. 本地互连网络控制器 (LIN)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
LINRX	94	I/O	上拉	可编程, 20uA	LIN 接收, 或 GPIO
LINTX	95				LIN 发送, 或 GPIO

3.2.8 多缓冲模数转换器 (MibADC)

表 3-8. 多缓冲模数转换器 (MibADC)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
ADEVT/N2HET[28]	58	I/O	上拉	可编程, 20uA	ADC 事件触发器或 GPIO
ADIN[0]	42	输入	-	-	模拟输入
ADIN[1]	49				
ADIN[2]	51				
ADIN[3]	52				
ADIN[4]	54				
ADIN[5]	55				
ADIN[6]	56				
ADIN[7]	43				
ADIN[8]	57				
ADIN[9]	48				
ADIN[10]	50				
ADIN[11]	53				
ADIN[16]	40				
ADIN[17]	41				
ADIN[20]	44				
ADIN[21]	45				
ADREFHI/VCCAD	46	输入/电源	-	-	ADC 高基准电平 / ADC 运行电源
ADREFLO/VSSAD	47	输入/接地	-	-	ADC 低基准电平 / ADC 电源接地

3.2.9 系统模块

表 3-9. 系统模块

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
ECLK	84	I/O	下拉	可编程, 20uA	外部预分频时钟输出, 或 GPIO。
GIOA[5]/EXTCLKIN	10	输入	下拉	20uA	外部时钟输入
nPORRST	31	输入	下拉	100uA	加电复位, 冷复位外部电源监视器电路必须在任何微控制器电源下降到指定范围之外时将 nPORRST 驱动为低电平。该引脚有一个毛刺脉冲滤波器。
nRST	81	I/O	上拉	100uA	外部电路必须通过将 nRST 驱动为低电平来将一个系统复位位置为有效。为了确保外部复位不会随意产生, TI 建议将一个外部上拉电阻器连接到该引脚。这个引脚有一个毛刺脉冲滤波器。

3.2.10 错误信令模块 (ESM)

表 3-10. 错误信令模块 (ESM)

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
nERROR	82	I/O	下拉	20uA	ESM 错误信号。指示严重程度高的错误。

3.2.11 主振荡器

表 3-11. 主振荡器

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
OSCIN	14	输入	-	-	从外部晶振/谐振器，或者外部时钟输入
OSCOU	16	输出	-	-	到外部晶振/谐振器
KELVIN_GND	15	输入	-	-	专用的接地振荡器

3.2.12 测试/调试接口

表 3-12. 测试/调试接口

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
nTRST	76	输入	下拉	固定, 100uA	JTAG 测试硬件复位
RTCK	80	输出	-	-	JTAG 返回测试时钟
TCK	79	输入	下拉	固定, 100uA	JTAG 测试时钟
TDI	77	I/O	上拉	固定, 100uA	JTAG 测试数据输入
TDO	78	I/O	下拉	固定, 100uA	JTAG 测试数据输出
TMS	75	I/O	上拉	固定, 100uA	JTAG 测试选择
TEST	24	I/O	下拉	固定, 100uA	测试使能。仅供内部使用。这个引脚有一个毛刺脉冲滤波器。为了正确运行，此引脚必须通过一个外部电阻接地。

3.2.13 闪存

表 3-13. 闪存

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
FLTP1	3	输入	-	-	闪存测试引脚。为了正确运行，该引脚必须只连接至一个测试焊盘或着根本就不相连 [无连接 (NC)]。在有可能受到 ESD 事件影响的最终产品中，测试焊盘一定不能暴露在外。
FLTP2	4	输入	-	-	
VCCP	96	3.3V 电源	-	-	闪存外部泵电压 (3.3V) 闪存读取和闪存编程和擦除操作中都需要用到该引脚。

3.2.14 内核电源

表 3-14. 内核电源

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
VCC	13	1.2V 电源	-	-	数字逻辑和 RAM 电源
VCC	21				
VCC	30				
VCC	32				
VCC	61				
VCC	88				
VCC	99				

3.2.15 I/O 电源

表 3-15. I/O 电源

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
VCCIO	6	3.3V 电源	-	-	I/O 电源
VCCIO	28				
VCCIO	60				
VCCIO	85				

3.2.16 内核和 I/O 电源接地基准

表 3-16. 内核和 I/O 电源接地基准

引脚		信号类型	缺省拉动状态	拉动类型	说明
信号名称	100 PZ				
VSS	7	接地	-	-	器件接地基准 这是除 ADC 电源外所有电源的一个单接地基准。
VSS	17				
VSS	20				
VSS	29				
VSS	33				
VSS	59				
VSS	72				
VSS	86				
VSS	87				
VSS	100				

3.3 输出复用和控制

输出复用将被用于器件中。使用复用是为了允许附加程序包/功能组合的开发，同时也是为了保持引脚分配与市场上器件系列的兼容性。

在所有被指定为多路复用的情况中，输出缓冲器均是复用的。

表 3-17. 输出多路复用器选项

100 PZ 引脚	缺省功能	控制 1	选项 2	控制 2	选项 3	控制 3
1	GIOA[0]	PINMMR0[8]	SPI3nCS[3]	PINMMR0[9]	-	-
2	GIOA[1]	PINMMR1[0]	SPI3nCS[2]	PINMMR1[1]	-	-
5	GIOA[2]	PINMMR1[8]	SPI3nCS[1]	PINMMR1[9]	-	-
8	GIOA[3]	PINMMR1[16]	SPI2nCS[3]	PINMMR1[17]	-	-
9	GIOA[4]	PINMMR1[24]	SPI2nCS[2]	PINMMR1[25]	-	-
10	GIOA[5]	PINMMR2[0]	EXTCLKIN	PINMMR2[1]	-	-
12	GIOA[6]	PINMMR2[8]	SPI2nCS[1]	PINMMR2[9]	N2HET[31]	PINMMR2[10]
18	GIOA[7]	PINMMR2[16]	N2HET[29]	PINMMR2[17]	-	-
93	MIBSPI1nCS[1]	PINMMR6[8]	EQEPS	PINMMR6[9]	N2HET[17]	PINMMR6[10]
27	MIBSPI1nCS[2]	PINMMR3[0]	N2HET[20]	PINMMR3[1]	N2HET[19]	PINMMR3[2]
39	MIBSPI1nCS[3]	PINMMR4[8]	N2HET[26]	PINMMR4[9]	-	-
68	MIBSPI1nENA	PINMMR5[8]	N2HET[23]	PINMMR5[9]	N2HET[30]	PINMMR5[10]
36	SPI3CLK	PINMMR3[16]	EQEPA	PINMMR3[17]	-	-
38	SPI3nCS[0]	PINMMR4[0]	EQEPI	PINMMR4[1]	-	-
37	SPI3nENA	PINMMR3[24]	EQEPB	PINMMR3[25]	-	-
58	ADEV	PINMMR4[16]	N2HET[28]	PINMMR4[17]	-	-

3.3.1 输出多路复用的注意事项

表 3-17 显示了为每个引脚选择所需功能性的输出信号的复用和控制信号。

- 该信号的默认引脚由表 3-17 中的“默认功能”栏来定义。
- “CTRL x”栏表示多路复用的控制寄存器并且该位必须被置位，以此来选择任何特定引脚上输出的相应功能性。

例如，说到引脚 18 的复用，如下所示。

表 3-18. 多路复用实例

100 PZ 引脚	缺省功能	控制 1	选项 2	控制 2	选项 3	控制 3
18	GIOA[7]	PINMMR2[16]	N2HET[29]	PINMMR2[17]	-	-

- 在 GIO 模块控制寄存器中，如果 GIOA[7] 被配置为一个输出引脚，那么可编程的引脚电平将缺省显示在引脚 18 上。PINMMR2[16] 位被默认置位，以此来表示 GIOA[7] 信号被选择为输出。
- 如果应用需要在引脚 18 上输出 N2HET[29] 信号，则必须清除 PINMMR2[16] 并且置位 PINMMR2[17]。
- 注意：该引脚作为输出引脚被连接至 GIO 和 N2HET 两种模块。也就是说，在这类引脚上没有输入复用。

3.3.2 多路复用控制寄存器的通用规则

- PINMMR 控制寄存器只能在特权模式下才可以被写入。在非特权模式下的写入将会产生一个错误响应。
- 如果该应用向任一个 PINMMR 控制寄存器中写入全 0，那么将为受影响的引脚选择缺省功能。
- 一个 PINMMR 控制寄存器中的每个字节都被用于为一个给定的引脚选择功能性。对于任意引脚来说，如果应用在一个字节内置位了多个位，那么将为该引脚选择缺省功能。
- PINMMR 控制寄存器内的一些位可以与那些 100 引脚封装所不具有的内部焊盘相关联。因此，被标记为保存的位不应该作为一个 1 被写入。

3.4 特定复用选项

执行特别控制来影响这个微控制器上的特定功能。在这节中将对这些控制进行描述。

3.4.1 eQEP 输入过滤

3.4.1.1 eQEPA 输入

- 当 PINMMR8[0]=1 时，使用 VCLK 来使 eQEPA 输入双同步。
- 当 PINMMR8[0]=0 并且 PINMMR8[1]=1 时，通过使用 VCLK，eQEPA 输入被双同步，然后由一个固定的 6 位奇数器进行限定。
- PINMMR8[0]=0 并且 PINMMR8[1]=0 是一个非法组合而且运行方式缺省为 PINMMR8[0]=1。

3.4.1.2 eQEPB 输入

- 当 PINMMR8[8]=1 时，使用 VCLK 来使 eQEPB 输入双同步。
- 当 PINMMR8[8]=0 并且 PINMMR8[9]=1 时，通过使用 VCLK，eQEPB 输入被双同步，然后由一个固定的 6 位奇数器进行限定。
- PINMMR8[8]=0 并且 PINMMR8[9]=0 是一个非法组合而且运行方式缺省为 PINMMR8[8]=1。

3.4.1.3 eQEPI 输入

- 当 PINMMR8[16]=1 时，使用 VCLK 来使 eQEPI 输入双同步。
- 当 PINMMR8[16]=0 并且 PINMMR8[17]=1 时，通过使用 VCLK，eQEPI 输入被双同步，然后由一个固定的 6 位奇数器进行限定。
- PINMMR8[16]=0 并且 PINMMR8[17]=0 是一个非法组合而且运行方式缺省为 PINMMR8[16]=1。

3.4.1.4 eQEPS 输入

- 当 PINMMR8[24]=1 时，使用 VCLK 来使 eQEPS 输入双同步。
- 当 PINMMR8[24]=0 并且 PINMMR8[25]=1 时，通过使用 VCLK，eQEPS 输入被双同步，然后由一个固定的 6 位奇数器进行限定。
- PINMMR8[24]=0 并且 PINMMR8[25]=0 是一个非法组合而且运行方式缺省为 PINMMR8[24]=1。

3.4.2 N2HET PIN_nDISABLE 输入端口

- 当 PINMMR9[0]=1 时，GPIOA[5] 被直接接至 N2HET 模块的 N2HET PIN_nDISABLE 输入。
- 当 PINMMR9[0]=0 并且 PINMMR9[1]=1 时，EQEPERR 在直接接至 N2HET 模块的 N2HET PIN_nDISABLE 输入前使用 VCLK 将其反相并双同步。
- PINMMR9[0]=0 并且 PINMMR9[1]=0 是一个非法的组合而且运行方式缺省为 PINMMR9[0]=1。

4 规范

4.1 自然通风运行温度范围内的最大绝对值, ⁽¹⁾

		最小值	最大值	单位
电源电压范围:	$V_{CC}^{(2)}$	-0.3	1.43	V
	$V_{CCIO}, V_{CCP}^{(2)}$	-0.3	4.6	V
	V_{CCAD}	-0.3	3.6	V
输入电压范围:	所有的输入引脚	-0.3	4.6	V
	ADC 输入引脚	-0.3	4.6	V
输入钳位电流:	$I_{IK}(V_I < 0 \text{ 或 } V_I > V_{CCIO})$ 所有引脚, 除了 ADIN[21:20,17:16,11:0]	-20	+20	mA
	$I_{IK}(V_I < 0 \text{ 或 } V_I > V_{CCAD})$ ADIN[21:20,17:16,11:0]	-10	+10	mA
	总计	-40	+40	mA
自然通风运行温度范围, T_A :		-40	125	°C
运行结温范围, T_J :		-40	150	°C
锁断性能:	I 测试, 所有 I/O 引脚	-100	+100	mA

- (1) 超出“最大绝对额定值”下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况, 对于额定值下的器件的功能性操作或者在超出“推荐的操作条件”下的任何其它情况, 在此并未说明。长时间运行在最大绝对额定条件下会影响设备的可靠性。
- (2) 长时间在最大额定值条件下运行有可能会影响器件可靠性。所有电压值均是相对于和它们相连的地线。

4.2 处理额定值

			最小值	最大值	单位
T_{stg}	储存温度范围		-65	150	°C
V_{ESD}	静电放电 (ESD) 性能:	人体模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	-2	2	kV
		除边角引脚以外的所有引脚	-500	500	V
		充电器件模型 (CDM), 符合 AEC Q100-011 边角引脚 (1、25、26、50、51、75、76、100)	-750	750	V

- (1) AEC Q100-002 指示按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

4.3 上电小时数 (POH)

为方便起见, 本节单独提供, 并且未扩展或修改适用于 TI 半导体产品的 TI 标准条款和条件下提供的保修范围。中所示的值。

POH 是电压、温度和时间的函数。如果在较高电压和温度下使用, 实现相同可靠性性能的 POH 会减少。

可靠性数据基于与 100000 上电小时 (结温温度 105°C) 等效的温度系统配置。

4.4 建议的运行条件⁽¹⁾

		最小值	标称值	最大值	单位
V _{CC}	数字逻辑电源电压（内核）	1.14	1.2	1.32	V
V _{CCIO}	数字逻辑电源电压 (I/O)	3	3.3	3.6	V
V _{CCAD} /V _{ADREFHI}	MibADC 电源电压/模数转换高电压基准源	3	3.3	3.6	V
V _{CCP}	闪存泵电源电压	3	3.3	3.6	V
V _{SS}	数字逻辑电源接地		0		V
V _{SSAD} /V _{ADREFLO}	MibADC 电源接地/模数转换低电压基准源	-0.1		0.1	V
V _{SLEW}	针对 V _{CCIO} 、V _{CCAD} 和 V _{CCP} 电源的最大正转换率			1	V/μs
T _A	自然通风工作温度范围	-40		125	°C
T _J	工作结温 ⁽²⁾	-40		150	°C

(1) 所有的电压都以 V_{SS} 为基准，除了 V_{CCAD} 以 V_{SSAD} 为基准

(2) 可靠性数据基于与 100000 小时加电小时（结温温度 105°C）等效的温度系统配置

4.5 建议时钟域运行条件下的开关特性

表 4-1. 时钟域时序规范

参数	条件	最小值	最大值	单位
f _{HCLK}	HCLK - 系统时钟频率		80	MHz
f _{GCLK}	GCLK - CPU 时钟频率（比率 f _{GCLK} :f _{HCLK} =1:1）		f _{HCLK}	MHz
f _{VCLK}	VCLK - 初级外设时钟频率		80	MHz
f _{VCLK2}	VCLK2 - 次级外设时钟频率		80	MHz
f _{VCLKA1}	VCLKA1- 初级异步外设时钟频率		80	MHz
f _{RTICK}	RTICK - 时钟频率		f _{VCLK}	MHz

4.6 要求等待状态

TCM RAM 可支持 CPU 全速编程和取数据，而无需任何地址或数据等待状态。不需要为 RAM 等待状态编程的寄存器。

TCM 闪存可支持零地址和非管道模式中高达 45MHz CPU 速度的数据等待状态。在无地址等待状态和数据等待状态下，在管道模式中，该闪存支持 80MHz 的最大 CPU 时钟速率。

正确的等待状态应在寄存器字段地址设置等待状态使能 (ASWSTEN 0xFFFF87000[4])、随机等待状态 (RWAIT 0xFFFF87000[11:8]) 和仿真等待状态 (EWAIT 0xFFFF872B8[19:16]) 中设置，如下面的图 4-1 所示。



图 4-1. 等待状态机制

闪存包装程序默认为非管道模式，其中禁用地址等待状态，ASWSTEN=0；主内存随机读取数据等待状态，RWAIT=1；仿真内存随机读取等待状态，EWAIT=1。

4.7 推荐运行条件内的功耗

参数		测试条件	最小值	典型值	最大值	单位
I _{CC}	V _{CC} 数字电源电流（工作模式）	f _{HCLK} = 80MHz			135 ⁽¹⁾	mA
	V _{CC} 数字电源电流（LBIST 模式）	LBIST 时钟速率 = 45MHz			145 ⁽²⁾⁽³⁾	mA
	V _{CC} 数字电源电流（PBIST 模式）	PBIST ROM 时钟频率 = 80MHz			135 ⁽²⁾⁽³⁾	mA
I _{CCREFHI}	AD _{REFHI} 电源电流（运行模式）	AD _{REFHI} max			3	mA
I _{CCAD}	V _{CCAD} 电源电流（工作模式）	V _{CCAD} max			45 ⁽⁴⁾	mA
I _{CCIO}	V _{CCIO} 数字电源电流（工作模式）。	无直流负载，V _{CC} max				
I _{CCP}	V _{CCP} 泵电源电流	读取模式				
I _{CCP} , I _{CCIO} , I _{CCAD}	3.3V 电源电流	从一组中读取并编程或擦除另外一组，V _{CCP} max			65 ⁽⁴⁾	mA

- (1) 可降低最大 I_{CC} 值
 - 随电压线性变化
 - 对于较低工作频率，在 f_{HCLK} = f_{VCLK} 时，减小比率为 0.76 mA/MHz
 - 对于较低结温温度，减小比率由以下等式给出，其中，T_{JK} 是单位为开 (Kelvin) 的结温温度，结果的单位为毫安培。

$$60 - 0.001 e^{0.026 T_{JK}}$$
- (2) 可降低最大 I_{CC} 值
 - 随电压线性变化
 - 对于较低结温温度，减小比率由以下等式给出，其中，T_{JK} 是单位为开 (Kelvin) 的结温温度，结果的单位为毫安培。

$$60 - 0.001 e^{0.026 T_{JK}}$$
- (3) LBIST 和 PBIST 电流持续时间短，通常少于 10ms。通常在器件和稳压器的热计算中将它们忽略
- (4) 三个组合电源的最大电流要求

4.8 PZ 的热阻特性

表 4-2 给出了 PQFP-PZ 机械封装的热敏电阻特性。

**表 4-2. 热敏电阻特性
(S-PQFP 封装) [PZ]**

参数	°C/W
$R_{\theta JA}$	48
$R_{\theta JC}$	5

4.9 推荐运行条件下的⁽¹⁾输入/输出电气特性

参数			测试条件	最小值	典型值	最大值	单位
V _{hys}	输入滞后	所有输入		180			mV
V _{IL}	低电平输入电压	所有输入 ⁽²⁾		-0.3		0.8	V
V _{IH}	高电平输入电压	所有输入 ⁽²⁾		2		V _{CCIO} + 0.3	V
V _{OL}	低电平输出电压		I _{OL} = I _{OLmax}			0.2 V _{CCIO}	V
			I _{OL} = 50μA, 标准输出模式			0.2	
V _{OH}	高电平输出电压		I _{OH} = I _{OHmax}	0.8 V _{CCIO}			V
			I _{OH} = 50μA, 标准输出模式	V _{CCIO} - 0.3			
I _{IC}	输入钳位电流（I/O 引脚）		V _I < V _{SSIO} - 0.3 或 V _I > V _{CCIO} + 0.3	-3.5		3.5	mA
I _I	输入电流（I/O 引脚）	I _{IH} 下拉 20μA	V _I = V _{CCIO}	5		40	μA
		I _{IH} 下拉 100μA	V _I = V _{CCIO}	40		195	
		I _{IL} 上拉 20μA	V _I = V _{SS}	-40		-5	
		I _{IL} 上拉 100μA	V _I = V _{SS}	-195		-40	
		所有其他引脚	无上拉或下拉	-1		1	
C _I	输入电容					2	pF
C _O	输出电容					3	pF

(1) 源电流 (器件输出) 为负, 而灌电流 (器件输入) 为正。

(2) 这并不适用于 nPORRST 引脚。

4.10 输出缓冲器驱动强度

表 4-3. 输出缓冲器驱动强度

低电平输出电流, I_{OL} , 此时 $V_I = V_{OLmax}$ 或 高电平输出电流, I_{OH} , 此时 $V_I = V_{OHmin}$	信号
8mA	EQEPI, EQEPS, TMS, TDI, TDO, RTCK, nERROR
4mA	TEST, MIBSPI1SIMO, MIBSPI1SOMI, MIBSPI1CLK, SPI3CLK, SPI3SIMO, SPI3SOMI, nRST
2mA 零主导	AD1EVT, CAN1RX, CAN1TX, CAN2RX, CAN2TX, GIOA[0-7], LINRX, LINTX, MIBSPI1NCS[0-3], MIBSPI1NENA N2HET[0], N2HET[2], N2HET[4], N2HET[6], N2HET[8], N2HET[10], N2HET[12], N2HET[14], N2HET[16], N2HET[18], N2HET[22], N2HET[24], SPI2NCS[0-3], SPI3NENA, SPI3NCS[0]
可选 8mA/2mA	ECLK, SPI2CLK, SPI2SIMO, SPI2SOMI 输出缓冲器对于这些信号的缺省驱动强度为 8mA。

表 4-4. 可选 8mA/2mA 控制

信号	控制位	地址	8mA	2mA
ECLK	SYSPC10[0]	0xFFFF FF78	0	1
SPI2CLK	SPI2PC9[9] ⁽¹⁾	0xFFF7 F668	0	1
SPI2SIMO	SPI2PC9[10] ⁽¹⁾	0xFFF7 F668	0	1
SPI2SOMI	SPI2PC9[11] ⁽¹⁾	0xFFF7 F668	0	1

(1) 不要对 SPI2PC9[31.16] 进行字节或半字写入操作，这是因为这样会不小心改变 SPI2 引脚的驱动强度

4.11 输入时序

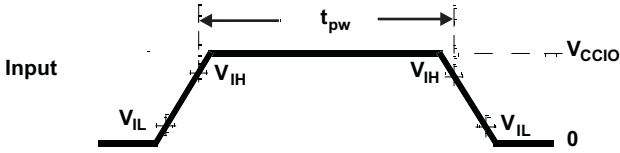


图 4-2. TTL - 电平输入

表 4-5. 对于输入的时序要求⁽¹⁾

		最小值	最大值	单位
t_{pw}	输入最小脉冲宽度	$t_{c(VCLK)} + 10^{(2)}$		ns

(1) $t_{c(VCLK)}$ = 外设 VBUS 时钟周期时间 = $1/f_{(VCLK)}$
(2) 上面显示的时序仅对在 GIO 模式中使用的引脚有效。

4.12 输出时序

表 4-6. 输出时序与负载电容 (CL) 间关系的开关特性

参数			最小值	最大值	单位	
上升时间, t_r	8mA 引脚	CL=15pF		2.5	ns	
		CL = 50pF		4		
		CL = 100pF		7.2		
		CL = 150pF		12.5		
下降时间, t_f		CL = 15pF		2.5	ns	
		CL = 50pF		4		
		CL = 100pF		7.2		
		CL = 150pF		12.5		
上升时间, t_r	4mA 引脚	CL=15pF		5.6	ns	
		CL = 50pF		10.4		
		CL = 100pF		16.8		
		CL = 150pF		23.2		
下降时间, t_f		CL = 15pF		5.6	ns	
		CL = 50pF		10.4		
		CL = 100pF		16.8		
		CL = 150pF		23.2		
上升时间, t_r	2mA-z 引脚	CL=15pF		8	ns	
		CL = 50pF		15		
		CL = 100pF		23		
		CL = 150pF		33		
下降时间, t_f		CL = 15pF		8	ns	
		CL = 50pF		15		
		CL = 100pF		23		
		CL = 150pF		33		
上升时间, t_r	可选的 8mA/2mA-z 引脚	8mA 模式	CL = 15pF		2.5	ns
			CL = 50pF		4	
			CL = 100pF		7.2	
			CL = 150pF		12.5	
下降时间, t_f		8mA 模式	CL = 15pF		2.5	ns
			CL = 50pF		4	
			CL = 100pF		7.2	
			CL = 150pF		12.5	
上升时间, t_r		2mA-z 模式	CL=15pF		8	ns
			CL = 50pF		15	
			CL = 100pF		23	
			CL = 150pF		33	
下降时间, t_f			CL = 15pF		8	ns
			CL = 50pF		15	
			CL = 100pF		23	
			CL = 150pF		33	

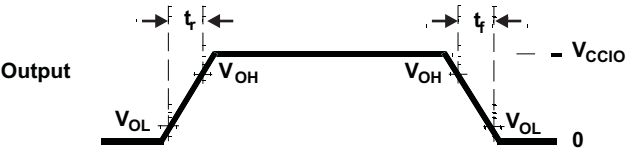


图 4-3. CMOS 电平输出

表 4-7. 对于输入的时序要求⁽¹⁾

参数		最小值	最大值	单位
t_d (并行输出)	通用输出信号从低到高或从高到低转换间的延迟可由一个应用并行配置，例如 GIOA 端口中的所有信号，或所有 N2HET 信号。		5	ns

(1) 这个技术规格并未将任何输出缓冲器驱动强度差异或者任何外部电容负载差异计算在内。检查表 4-3 每个信号上的输出缓冲器驱动强度信息。

5 系统信息和电气技术规范

5.1 电压监视器特性

在这个器件上执行一个电压监视器。这个电压监视器的目的是，当给内核电源和 I/O 电源电压上电时，消除对一个特定序列的要求。

5.1.1 重要考虑

- 当电源电压在范围之外时，电压监视器仍然需要一个电压监控器来保证器件被保留在复位状态。
- 电压监视器只监视内核电源 (VCC) 和 I/O 电源 (VCCIO)。其它电源不受 VMON 监视。例如，如果 VCCAD 或 VCCP 由一个 VCCIO 以外的电源供电，那么就没有针对 VCCAD 和 VCCP 电源的内部电压监视器。

5.1.2 电压监视器运行

电压监视器在器件上生成电源正常微控制器 (MCU) 信号 (PGMCU) 以及 I/O 电源正常 IO 信号 (PGIO)。在加电或断电期间，当内核或者 I/O 电源低于额定最小监视阈值的时候，PGMCU 和 PGIO 被驱动为低电平。PGIO 和 PGMCU 成为低电平，在电源加电或者断电期间，隔离内核逻辑以及 I/O 控制。这样可以使得内核和 I/O 电源能够以任一顺序加电或断电。

当电压监视器在 I/O 电源上检测到一个低电压时，它将一个加电复位置为有效。当电压监视器在内核电源上检测到一个范围以外的电压时，它以异步方式使所有输出引脚高阻抗，并将一个加电复位置为有效。当器件进入一个低功耗模式时，电压监视器被禁用。

VMON 还包含一个针对 nPORRST 输入的毛刺脉冲滤波器。有关这个毛刺脉冲滤波器的时序信息请参考节 5.2.3.1。

表 5-1. 电压监视技术规格

参数			最小值	典型值	最大值	单位
V _{MON}	电压监视阈值	VCC 低电平-低于这个阈值的 VCC 电平会由于过低而被删除。	0.75	0.9	1.13	V
		VCC 高电平-高于这个阈值的 VCC 电平会由于过高而被删除。	1.40	1.7	2.1	
		VCCIO 低电平-低于这个阈值的 VCCIO 电平会由于过低而被删除。	1.85	2.4	2.9	

5.1.3 电源过滤

VMON 具有过滤 VCC 和 VCCIO 电源上毛刺买车的功能。

下面的表格显示了电源滤波的特性。电源中大于最大技术参数的毛刺脉冲不能被滤除。

表 5-2. VMON 电源毛刺脉冲滤波功能

参数	最小值	最大值
VCC 上可以被滤除的毛刺脉冲的宽度	250ns	1μs
VCCIO 上可以被滤除的毛刺脉冲的宽度	250ns	1μs

5.2 电源排序和加电复位

5.2.1 加电顺序

VCCIO 的斜升和 VCC 电源间没有时序关系。加电序列随着 I/O 电压上升到高于最小 I/O 电源阈值，（详细信息请见表 5-4），内核电压上升到高于最小内核电源阈值和加电复位的释放开始。高频振荡器将首先启动并且其振幅将上升到一个可接受的水平。振荡器启动时间取决于振荡器的类型并且由振荡器销售商提供。到器件的不同电源可以以任何顺序加电。

加电期间，此器件经过下列顺序阶段。

表 5-3. 加电阶段

振荡器启动和有效性检查	1032 个振荡器周期
熔丝自动载入	1160 个振荡器周期
闪存泵加电	688 个振荡器周期
闪存组加电	617 个振荡器周期
总计	3497 个振荡器周期

在上述序列的末尾 CPU 复位被释放并且从地址 0x00000000 中取出第一条指令。

5.2.2 断电序列

到器件的不同电源可以以任一顺序断电。

5.2.3 加电复位: nPORRST

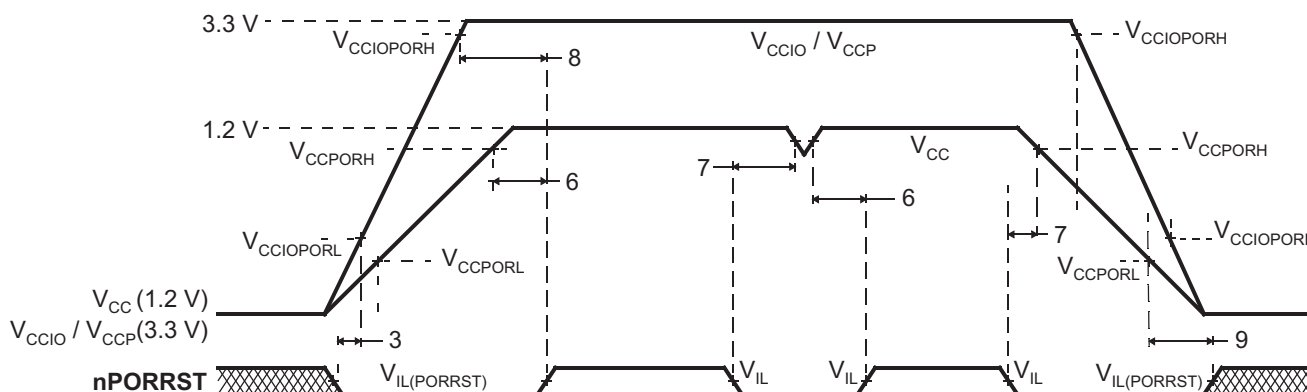
只要 I/O 或内核电源在推荐范围之外, 这个复位就必须由一个外部电路置为有效。这个信号的上面有一个毛刺脉冲滤波器。它还有一个内部下拉电阻器。

5.2.3.1 nPORRST 电气和时序要求

表 5-4. nPORRST 的电气要求

编号	参数	最小值	最大值	单位
	V_{CCPORL}		0.5	V
	V_{CCPORH}	1.14		V
	$V_{CCIOPORL}$		1.1	V
	$V_{CCIOPORH}$	3.0		V
	$V_{IL(PORRST)}$		$0.2 * V_{CCIO}$	V
	$nPORRST V_{CCIO}$ 的低电平输入电压 > 2.5V		0.5	V
3	$t_{su(PORRST)}$	0		ms
6	$t_h(PORRST)$	1		ms
7	$t_{su(PORRST)}$	2		μs
8	$t_h(PORRST)$	1		ms
9	$t_h(PORRST)$	0		ms
	$t_f(nPORRST)$	475	2000	ns

PRODUCT PREVIEW



NOTE: There is no timing dependency between the ramp of the VCCIO and the VCC supply voltage; this is just an exemplary drawing.

图 5-1. nPORRST 时序图

5.3 热复位 (nRST)

这是一个双向复位信号。内部电路在检测到任何器件复位条件时将此信号驱动为低电平。一个外部电路能够通过将此信号强制为低电平来将一个器件复位置为有效。在这个引脚上，输出缓冲器被执行为一个开漏器件（只驱动低电平）。为了确保外部复位不会随意产生，TI 建议将一个外部上拉电阻连接到该引脚。

这个引脚有一个毛刺脉冲滤波器。它还有一个内部上拉电阻。

5.3.1 热复位的原因

表 5-5. 热复位的原因

器件事件	系统状态标志
加电复位	异常状态寄存器，位 15
振荡器故障	全局状态寄存器，位 0
PLL 跳周	全局状态寄存器，位 8 和 9
安全装置异常/调试器复位	例外状态寄存器，位 13
CPU 复位（由 CPUSTC 驱动）	异常状态寄存器，位 5
软件复位	异常状态寄存器，位 4
外部复位	异常状态寄存器，位 3

5.3.2 nRST 时序要求

表 5-6. nRST 时序要求

		最小值	最大值	单位
$t_{V(RST)}$	有效时间，nPORRST 无效之后 nRST 的有效时间	$2256t_{c(OSC)}^{(1)}$		ns
	有效时间，nRST 有效的时间（所有其它系统复位条件）	$32t_{c(VCLK)}$		
$t_{f(nRST)}$	滤波器时间 nRST 引脚。 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位	475	2000	ns

(1) 假定振荡器已经在 nPORRST 被释放前启动且稳定。

5.4 ARM Cortex-R4 CPU 信息

5.4.1 ARM Cortex-R4 CPU 的特性概要

ARM Cortex-R4 CPU 的特性包括:

- 具有整体嵌入式 ICE-RT 逻辑的整数单元。
- 高速高级微处理器总线架构 (AMBA) 高级 eXtensible 接口 (AXI)，用于二级 (L2) 主器件和从器件接口。
- 具有一个全局历史记录缓冲器的动态分支预测，和一个 4 入口返回堆栈
- 低中断延迟。
- 不可屏蔽中断
- 一个具有如下组件的哈佛一级存储器系统：
 - 支持纠错或奇偶校验检查存储器的紧耦合存储器 (TCM) 接口
 - 带有 8 个区域的 ARMv7-R 架构存储器保护单元 (MPU)
- 安全应用中针对故障检测的双内核逻辑
- 一个 L2 存储器接口：
 - 单个 64 位 AXI 接口
 - 64 位到 TCM RAM 块的受控 AXI 接口
- 一个到 CoreSight 调试访问端口 (DAP) 的调试接口
- 一个性能监视单元 (PMU)
- 一个矢量化中断控制器 (VIC) 端口，

更多有关 ARM Cortex-R4 CPU 的信息，请参阅www.arm.com。

5.4.2 由软件启用的 ARM Cortex-R4 CPU 的功能

以下的 CPU 特性在复位时被禁用并且必须在需要时由应用启用。

- 紧耦合存储器 (TCM) 访问上的纠错码 (ECC)
- 硬件矢量化中断 (VIC) 端口
- 内存保护单元 (MPU)

5.4.3 双内核执行

此器件有两个 Cortex-R4 内核，在 CCM-R4 单元中比较两个 CPU 的输出信号。为了避免共模影响，将被进行比较的 CPU 的信号延迟 2 个时钟周期，如图 5-3 所示。

CPU 有一个由下列要求指定的不同的 CPU 布局：

- 不同的方向；例如 CPU1 = 朝“北”，CPU2 = 朝向“偏西”
- 针对每个 CPU 的专用保护环



图 5-2. 双 - CPU 方向

5.4.4 GCLK 之后的双重 CPU 时钟树

CPU 时钟域被分成两个时钟树，每个 CPU 一个，其中第二个 CPU 的时钟的运行频率一样并且与 CPU1 的时钟协同工作。请参考图 5-3。

5.4.5 ARM Cortex-R4 CPU 用于安全目的的比较模块 (CCM)

这个器件有两个 ARM Cortex-R4 CPU 内核，在这两个内核之中，两个 CPU 的输出信号都在 CCM-R4 中进行比较。为了避免共模影响，将要进行比较的 CPU 的信号，以下面图表中所示的不同方式将这些信号延迟。

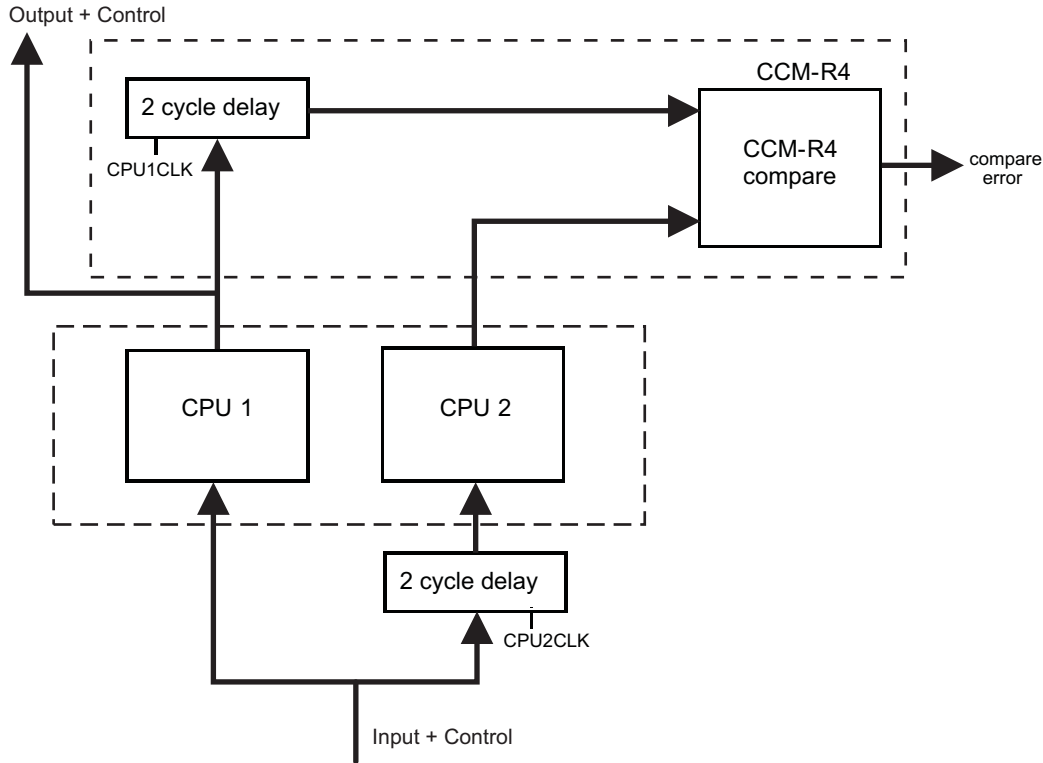


图 5-3. 双内核执行

为了避免不正确的 CCM-R4 比较错误，应用软件必须在寄存器被读取前初始化两个 CPU 的寄存器，其中包括将寄存器值压入堆栈的函数调用。

5.4.6 CPU 自检

通过将确定性逻辑内置自检 (BIST) 控制器用作测试引擎，CPU STC (自检控制器) 被用于测试两个 Cortex-R4 CPU。

自检控制器的主要特性包括：

- 能够将完整测试运行分频成独立的测试间隔
- 能够运行完整的测试或每次运行几个间隔
- 能够继续从上次执行的时间间隔中（测试设置）或从开始重新启动（第一个测试设置）
- 在自检运行期间将被自检测试的 CPU 内核从系统的其余部分完全隔离
- 能够捕获故障间隔数
- 针对 CPU 自检的超时计数器具有一个故障安全特性

5.4.6.1 针对 CPU 自检的应用序列

1. 配置时钟域频率。
2. 选择要运行的测试时间间隔数。
3. 配置针对自检运行的超时周期。
4. 如果需要的话，保存 CPU 的状态
5. 启用自检。

6. 等待 CPU 复位。
7. 在复位处理器中，读取 CPU 自检状态来识别任何故障。
8. 按需要检索 CPU 状态。

更多信息请参阅《器件技术参考手册》。

5.4.6.2 CPU 自检时钟配置

自检的最大时钟速率为 45MHz。必要时，STCCLK 是从 CPU 时钟上分频的。这个分频器由位于地址 0xFFFFE108 上的 STCCLKDIV 寄存器配置。

更多信息请参阅《器件技术参考手册》。

5.4.6.3 CPU 自检范围

表 5-7 显示了每个自检间隔实现的 CPU 测试范围。它还列出了累积测试周期。通过将测试周期数量与 STC 时钟周期相乘可以计算出测试时间。

表 5-7. CPU 自检范围

间隔	测试覆盖率, %	测试周期
0	0	0
1	60.06	1365
2	68.71	2730
3	73.35	4095
4	76.57	5460
5	78.7	6825
6	80.4	8190
7	81.76	9555
8	82.94	10920
9	83.84	12285
10	84.58	13650
11	85.31	15015
12	85.9	16380
13	86.59	17745
14	87.17	19110
15	87.67	20475
16	88.11	21840
17	88.53	23205
18	88.93	24570
19	89.26	25935
20	89.56	27300
21	89.86	28665
22	90.1	30030
23	90.36	31395
24	90.62	32760
25	90.86	34125
26	91.06	35490

5.5 时钟

5.5.1 时钟源

下面的表列出了器件上可用的时钟源。可使用系统模块中的 CSDISx 寄存器来启用或禁用每个时钟源。表中的时钟源数量与针对那个时钟源的 CSDISx 寄存器中的控制位相对应。

此表还显示了每个时钟源的缺省状态。

表 5-8. 可用时钟源

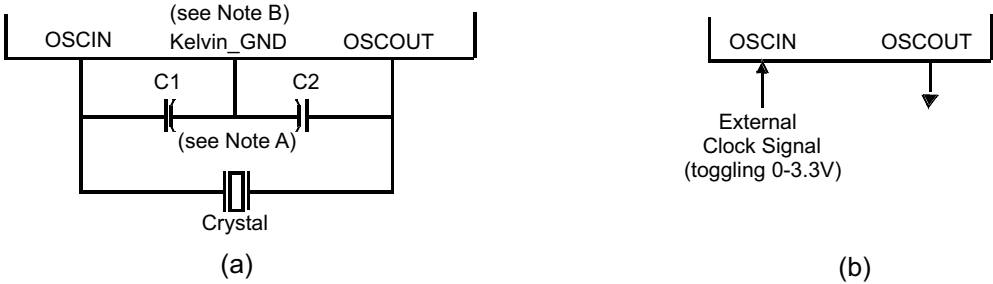
时钟源编号	名称	说明	默认状态
0	OSCIN	主振荡器	被启用
1	PLL1	PLL1的输出	被禁用
2	被保留	被保留	被禁用
3	EXTCLKIN1	外部时钟输入 #1	被禁用
4	CLK80K	内部基准振荡器的低频输出	被启用
5	CLK10M	内部基准振荡器的高频输出	被启用
6	被保留	被保留	被禁用
7	被保留	被保留	被禁用

5.5.1.1 主振荡器

如所示，通过在外部的 OSCIN 和 OSCOUT 引脚之间连接适合的基本谐振器/晶振图 5-4和负载电容来启用此振荡器。振荡器是一种单级变换器，由一个集成的偏置电阻器保持在偏置状态。该电阻在泄漏测试测量期间和低功耗模式中被禁用。

TI 强烈建议顾客提交该器件的样品让谐振器/晶振供应商测试其性能。供应商有专门设备来确定多大的负载电容能够最好的调节他们的谐振器/晶振来满足微控制器在温度/电压极值范围内对于最优启动和运行的要求。

通过在 OSCIN 引脚上连接一个 3.3V 的时钟信号并使 OSCOUT 引脚悬空（断开）（如下面的图标所示），可使用一个外部振荡器源。



Note A: The values of C1 and C2 should be provided by the resonator/crystal vendor.
Note B: Kelvin_GND should not be connected to any other GND.

图 5-4. 推荐的晶振/时钟连接

5.5.1.1.1 针对主振荡器的时序要求

表 5-9. 针对主振荡器的时序要求

参数		最小值	典型值	最大值	单位
tc(OSC)	周期时间, OSCIN (当使用一个正弦波输入时)	50		200	ns
tc(OSC_SQR)	周期时间, OSCIN, (当到 OSCIN 的输入是一个方波时)	50		200	ns
tw(OSCIL)	脉冲持续时间, OSCIN 低电平的时间 (当到 OSCIN 的输入是一个方波时)	15			ns
tw(OSCIH)	脉冲持续时间, OSCIN 高电平的时间 (当到 OSCIN 的输入是一个方波时)	15			ns

5.5.1.2 低功耗振荡器

低功耗振荡器 (LPO) 由一个单宏中的两个振荡器 - 高频 (HF) LPO 和低频 (LF) LPO 组成。

5.5.1.2.1 特性

LPO 的主要特性有：

- 针对省电模式，以极低功耗为一个时钟供源。这个被连接为全局时钟模块的时钟源 #4。
- 针对非时序关键系统，为一个高频时钟供源。这个被连接为全局时钟模块的时钟源 #5。
- 为晶体振荡器故障检测电路提供一个比较时钟。

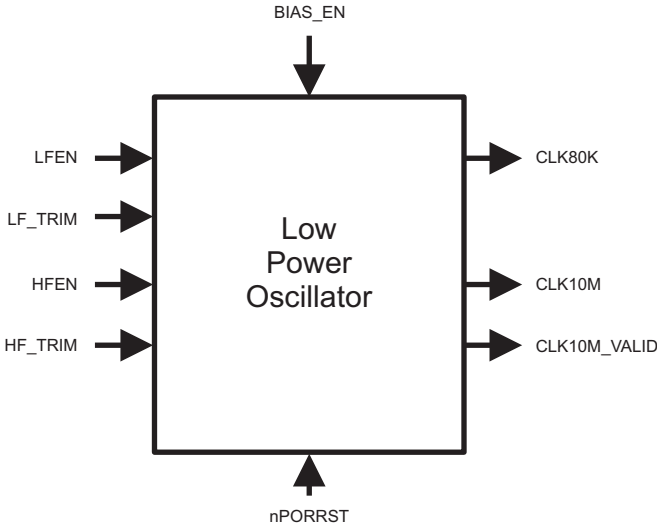


图 5-5. LPO 方框图

图 5-5 显示了一个内部基准振荡器的方框图。这是一个低功耗振荡器 (LPO) 并且提供两个时钟源：一个的标称值为 80KHz，而另一个的标称值为 10MHz。

5.5.1.2.2 LPO 电气和时序技术规格

表 5-10. LPO 技术规格

参数		最小值	典型值	最大值	单位
时钟检测	振荡器故障频率 - 更低的阈值，使用未经修整的 LPO 输出	1.375	2.4	4.875	MHz
	振荡器故障频率 - 更高的阈值，使用未经修整的 LPO 输出	22	38.4	78	MHz
LPO-HF 振荡器 (f_{HFLPO})	未经修整的频率	5.5	9	19.5	MHz
	已修整的频率	8	9.6	11	MHz
	从待机 (STANDBY) 的启动时间 (LPO BIAS_EN 高电平时间至少为 900μs)			10	μs
	冷启动时间			900	μs
LPO-LF 振荡器	未经修整的频率	36	85	180	kHz
	从待机 (STANDBY) 的启动时间 (LPO BIAS_EN 高电平时间至少为 900μs)			100	μs
	冷启动时间			2000	μs

5.5.1.3 锁相环 (PLL) 时钟模块

PLL 用于将输入频率倍乘以获得更高的频率。

PLL 的主要特性为：

- 频率调制可被有选择性地添加到 PLL 的合成频率上。
- 可配置频率倍频器和分频器。
- 内置 PLL 跳周监视电路。
- 检测到一个 PLL 跳周时将器件复位的选项。

5.5.1.3.1 方框图

下图显示了一个在该微控制器上的 PLL 宏的高级方框图。

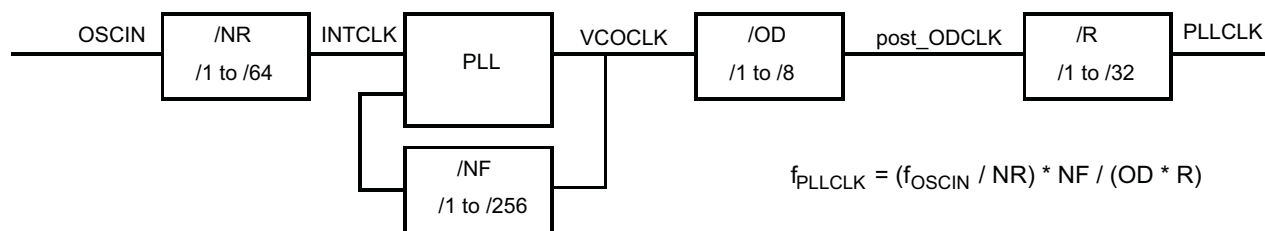


图 5-6. PLL 方框图

5.5.1.3.2 PLL 时序技术规格

表 5-11. PLL 时序技术规格

参数	最小值	最大值	单位
f_{INTCLK}	PLL1 基准时钟频率	1	20 MHz
$f_{\text{post_ODCLK}}$	Post-ODCLK-PLL1 后置分频器输入时钟基准	400	MHz
f_{VCOCLK}	VCOCLK-PLL1 输出分频器 (OD) 输入时钟基准	150	550 MHz

5.5.2 时钟域

5.5.2.1 时钟域说明

下面的表格列出了器件时钟域和它们的缺省时钟源。这个表还显示了被用于为每个时钟域选择一个可用时钟源的系统模块控制寄存器。

表 5-12. 时钟域说明

时钟域, 名称	缺省时钟源	时钟源选择寄存器	说明
HCLK	OSCIN	GHVSRC	• 由 CDDISx 寄存器位 1 禁用
GCLK	OSCIN	GHVSRC	• 一直与 HCLK 的频率保持一致 • 与 HCLK 同相 • 可由 CDDISx 寄存器位 0 与 HCLK 分别被禁用 • 通过使用地址 0xFFFFE108 上的 STCLKDIV 寄存器的 CLKDIV 字段, 当运行 CPU 自检 (LBIST) 时, 可被 1 到最高 8 分频。
GCLK2	OSCIN	GHVSRC	• 一直与 GCLK 的频率保持一致 • 比 GCLK 晚 2 个周期 • 与 GCLK 一起被禁用 • 当运行 CPU 自检 (LBIST) 时, 使用与 GCLK 一样的分频器设置进行分频。

表 5-12. 时钟域说明 (continued)

时钟域, 名称	缺省时钟源	时钟源选择寄存器	说明
VCLK	OSCIN	GHVSR	- 由 HCLK 分频获得 - 可以为 HCLK/1, HCLK/2, ... 或 HCLK/16 - 可由 CDDISx 寄存器位 2 与 HCLK 分别被禁用 - 通过使用 CDDISx 寄存器的位 9 可单独禁用 eQEP
VCLK2	OSCIN	GHVSR	- 由 HCLK 分频获得 - 可以为 HCLK/1, HCLK/2, ... 或 HCLK/16 - 频率必须为 VCLK 频率的整数倍数。 - 可由 CDDISx 寄存器位 3 与 HCLK 分别被禁用
VCLKA1	VCLK	VCLKASRC	- 缺省将VCLK 作为一个源 - 频率速度可与 HCLK频率一样 - 由 CDDISx 寄存器位 4 禁用
RTICLK	VCLK	RCLKSRC	- 缺省将 VCLK 作为一个源 - 如果一个 VCLK 以外的时钟源被选为 RTICLK, 那么 RTICLK 频率必须小于或等于 VCLK/3。 - 如果需要的话, 应用可以通过编辑 RCLKSRC 寄存器的 RTI1DIV 字段来确保这一要求。 - 由 CDDISx 寄存器位6 禁用

5.5.2.2 将时钟域映射到器件模块

每个时钟模块都有一个专用功能，如在下图中所示。

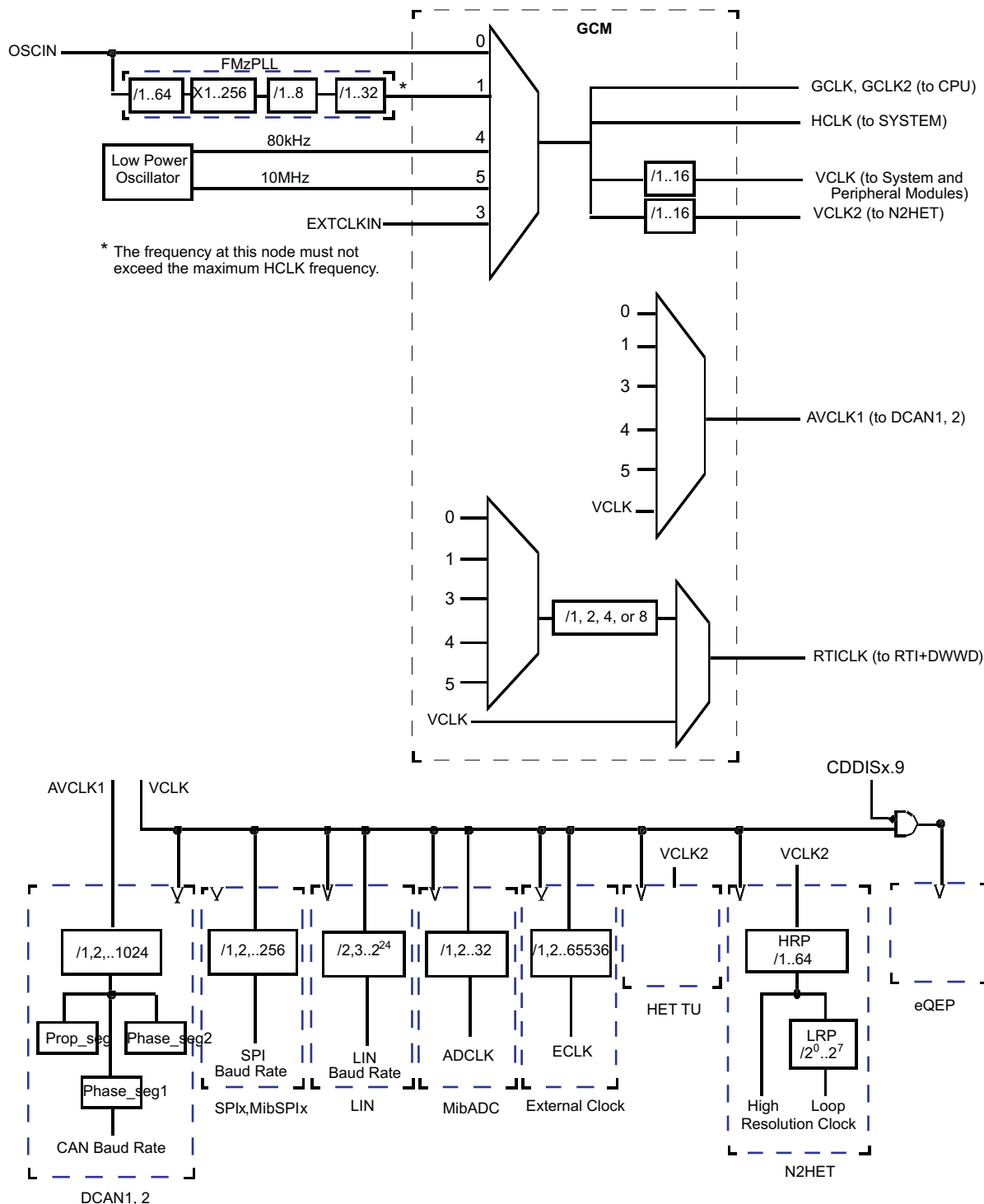


图 5-7. 器件时钟域

5.5.3 时钟测试模式

TMS570平台架构定义了一个特别模块，此模块允许在 ECLK 引脚和 N2HET[2] 器件输出上生成不同的时钟信号。这个模块被称为时钟测试模块 它对于调试十分有用并且可由系统模块中的 CLKTEST 寄存器配置。

表 5-13. 时钟测试模式选项

CLKTEST[3-0]	ECLK 上的信号	CLKTEST[11-8]	N2HET[2] 上的信号
0000	振荡器	0000	振荡器有效状态
0001	主 PLL 自由运行时钟输出 (PLLCLK)	0001	主 PLL 有效状态
0010	被保留	0010	被保留
0011	被保留	0011	被保留
0100	CLK80K	0100	被保留
0101	CLK10M	0101	CLK10M 有效状态
0110	被保留	0110	被保留
0111	被保留	0111	被保留
1000	GCLK	1000	CLK80K
1001	RTI时基	1001	振荡器有效状态
1010	被保留	1010	振荡器有效状态
1011	VCLKA1	1011	振荡器有效状态
1100	被保留	1100	振荡器有效状态
1101	被保留	1101	振荡器有效状态
1110	被保留	1110	振荡器有效状态
1111	闪存 HD 泵振荡器	1111	振荡器有效状态

5.6 时钟监视

LPO 时钟检测 (LPOCLKDET) 模块由一个时钟监视器 (CLKDET) 和一个内部低功耗振荡器 (LPO) 组成。

LPO 提供两个时钟源-一个低频 (LFLPO) 和一个高频 (HFLPO)。

CLKDET 是为一个针对外部提供的时钟信号 (OSCIN) 的监控电路。在 OSCIN 频率下降到低于一个频率窗口的情况下, CLKDET 在全局状态寄存器中标记这个情况 (GLBSTAT 位 0: 振荡器故障 (OSC FAIL)) 并且将所有由 OSCIN 供源的时钟域切换至 HFLPO 时钟 (跛行模式时钟)。

有效 OSCIN 频率范围被定义为: $f_{HFLPO}/4 < f_{OSCIN} < f_{HFLPO} * 4$ 。

5.6.1 时钟监视时序

有关 LPO 和时钟检测的更多信息, 请参考表 5-10。

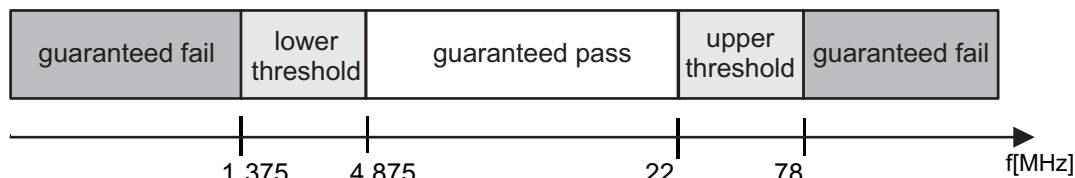


图 5-8. LPO 和时钟检测, 未修整的 HFLPO

5.6.2 外部时钟 (ECLK) 输出功能

ECLK 引脚可被配置为输出一个预分频时钟信号, 此信号表示一个内部器件时钟。这个输出可被外部监视为一个安全诊断。

5.6.3 双时钟比较器

双时钟比较器 (DCC) 模块通过计数两个独立时钟源 (计数器 0 和计数器 1) 的脉冲数来确定所选时钟源的准确性。如果一个时钟在技术参数之外, 那么就生成一个错误信号。例如, DCC 可被配置为使用 CLK10M 作为基准时钟 (用于计数器 0), 而 VCLK 作为“测试中的时钟” (用于计数器 1)。这个配置使得 DCC 能够在 VCLK 正在使用 PLL 输出作为其时钟源的时候监视 PLL 输出时钟。

这个模块的一个另外的用途是测量一个可选时钟源的频率, 方法是使用输入时钟作为一个基准, 通过计算两个独立时钟源的脉冲来测量。计数器 0 在一个预先设定的脉冲数量之后生成一个定宽计数窗口。计数器 1 在一个预先设定的脉冲数量之后生成一个定宽脉冲 (1 个周期)。如果计数器 1 在由计数器 0 生成的计数窗口内没有达到 0, 那么这个脉冲被设定为一个错误信号。

5.6.3.1 特性

- 将两个不同的时钟源作为到两个独立计数器块的输入。
- 时钟源中的一个为已知正常, 或基准时钟; 第二个时钟源是“测试中的时钟。”
- 每个计数器可使用初始的, 或者种子值进行编程。
- 计数器块同时从它们的种子值开始倒计时; 与针对测试中时钟的预计频率的不匹配将生成一个错误信号, 此信号被用于中断 CPU。

5.6.3.2 DCC 时钟源中断的映射

表 5-14. DCC 计数器 0 时钟源

测试模式	时钟源 [3:0]	时钟名称
0	其它	振荡器 (OSCIN)
	0x5	高频 LPO
	0xA	测试时钟 (TCK)
1	X	VCLK

表 5-15. DCC 计数器 1 时钟源

测试模式	键 [3:0]	时钟源 [3:0]	时钟名称
0	其它	-	N2HET[31]
	0xA	0x0	主 PLL自由运行时钟输出
		0x1	不可用
		0x2	低频LPO
		0x3	高频 LPO
		0x4	闪存 HD 泵振荡器
		0x5	EXTCLKIN
		0x6	不可用
		0x7	环形振荡器
		0x8-0xF	VCLK
1	X	X	HCLK

5.7 去毛刺脉冲滤波器

一个毛刺脉冲滤波器出现在以下信号上。

表 5-16. 毛刺脉冲滤波器时序技术规格

引脚	参数		最小值	最大值	单位
nPORRST	$t_{f(nPORRST)}$	滤波时间 nPORRST 引脚； 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位 ⁽¹⁾	475	2000	ns
nRST	$t_{f(nRST)}$	滤波器时间 nRST 引脚。 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将生成一个复位	475	2000	ns
TEST	t_f (测试)	滤波器时间 TEST 引脚。 小于 MIN 的脉冲将被滤除掉，大于 MAX 的脉冲将通过	475	2000	ns

(1) nPORRST 信号上的毛刺脉冲滤波器被设计成振幅脉冲将不会复位微控制器的任何部件（闪存泵，I/O 引脚等）。无也生成一个到 CPU 的有效复位。

5.8 器件存储器映射

5.8.1 存储器映射图

图 5-9 显示了器件存储器映射。

0xFFFFFFFF	SYSTEM Modules
0xFFF80000	
0xFFF7FFFF	Peripherals - Frame 1
0xFF000000	
0xFE000000	CRC
	RESERVED
0xFCFFFFFF	
0xFC000000	Peripherals - Frame 2
	RESERVED
0xF07FFFFF	
	Flash Module Bus2 Interface (Flash ECC, OTP and EEPROM accesses)
0xF0000000	
	RESERVED
0x2001FFFF	
0x20000000	Flash (128KB) (Mirrored Image)
	RESERVED
0x08407FFF	
0x08400000	RAM - ECC
	RESERVED
0x08007FFF	
0x08000000	RAM (32KB)
	RESERVED
0x0001FFFF	
0x00000000	Flash (128KB)

图 5-9. TMS570LS0232 存储器映射

在所有配置中的闪存存储器被镜像来支持 ECC 逻辑测试。被镜像的闪存映像的基址为 0x2000 0000。

PRODUCT PREVIEW

5.8.2 存储器映射表

请参阅图 1-1 给出的器件互连方框图。

表 5-17. 器件存储器映射

模块名称	帧芯片选择	地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 (START)	结束 (END)			
紧耦合至 ARM Cortex-R4 CPU 的存储器						
TCM闪存	CS0	0x0000_0000	0x00FF_FFFF	16MB	128KB	异常中断
TCM RAM + RAMECC	CSRAM0	0x0800_0000	0x0BFF_3FFF	64MB	32KB	
被镜像的闪存	闪存镜像帧	0x2000_0000	0x20FF_FFFF	16MB	128KB	
闪存模块总线 2 接口						
用户一次性可编程 (OTP), TCM 闪存组		0xF000_0000	0xF000_07FF	64KB	2KB	异常中断
用户 OTP, EEPROM 组		0xF000_E000	0xF000_E3FF		1KB	
用户 OTP-ECC, TCM 闪存组		0xF004_0000	0xF004_00FF	8KB	256B	
用户 OTP-ECC, EEPROM 组		0xF004_1C00	0xF004_1C7F		128B	
TI OTP, TCM 闪存组		0xF008_0000	0xF008_07FF	64KB	2KB	
TI OTP, EEPROM 组		0xF008_E000	0xF008_E3FF		1KB	
TI OTP-ECC, TCM 闪存组		0xF00C_0000	0xF00C_00FF	8KB	256B	
TI OTP-ECC, EEPROM 组		0xF00C_1C00	0xF00C_1C7F		128B	
EEPROM 组-ECC		0xF010_0000	0xF010_07FF	256KB	2KB	
EEPROM 组		0xF020_0000	0xF020_3FFF	2MB	16KB	
闪存数据空间 ECC		0xF040_0000	0xF040_DFFF	1MB	48 KB	
循环冗余校验 (CRC) 模块寄存器						
CRC	CRC帧	0xFE00_0000	0xFEFF_FFFF	16MB	512B	对 0x200 以上的访问生成异常中断。
外设存储器						
MIBSPI1 RAM	PCS[7]	0xFF0E_0000	0xFF0F_FFFF	128KB	2KB	针对 2KB 以上访问的异常中断
DCAN2 RAM	PCS[14]	0xFF1C_0000	0xFF1D_FFFF	128KB	2KB	到偏移低于 0x7FF 的未实现地址的内存连续访问 偏移 0x800 之上的访问生成的异常中断。
DCAN1 RAM	PCS[15]	0xFF1E_0000	0xFF1F_FFFF	128KB	2KB	到偏移低于 0x7FF 的未实现地址的内存连续访问 偏移 0x800 之上的访问生成的异常中断。
MIBADCRAM	PCS[31]	0xFF3E_0000	0xFF3F_FFFF	128KB	8KB	到偏移低于 0x1FFF 的未实现地址的内存连续访问。
MIBADC 查询表					384 字节	针对 ADC 包装程序的查询表。开始于偏移量 0x2000 且结束于 0x217F。针对偏移 0x180 和 0x3FFF 间访问的内存连续 针对 x4000 之上的访问生成的异常中断

表 5-17. 器件存储器映射 (continued)

模块名称	帧芯片选择	地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 (START)	结束 (END)			
N2HETRAM	PCS[35]	0xFF46_0000	0xFF47_FFFF	128KB	16KB	到偏移低于 0x3FFF 的未实现地址的内存连续访问。0x3FFF 之上的访问生成的异常中断。
HTU RAM	PCS[39]	0xFF4E_0000	0xFF4F_FFFF	128KB	1KB	异常中断
调试组件						
CoreSight 调试 ROM	CSCS0	0xFFA0_0000	0xFFA0_0FFF	4KB	4KB	读取返回 0，写入无影响
Cortex-R4 调试	CSCS1	0xFFA0_1000	0xFFA0_1FFF	4KB	4KB	读取返回 0，写入无影响
外设控制寄存器						
HTU	PS[22]	0xFFF7_A400	0xFFF7_A4FF	256B	256B	读取返回 0，写入无影响
N2HET	PS[17]	0xFFF7_B800	0xFFF7_B8FF	256B	256B	读取返回 0，写入无影响
GIO	PS[16]	0xFFF7_BC00	0xFFF7_BCFF	256B	256B	读取返回 0，写入无影响
MIBADC	PS [15]	0xFFF7_C000	0xFFF7_C1FF	512B	512B	读取返回 0，写入无影响
DCAN1	PS[8]	0xFFF7_DC00	0xFFF7_DFFF	512B	512B	读取返回 0，写入无影响
DCAN2	PS[8]	0xFFF7_DE00	0xFFF7_DFFF	512B	512B	读取返回 0，写入无影响
LIN	PS[6]	0xFFF7_E400	0xFFF7_E4FF	256B	256B	读取返回 0，写入无影响
MibSPI1	PS[2]	0xFFF7_F400	0xFFF7_F5FF	512B	512B	读取返回 0，写入无影响
SPI2	PS[2]	0xFFF7_F600	0xFFF7_F7FF	512B	512B	读取返回 0，写入无影响
SPI3	PS[1]	0xFFF7_F800	0xFFF7_F9FF	512B	512B	读取返回 0，写入无影响
EQEP	PS[25]	0xFFF7_9900	0xFFF7_99FF	256B	256B	读取返回 0，写入无影响
EQEP (镜像)	PS2[25]	0xFCF7_9900	0xFCF7_99FF	256B	256B	读取返回 0，写入无影响
系统模块控制寄存器和存储器						
VIM RAM	PPCS2	0xFFF8_2000	0xFFF8_2FFF	4KB	1KB	到偏移低于 0x3FF 的未实现地址的内存连续访问 0x3FF 以上的访问将被忽略。
闪存包装程序	PPCS7	0xFFF8_7000	0xFFF8_7FFF	4KB	4KB	异常中断
熔丝组控制器	PPCS12	0xFFF8_C000	0xFFF8_CFFF	4KB	4KB	异常中断
PCR 寄存器	PPS0	0xFFFF_E000	0xFFFF_E0FF	256B	256B	读取返回 0，写入无影响
系统模块-帧 2 (请参见器件 TRM)	PPS0	0xFFFF_E100	0xFFFF_E1FF	256B	256B	读取返回 0，写入无影响
PBIST	PPS1	0xFFFF_E400	0xFFFF_E5FF	512B	512B	读取返回 0，写入无影响
STC	PPS1	0xFFFF_E600	0xFFFF_E6FF	256B	256B	读取返回 0，写入无影响
IOMM 复用控制模块	PPS2	0xFFFF_EA00	0xFFFF_EBFF	512B	512B	如果被启用，会产生地址错误中断。
DCC	PPS3	0xFFFF_EC00	0xFFFF_ECFE	256B	256B	读取返回 0，写入无影响
ESM	PPS5	0xFFFF_F500	0xFFFF_F5FF	256B	256B	读取返回 0，写入无影响
CCMR4	PPS5	0xFFFF_F600	0xFFFF_F6FF	256B	256B	读取返回 0，写入无影响
RAM ECC 偶数	PPS6	0xFFFF_F800	0xFFFF_F8FF	256B	256B	读取返回 0，写入无影响
RAM ECC 奇数	PPS6	0xFFFF_F900	0xFFFF_F900	256B	256B	读取返回 0，写入无影响
RTI+DWWD	PPS7	0xFFFF_FC00	0xFFFF_FCFE	256B	256B	读取返回 0，写入无影响
VIM 奇偶校验	PPS7	0xFFFF_FD00	0xFFFF_FDFF	256B	256B	读取返回 0，写入无影响
VIM	PPS7	0xFFFF_FE00	0xFFFF_FEFF	256B	256B	读取返回 0，写入无影响
系统模块-帧 1 (请参见器件 TRM)	PPS7	0xFFFF_FF00	0xFFFF_FFFF	256B	256B	读取返回 0，写入无影响

5.8.3 主器件/从器件访问权限

下面的表格中列出了器件上每个总线主控的访问许可。一个总线主控是一个能够在器件上启动一个读取或写入操作的模块。

表中列出了主互连上的每个受控模块。一个“支持”表示列于“主控”列的模块能够访问受控模块。

表 5-18. 主器件/从器件访问矩阵

主器件	访问模式	主 SCR 上的从器件			
		闪存模块总线 2 接口: OTP, ECC, EEPROM 组	到程序闪存和 CPU 数据 RAM 的非 CPU 访问	CRC	外设控制寄存器, 所有外设寄存器, 以及所有系统模块控制寄存器和存储器
CPU 读取	用户/权限	是	是	是	是
CPU 写入	用户/权限	否	是	是	是
HTU	权限	否	是	是	是

5.9 闪存存储器

5.9.1 闪存存储器配置

闪存组：一个独立逻辑块，可能包含 1 至 16 个扇区。每个闪存组通常有一个用户 OTP 和一个 TI-OTP 区域。这些闪存扇区共用输入/输出缓冲器、数据路径、感测放大器、和控制逻辑。

闪存扇区：闪存存储器的一个连续区域，由于物理结构限制，此区域必须被同时擦除。

闪存泵：一个生成读取、编程、或擦除闪存组全部所需电压的电荷泵。

闪存模块：主机 CPU 和闪存组以及泵模块将所需的接口电路。

注意：0x0002_0000 到 0x0003_FFFF 的内存区域本身无法防止推测取数据或失控代码造成 nERROR 引脚翻转。必须使用 MPU 区域来限制只能访问 ATCM 空间的前 128KB (0x0000_0000-0x0001_FFFF)。此外，应使用闪存 API 版本 02.01.01 或更高版本对本器件的闪存进行编程或擦除。

表 5-19. 闪存存储器组和扇区

存储器阵列（或组）	块 编号	扇区 编号	线段	低地址	高地址
组 0 (128K 字节) ⁽¹⁾	0	0	8K 字节	0x0000_0000	0x0000_1FFF
		1	8K 字节	0x0000_2000	0x0000_3FFF
		2	8K 字节	0x0000_4000	0x0000_5FFF
		3	8K 字节	0x0000_6000	0x0000_7FFF
		4	8K 字节	0x0000_8000	0x0000_9FFF
		5	8K 字节	0x0000_A000	0x0000_BFFF
		6	8K 字节	0x0000_C000	0x0000_DFFF
		7	8K 字节	0x0000_E000	0x0000_FFFF
		8	8K 字节	0x0001_0000	0x0001_1FFF
		9	8K 字节	0x0001_2000	0x0001_3FFF
		10	8K 字节	0x0001_4000	0x0001_5FFF
		11	8K 字节	0x0001_6000	0x0001_7FFF
		12	32K 字节	0x0001_8000	0x0001_FFFF
组 7 (16kB) 用于 EEPROM 仿真 ⁽²⁾⁽³⁾	0	0	4K 字节	0xF020_0000	0xF020_0FFF
	1	1	4K 字节	0xF020_1000	0xF020_1FFF
	2	2	4K 字节	0xF020_2000	0xF020_2FFF
	3	3	4K 字节	0xF020_3000	0xF020_3FFF

(1) 该闪存组为 144 位宽，带 ECC 支持。

(2) 闪存组 7 是 FLEE 库且可以在执行闪存组 0 中的代码的同时对其进行编程。该闪存组为 72 位宽，带 ECC 支持。

(3) 不支持从闪存组 7 执行代码。

5.9.2 闪存模块的主要特性

- 支持多个闪存组的编程和/或数据存储
- 在读取访问一个组的同时在其它组上执行编程或者擦除操作
- 集成的状态机时闪存擦除和编程操作自动进行
- 闪存编程和擦除操作的软件界面
- 管线模式运行以提升指令访问接口带宽
- 支持 Cortex-R4 CPU 内的单纠错双纠错 (SECCDED) 块
 - 错误地址被捕捉用于主机系统调试
- 支持丰富的诊断特性集

5.9.3 针对闪存访问的 ECC 保护

所有到程序闪存存储器的访问受到 CPU 内嵌的单纠错双纠错 (SECCDED) 逻辑的保护。针对 64 位指令或者从闪存存储器的取数据，闪存模块提供 8 位 ECC 代码。根据接收到的 64 位，CPU 计算出预计的 ECC 代码，并且将此代码与闪存模块返回的 ECC 代码相比较。一个单位错误是由 CPU 纠正和标记的，但只标记一个多位错误。CPU 通过其事件总线发出一个 ECC 错误。这个信令机制缺省情况下并不被启用，并且必须通过将性能监视控制寄存器，c9 的 'X' 位置位来启用。

```
MRC p15, #0, r1, c9, c12, #0      ;Enabling Event monitor states
ORR r1, r1, #0x00000010
MCR p15, #0, r1, c9, c12, #0      ;Set 4th bit ('X') of PMNC register
MRC p15, #0, r1, c9, c12, #0
```

应用必须明确地启用 CPU 的 ECC 校验对 CPU ATCM 和 BTCM 接口上的访问进行检查。这些分别被连接到程序闪存和数据 RAM。可通过将系统控制协处理器的辅助控制寄存器，c1 的 B1TCMPCEN, B0TCMPCEN 和 ATCMPCEN 位置位来完成对这些接口的 ECC 检查。

```
MRC p15, #0, r1, c1, c0, #1
ORR r1, r1, #0x0e000000      ;Enable ECC checking for ATCM and BTCMs
DMB
MCR p15, #0, r1, c1, c0, #1
```

5.9.4 闪存访问速度

有关闪存存储器访问速度和所需相关等待状态的信息，请参见 [节 4.6](#)。

5.10 程序闪存的闪存编程和擦除时序

表 5-20. 程序闪存的时序规格

参数			最小值	标称值	最大值	单位
t _{prog} (144 位)	宽字 (144 位) 编程时间			40	300	μs
t _{prog} (总)	384k 字节编程时间 ⁽¹⁾	-40°C 至 125°C			4	s
		对于头 25 个周期, 0°C 至 60°C		1	2	s
t _{擦除}	扇区/组擦除时间 ⁽²⁾	-40°C 至 125°C		0.30	4	s
		对于头 25 个周期, 0°C 至 60°C		16	100	ms
t _{wec}	具有 15 年数据保持要求的写入/擦除周期	-40°C 至 125°C			1000	周期

(1) 编程时间包括状态机的的开销, 但不包括数据传输时间。编程时间假定在最大额定运行频率上一次编辑 144 个位。

(2) 组擦除期间, 所选择的扇区被同时擦除。组擦除时间被规定为与扇区擦除时间相等。

5.11 闪存编程和擦除时序数据闪存

表 5-21. 数据闪存的时序规格

参数			最小值	标称值	最大值	单位
t _{prog} (72 位)	宽字 (72 位) 编程时间			47	300	μs
t _{prog} (总)	16K 字节编程时间 ⁽¹⁾	-40°C 至 125°C			330	ms
		对于头 25 个周期, 0°C 至 60°C		100	165	ms
t _{擦除}	扇区/组擦除时间 ⁽²⁾	-40°C 至 125°C		0.200	8	s
		对于头 25 个周期, 0°C 至 60°C		14	100	ms
t _{wec}	具有 15 年数据保持要求的写入/擦除周期	-40°C 至 125°C			100000	周期

(1) 编程时间包括状态机的的开销, 但不包括数据传输时间。编程时间假定在指定的最大运行频率下一次性编程设定 72 个位。

(2) 组擦除期间, 所选择的扇区被同时擦除。组擦除时间被规定为与扇区擦除时间相等。

5.12 紧耦合 RAM 接口模块

图 5-10 图示了紧耦合 RAM (TCRAM) 到 Cortex-R4 CPU 的连接。

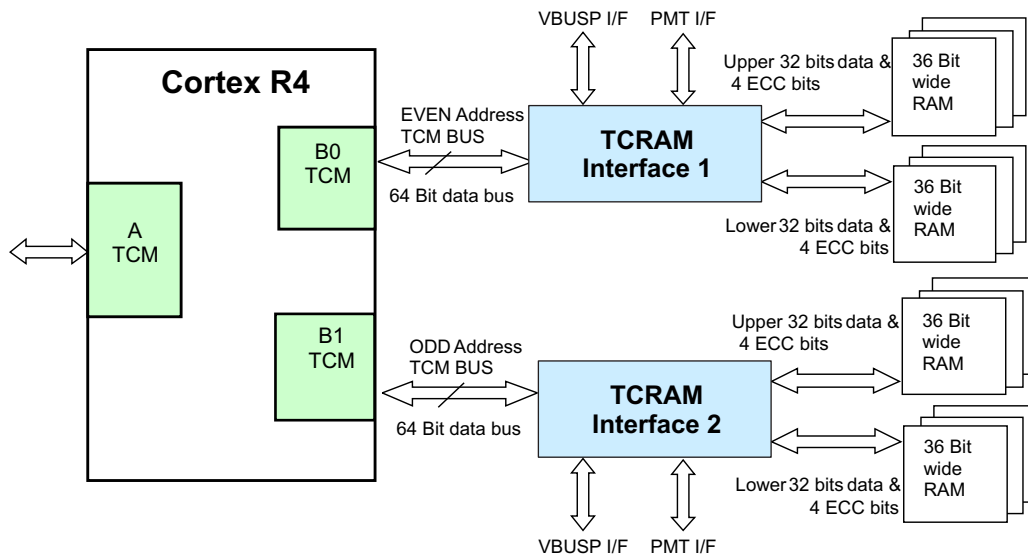


图 5-10. TCRAM 方框图

5.12.1 特性

紧耦合 RAM (TCRAM) 模块的特性有：

- 用作 Cortex-R4 CPU 的 BTCM 接口的从器件
- 通过提供 64 位数据和 8 位 ECC 代码来支持 CPU 内部 ECC 机制
- 监视 CPU 事件总线并生成单或双错误中断
- 存储针对单和多错误地址
- 通过支持地址总线上的奇偶校验来提供 CPU 地址总线完整性检查
- 执行针对 RAM 组芯片选择和 ECC 选择生成逻辑的冗余地址解码
- 通过执行两个 36 位宽字节交叉 RAM 组并且生成到两个组的独立的 RAM 访问控制信号来提供针对 RAM 增强型安全性。
- 支持 RAM 组连同 ECC 位的自动初始化。
- 不支持位元 RAM 访问

5.12.2 TCRAMW ECC 支持

针对 Cortex-R4 CPU 从 RAM 读取的每个数据，TCRAMW 传递 ECC 代码。它还在 CPU 进行到 RAM 的写入操作时将 CPU ECC 端口内容存储在 ECC RAM 中。TCRAMW 监视 CPU 事件总线并且为寄存器指示单/多位错误并且使寄存器识别导致单或多错误地址。针对 RAM 访问的事件信令和 ECC 检查必须在 CPU 内部被启用。

更多信息请参阅器件技术参考手册。

5.13 用于外设 RAM 访问的奇偶校验保护

对某些外设 RAM 的访问由偶数/奇数校验检查保护。在一个读取访问期间，根据从外设 RAM 中读取的数据计算奇偶校验并且将其与存储在针对那个外设的奇偶校验 RAM 中的正确奇偶校验值相比较。如果有任一字使奇偶校验检查失败，模块将生成一个被映射到错误信令模块的奇偶校验错误信号。此模块还捕捉导致奇偶校验错误的外设 RAM 地址。

缺省情况下，针对外设 RAM 的奇偶校验保护并不启用，而必须由应用启用。每个独立的外设包含控制寄存器来启用针对到它的 RAM 访问的奇偶校验保护。

注

CPU 读取访问从外设获得真实的数据。应用可以选择在一个外设 RAM 奇偶校验错误被检测到时生成一个中断。

5.14 片载 SRAM 初始化和测试

5.14.1 使用 PBIST 的片载 SRAM 自检

5.14.1.1 特性

- 扩展指令集以支持不同的存储器测试算法
- 基于 ROM 的算法使得应用能够运行 TI 生产级存储器测试
- 所有片载 SRAM 的独立测试

5.14.1.2 PBIST RAM 组

表 5-22. PBIST RAM 分组

内存	RAM 组	测试时钟	存储器类型	测试模式（算法）			
				三倍读取 慢速读取	三倍读取 快速读取	March 13N 算 法 ⁽¹⁾ 两个端口（周 期）	March 13N 算 法 ⁽¹⁾ 单端口（周期）
				ALGO MASK 0x1	ALGO MASK 0x2	ALGO MASK 0x4	ALGOMASK 0x8
PBIST_ROM	1	ROMCLK	ROM	X	X		
STC_ROM	2	ROMCLK	ROM	X	X		
DCAN1	3	VCLK	双端口			12720	
DCAN2	4	VCLK	双端口			6480	
ESRAM1	6	HCLK	单端口				133160
MIBSPI1	7	VCLK	双端口			33440	
VIM	10	VCLK	双端口			12560	
MIBADC	11	VCLK	双端口			4200	
N2HET1	13	VCLK	双端口			25440	
HTU1	14	VCLK	双端口			6480	

(1) 在 PBIST ROM 中存储了几个存储器测试算法。然而，TI 将 March13N 算法用于应用测试。

PBIST ROM 时钟可由 HCLK 分频得到。通过编辑地址 0xFFFFF58 上存储器自检全局控制寄存器 (MSTGCR) 的 ROM_DIV 字段来选择此分频器。

5.14.2 片载 SRAM 自动初始化

这个微控制器允许通过系统模块中的存储器硬件初始化机制来初始化某些片载存储器。这个硬件机制使得一个应用能够根据存储器阵列的错误检测机制（偶数/奇数奇偶校验或 ECC）来将带有错误检测功能的存储器阵列设定为一个已知状态。

MINITGCR 寄存器启用内存初始化序列，并在 MSINENA 寄存器选择要初始化的内存。

有关这些寄存器的更多信息请参阅《器件技术参考手册》。

不同片载存储器到 MSINENA 寄存器特定位的映射显示在表 5-23 中。

表 5-23. 存储器初始化

连接模块	地址范围		MSINENA 寄存器位号 ⁽¹⁾
	基址	结束地址	
RAM	0x08000000	0x08007FFF	0
MIBSPI1 RAM	0xFF0E0000	0xFF0FFFFF	7 ⁽²⁾
DCAN2 RAM	0xFF1C0000	0xFF1DFFFF	6
DCAN1 RAM	0xFF1E0000	0xFF1FFFFFFF	5
MIBADCRAM	0xFF3E0000	0xFF3FFFFFFF	8
N2HETRAM	0xFF460000	0xFF47FFFF	3
HTU RAM	0xFF4E0000	0xFF4FFFFFFF	4
VIM RAM	0xFFF82000	0xFFF82FFF	2

(1) 未分配的寄存器位被保留。

(2) 只要通过使用 SPI 全局控制寄存器 0 (SPIGCR0) 生成该模块时，MibSPI1 模块就会立即执行发送和接收 RAM 的初始化。这与应用程序是否使用的系统模块自动初始化方法来选择初始化 MibSPI1 RAM 是无关的。

5.15 矢量中断管理器

矢量中断管理器 (VIM) 为器件上的许多中断源进行优先级排序以及控制这些中断源提供了硬件支持。中断由正常程序执行流程以外的事件引起。这些事件通常要求一个来自中央处理单元 (CPU) 的及时的响应；因此，当一个中断发生时，CPU 从正常程序流程切换至中断处理例程 (ISR)。

5.15.1 VIM 特性

VIM 模块有下列特性：

- 支持 96 个中断通道。
 - 提供可编程优先级和针对中断请求线路的使能。
- 提供一个针对最快速 IRQ 调度的直接硬件调度机制。
- 当 CPU VIC 端口未被使用时提供两个软件调度机制。
 - 索引中断
 - 寄存器矢量化中断
- 由奇偶校验保护的矢量中断表预防软件错误。

5.15.2 中断请求分配

表 5-24. 中断请求分配

模块	中断源	缺省 VIM 中断通道
ESM	ESM 高级中断 (NMI)	0
被保留	被保留	1
RTI	RTI 比较中断 0	2
RTI	RTI 比较中断 1	3
RTI	RTI 比较中断 2	4
RTI	RTI 比较中断 3	5
RTI	RTI 溢出中断 0	6
RTI	RTI 溢出中断 1	7
被保留	被保留	8
GIO	GIO 中断 A	9
N2HET	NHET2 0 级中断	10
HTU	HTU 0 级中断	11
MIBSPI1	MIBSPI1 0 级中断	12
LIN	LIN 0 级中断	13
MIBADC	MIBADC 事件组中断	14
MIBADC	MIBADC sw 组 1 中断	15
DCAN1	DCAN1 0 级中断	16
SPI2	SPI20 级中断	17
被保留	被保留	18
被保留	被保留	19
ESM	ESM 低级中断	20
系统	软件中断 (SSI)	21
CPU	PMU 中断	22
GIO	GIO 中断 B	23
N2HET	N2HET 1 级中断	24
HTU	HTU 1 级中断	25
MIBSPI1	MIBSPI1 1 级中断	26
LIN	LIN 1 级中断	27
MIBADC	MIBADC sw 组 2 中断	28
DCAN1	DCAN1 1 级中断	29

表 5-24. 中断请求分配 (continued)

模块	中断源	缺省 VIM 中断通道
SPI2	SPI21 级中断	30
MIBADC	MIBADC 量级比较中断	31
被保留	被保留	32-34
DCAN2	DCAN2 0 级中断	35
被保留	被保留	36
SPI3	SPI3 0 级中断	37
SPI3	SPI3 1 级中断	38
被保留	被保留	39-41
DCAN2	DCAN2 1 级中断	42
被保留	被保留	43-60
FMC	FSM_DONE 中断	61
被保留	被保留	62-79
HWAG	HWA_INT_REQ_H	80
被保留	被保留	81
DCC	DCC 完成中断	82
被保留	被保留	83
eQEPINTn	eQEP中断	84
PBIST	PBIST 完成中断	85
被保留	被保留	86-87
HWAG	HWA_INT_REQ_L	88
被保留	被保留	89-95

注

VIM RAM 中的地址位置 0x00000000 为幻影中断 ISR 入口所保留；因此，只可使用请求通道 0..94 并且在 VIMRAM 中偏移 1 个地址。

5.16 实时中断模块

实时中断 (RTI) 模块为操作系统和基准代码提供定时器功能。RTI 模块可包含几个计数器，这些计数器定义了调度操作系统所需的时基。

定时器还使得您能够通过通过在所需代码范围的开始和末尾读取计数器的值并计算这些值之间的不同来重构代码的特定区域。

5.16.1 特性

RTI 模块有下列特性：

- 两个独立的 64 位计数器块
- 四个可配置的比较产生操作系统的时钟节拍。每个事件可由计数器块 0 或计数器块 1 驱动。
- 事件的快速启用/禁用
- 两个针对系统或外设中断的时间戳（捕捉）功能，每个计数器块一个

5.16.2 方框图

图 5-11 显示了一个针对 RTI 模块内部两个 64 位计数器块的其中一个的高级方框图。这两个计数器块是相同的。

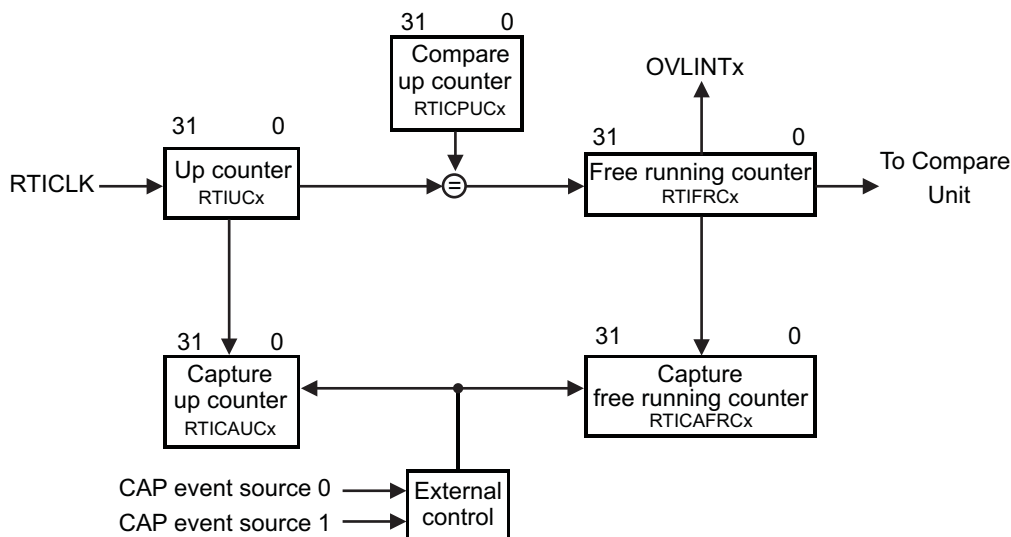


图 5-11. 计数器块图

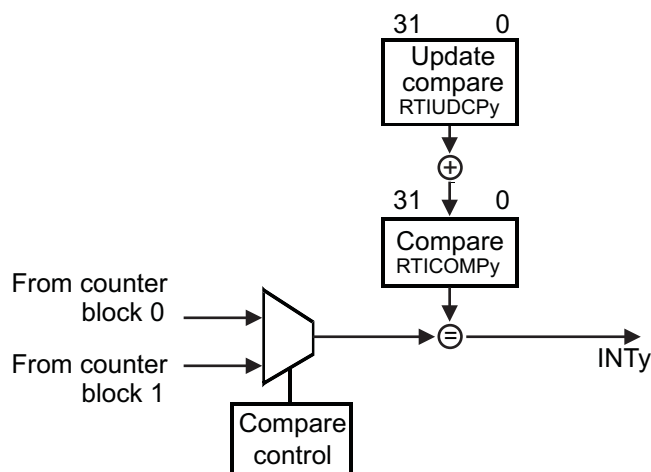


图 5-12. 比较块图

5.16.3 时钟源选项

RTI 模块使用 RTICLK 时钟域来生成 RTI 时基。

应用可通过配置地址为 0xFFFFF50 的系统模块内的 RCLKSRC 寄存器来为 RTICLK 选择时钟源。RTICLK 缺省时钟源为 VCLK。

时钟源的更多信息请参考表 5-8 和表 5-12。

5.17 错误信令模块

错误信令模块 (ESM) 管理TMS570微控制器上不同的错误条件。 错误条件按照分配给它的固定严重等级被处理。 任何严重的错误条件可被配置成在一个被称为 **nERROR** 的专用器件引脚上驱动一个低电平。 这可被用作一个对外部监视器电路的指示，使此电路将系统置于一个故障安全模式。

5.17.1 特性

错误信令模块的特性为：

- 支持 128 个中断/错误通道，这些通道分成 3 个不同的组
 - 64 个具有可屏蔽中断和可配置错误引脚运行方式的通道
 - 32 个错误通道，这些通道具有不可屏蔽中断和预先设定的错误引脚运行方式
 - 32 个只具有预先设定的错误引脚运行方式的通道
- 发出严重器件故障信号的错误引脚
- 用于错误信号的可配置时基
- 错误强制功能

5.17.2 ESM 通道分配

错误信令模块 (ESM) 集成了所有器件错误条件并将它们按照严重顺序分组。 组 1 用于最低严重程度等级的错误，而组 3 被用于最高严重程度等级的错误。 器件对每个错误的响应由它所连接到严重程度组别确定。 表 5-26 显示了针对每个组的通道分配。

表 5-25. ESM 组

错误组	中断特性	对错误引脚的影响
组 1	可屏蔽，低或高优先级	可配置的
组 2	不可屏蔽的，高 优先级	固定的
组 3	没有中断被生成	固定的

表 5-26. ESM 通道分配

错误源	组	通道
被保留	组 1	0
被保留	组 1	1
被保留	组 1	2
被保留	组 1	3
被保留	组 1	4
被保留	组 1	5
FMC - 可校正的错误：总线 1 和总线 2 接口（不包括到组 EEPROM 的访问）	组 1	6
N2HET - 奇偶校验	组 1	7
HTU - 奇偶校验	组 1	8
HTU - MPU	组 1	9
PLL - 跳周	组 1	10
时钟监视器 - 中断	组 1	11
被保留	组 1	12
被保留	组 1	13
被保留	组 1	14
VIM RAM - 奇偶校验	组 1	15
被保留	组 1	16
MibSPI1 - 奇偶校验	组 1	17
被保留	组 1	18
MibADC - 奇偶校验	组 1	19

表 5-26. ESM 通道分配 (continued)

错误源	组	通道
被保留	组 1	20
DCAN1 - 奇偶校验	组 1	21
被保留	组 1	22
DCAN2 - 奇偶校验	组 1	23
被保留	组 1	24
被保留	组 1	25
RAM 偶数组 (B0TCM) - 可纠正的错误	组 1	26
CPU - 自检	组 1	27
RAM 奇数组 (B1TCM) - 可纠正的错误	组 1	28
被保留	组 1	29
DCC-错误	组 1	30
CCM - R4 - 自检	组 1	31
被保留	组 1	32
被保留	组 1	33
被保留	组 1	34
FMC - 可纠正的错误 (EEPROM 组访问)	组 1	35
FMC - 不可纠正的错误 (EEPROM 组访问)	组 1	36
IOMM - 复用配置错误	组 1	37
被保留	组 1	38
被保留	组 1	39
熔丝组-每当熔丝组错误状态寄存器中的任何位被置位时，就会生成这个错误信号。每当该位被置位以便处理任何电熔丝组的错误条件时，该应用程序就可以选择生成和中断。	组 1	40
熔丝组 - 自检错误。当该位被置位时，没有必要产生一个单独的中断。	组 1	41
被保留	组 1	42
被保留	组 1	43
被保留	组 1	44
被保留	组 1	45
被保留	组 1	46
被保留	组 1	47
被保留	组 1	48
被保留	组 1	49
被保留	组 1	50
被保留	组 1	51
被保留	组 1	52
被保留	组 1	53
被保留	组 1	54
被保留	组 1	55
被保留	组 1	56
被保留	组 1	57
被保留	组 1	58
被保留	组 1	59
被保留	组 1	60
被保留	组 1	61
被保留	组 1	62
被保留	组 1	63
被保留	组 2	0
被保留	组 2	1

表 5-26. ESM 通道分配 (continued)

错误源	组	通道
CCMR4 - 比较	组 2	2
被保留	组 2	3
FMC - 不可纠正的错误 (总线 1 访问上的地址奇偶校验)	组 2	4
被保留	组 2	5
RAM 偶数组 (B0TCM) - 不可纠正的错误	组 2	6
被保留	组 2	7
RAM 奇数组 (B1TCM) - 不可纠正的错误	组 2	8
被保留	组 2	9
RAM 偶组合 (B0TCM) - 地址总线奇偶校验错误	组 2	10
被保留	组 2	11
RAM 奇数组 (B1TCM) - 地址总线奇偶校验错误	组 2	12
被保留	组 2	13
被保留	组 2	14
被保留	组 2	15
TCM - ECC 活锁检测	组 2	16
被保留	组 2	17
被保留	组 2	18
被保留	组 2	19
被保留	组 2	20
被保留	组 2	21
被保留	组 2	22
被保留	组 2	23
RTI_WWD_NMI	组 2	24
被保留	组 2	25
被保留	组 2	26
被保留	组 2	27
被保留	组 2	28
被保留	组 2	29
被保留	组 2	30
被保留	组 2	31
被保留	组 3	0
熔丝组 - 自动载入错误	组 3	1
被保留	组 3	2
RAM 偶数组 (B0TCM) - ECC 不可纠正的错误	组 3	3
被保留	组 3	4
RAM 奇数组 (B1TCM) - ECC 不可纠正的错误	组 3	5
被保留	组 3	6
FMC - 不可纠正的错误: 总线 1 和总线 2 接口 (不包括地址奇偶校验错误和访问组 EEPROM 时的错误)	组 3	7
被保留	组 3	8
被保留	组 3	9
被保留	组 3	10
被保留	组 3	11
被保留	组 3	12
被保留	组 3	13
被保留	组 3	14
被保留	组 3	15
被保留	组 3	16

表 5-26. ESM 通道分配 (continued)

错误源	组	通道
被保留	组 3	17
被保留	组 3	18
被保留	组 3	19
被保留	组 3	20
被保留	组 3	21
被保留	组 3	22
被保留	组 3	23
被保留	组 3	24
被保留	组 3	25
被保留	组 3	26
被保留	组 3	27
被保留	组 3	28
被保留	组 3	29
被保留	组 3	30
被保留	组 3	31

PRODUCT PREVIEW

5.18 复位/异常中断/错误状态

表 5-27. 复位/异常中断/错误状态

错误源	系统模式	错误回应	ESM 接线, 组.通道
CPU 处理			
精确的写入错误 (NCNB / 强序)	用户/权限	精确中止 (CPU)	不可用
精确的读取错误 (NCB / 器件或正常)	用户/权限	精确中止 (CPU)	不可用
模糊的写入错误 (NCB / 器件或正常)	用户/权限	模糊中止 (CPU)	不可用
无效指令	用户/权限	未定义指令陷阱 (CPU) ⁽¹⁾	不可用
MPU 访问冲突	用户/权限	中止 (CPU)	不可用
SRAM			
B0 TCM (奇数) ECC 单一错误 (可纠正)	用户/权限	ESM	1.26
B0 TCM (偶) ECC 双错误 (不可纠正)	用户/权限	中止 (CPU), ESM => nERROR	3.3
B0 TCM (偶) 无法更正的错误 (即冗余地址解码)	用户/权限	ESM => NMI => nERROR	2.6
B0 TCM (偶) 地址总线奇偶校验错误	用户/权限	ESM => NMI => nERROR	2.10
B1 TCM (奇数) 单一错误 (可更正)	用户/权限	ESM	1.28
B1 TCM (奇数) 双错误 (不可更正)	用户/权限	中止 (CPU), ESM => nERROR	3.5
B1 TCM (奇数) 无法更正的错误 (即冗余地址解码)	用户/权限	ESM => NMI => nERROR	2.8
B1 TCM (奇数) 地址总线奇偶校验错误	用户/权限	ESM => NMI => nERROR	2.12
带有基于 CPUECC 的闪存			
FMC 可纠正的错误 - 总线 1 和总线 2 接口 (不包括对 EEPROM 组的访问)	用户/权限	ESM	1.6
FMC 不可纠正的错误 - 总线 1 访问 (不包括地址奇偶校验错误)	用户/权限	中止 (CPU), ESM => nERROR	3.7
FMC 不可纠正的错误 - 总线 2 访问 (不包括地址奇偶校验错误和到组 EEPROM 的访问)	用户/特权	ESM=>nERROR	3.7
FMC 不可纠正的错误-总线 1 访问时的地址奇偶校验错误	用户/权限	ESM => NMI => nERROR	2.4
FMC 可纠正的错误 - 到组 EEPROM 的访问	用户/权限	ESM	1.35
FMC 不可纠正的错误 - 到组 EEPROM 的访问	用户/权限	ESM	1.36
高端定时器传输单元 (HTU)			
具有从器件错误响应的 NCNB (强序) 处理	用户/权限	中断 => VIM	不可用
外部的模糊错误 (带有 ok 响应的非法处理)	用户/权限	中断 => VIM	不可用
内存访问允许违反	用户/权限	ESM	1.9
内存奇偶校验错误	用户/权限	ESM	1.8
N2HET			
内存奇偶校验错误	用户/权限	ESM	1.7
MIBSPI			
MibSPI1 内存奇偶校验错误	用户/权限	ESM	1.17
MIBADC			
MibADC 内存奇偶校验错误	用户/权限	ESM	1.19
DCAN			
DCAN1 内存奇偶校验错误	用户/权限	ESM	1.21
DCAN2 内存奇偶校验错误	用户/权限	ESM	1.23
PLL			
PLL 跳周错误	用户/权限	ESM	1.10
时钟监视器			
时钟监视器中断	用户/权限	ESM	1.11

(1) CPU 之外无法检测到未定义的指令陷阱。陷阱只有当代码到达 CPU 的执行阶段才会被检测到。

表 5-27. 复位/异常中断/错误状态 (continued)

错误源	系统模式	错误回应	ESM 接线, 组.通道
DCC			
DCC 错误	用户/权限	ESM	1.30
CCM-R4			
自检故障	用户/权限	ESM	1.31
比较故障	用户/权限	ESM => NMI => nERROR	2.2
VIM			
内存奇偶校验错误	用户/权限	ESM	1.15
电压监控器			
VMON 超出电压范围	不可用	复位	不可用
CPU 自检 (LBIST)			
CPU 自检 (LBIST) 错误	用户/权限	ESM	1.27
引脚复用控制			
复用配置错误	用户/权限	ESM	1.37
熔丝控制器			
熔丝控制器自动载入错误	用户/权限	ESM=>nERROR	3.1
电子熔丝控制器-在错误状态寄存器内置位的任何位	用户/权限	ESM	1.40
电子熔丝控制器自检错误	用户/权限	ESM	1.41
窗口式看门狗			
WWD 不可屏蔽的中断异常	不可用	ESM => NMI => nERROR	2.24
错误 SYSESR 寄存器中反映的错误			
加电复位	不可用	复位	不可用
振荡器故障 / PLL 跳周 ⁽²⁾	不可用	复位	不可用
看门狗异常	不可用	复位	不可用
CPU 复位 (由 CPUSTC 驱动)	不可用	复位	不可用
软件复位	不可用	复位	不可用
外部复位	不可用	复位	不可用

(2) 振荡器故障/PLL 跳周 (SYS.PLLCTL1) 可在系统寄存器中被配置成产生复位。

5.19 数字窗口式看门狗

这个器件包含一个数字窗口式看门狗 (DWWD) 模块, 此模块防止代码执行失控。

DWWD 模块使得应用能够配置时间窗口, 在这个窗口内 DWWD 模块要求应用来处理看门狗。如果应用在这个窗口之外处理安全装置, 或者根本就没有成功处理安全装置, 一个安全装置违反就会发生。对于在一个安全装置违反情况下, 应用程序可以选择产生一个系统复位或一个到 CPU 的非屏蔽中断。

缺省情况下, 安全装置被禁用并且必须由应用启用。一旦被启用, 看门狗只能在系统复位时被禁用。

5.20 调试子系统

5.20.1 方框图

器件包含一个 ICEPICK 模块，允许对扫描链进行 JTAG 访问（请参见图 5-13）。

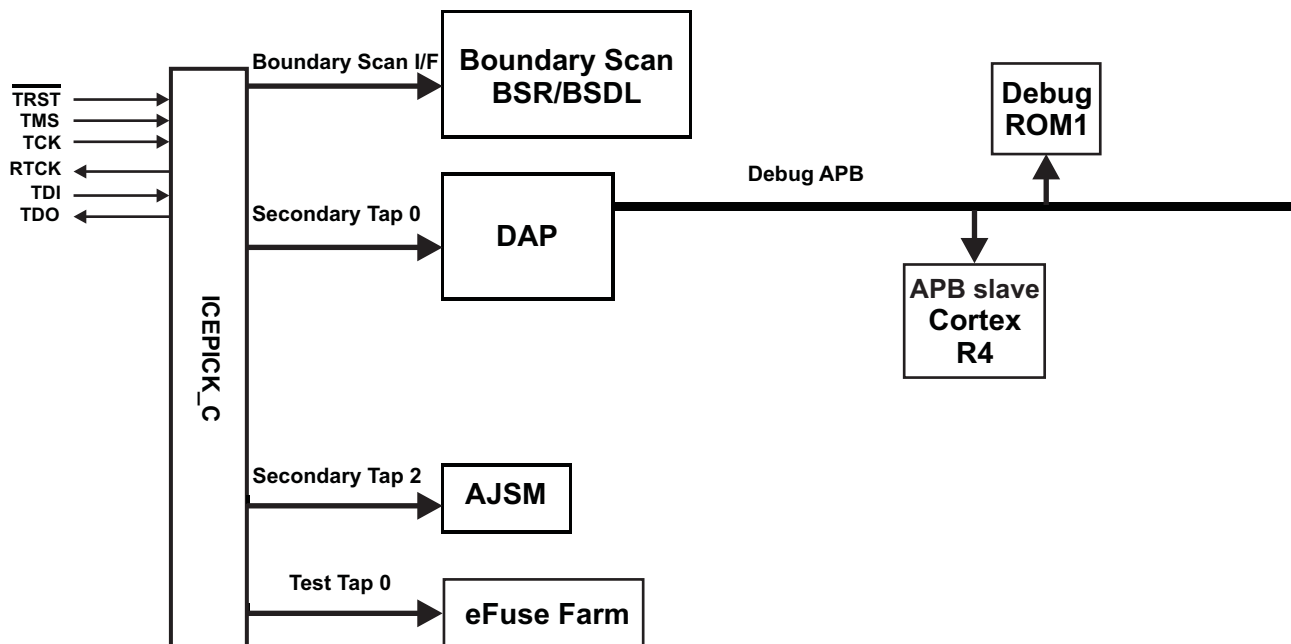


图 5-13. 调试子系统方框图

5.20.2 调试组件内存映射

表 5-28. 调试组件内存映射

模块名称	帧芯片选择	帧地址范围		帧大小	实际大小	对帧内未实现位置的访问的响应
		启动 (START)	结束 (END)			
CoreSight 调试ROM	CSCS0	0xFFFA0_0000	0xFFFA0_0FFF	4KB	4KB	读取返回 0，写入无影响
Cortex-R4 调试	CSCS1	0xFFFA0_1000	0xFFFA0_1FFF	4KB	4KB	读取返回 0，写入无影响

5.20.3 JTAG 识别代码

该器件的 JTAG ID 代码是 0x0B97102F。此代码与器件 ICEPick 识别代码一样。

5.20.4 调试 ROM

调试 ROM 存储了调试 APB 总线上组件的位置：

表 5-29. 调试 ROM 表

地址	说明	值
0x000	到 Cortex-R4 的指针	0x0000 1003
0x001	被保留	0x0000 2002
0x002	被保留	0x0000 3002
0x003	被保留	0x4002 0000
0x004	表尾	0x0000 0000

5.20.5 JTAG 扫描接口时序

表 5-30. JTAG 扫描接口时序⁽¹⁾

编号	参数	最小值	最大值	单位
	f_{TCK} TCK 频率（在 HCLKmax 上）		12	MHz
	f_{RTCK} RTCK 频率（在 TCKmax 和 HCLKmax 上）	10		MHz
1	$t_d(TCK - RTCK)$ 延迟时间, TCK 到 RTCK 的时间		24	ns
2	$t_{su}(TDI/TMS - RTCKr)$ 建立时间, TDI, TMS 在 RTCK 上升 (RTCKr) 前的时间	26		ns
3	$t_h(RTCKr - TDI/TMS)$ 保持时间, TDI, TMS 在 RTCKr 后的时间	0		ns
4	$t_h(RTCKr - TDO)$ 保持时间, TDO 在 RTCKf 后的时间	0		ns
5	$t_d(TCKf - TDO)$ 延迟时间, RTCK 下降 (RTCKf) 后 TDO 的有效时间		12	ns

(1) TDO 的时序被指定为 TDO 上的一个最大 50pF 负载

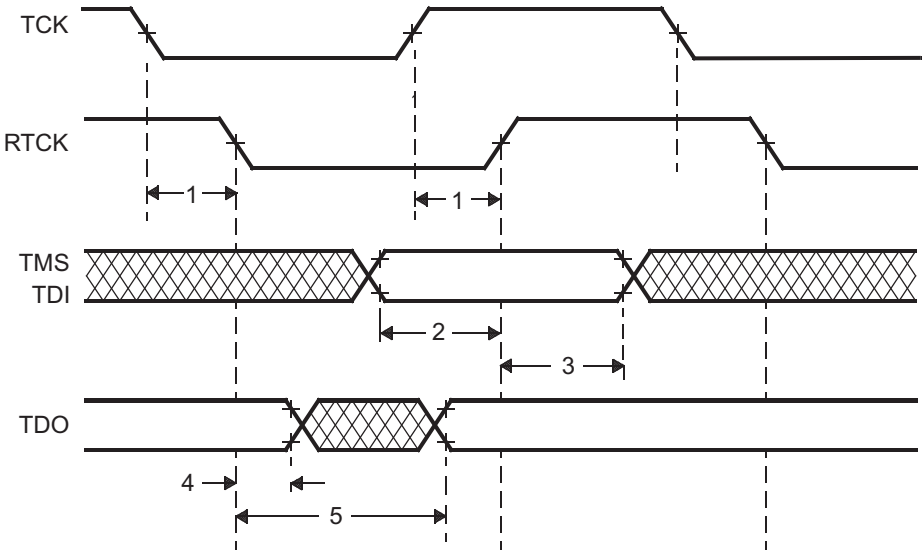


图 5-14. JTAG 时序

5.20.6 高级 JTAG 安全模块

这个器件包含一个高级 JTAG 安全模块 (AJSM)。此模块通过允许用户在编程后锁定器件来为器件的存储器内容提供最大的安全性。

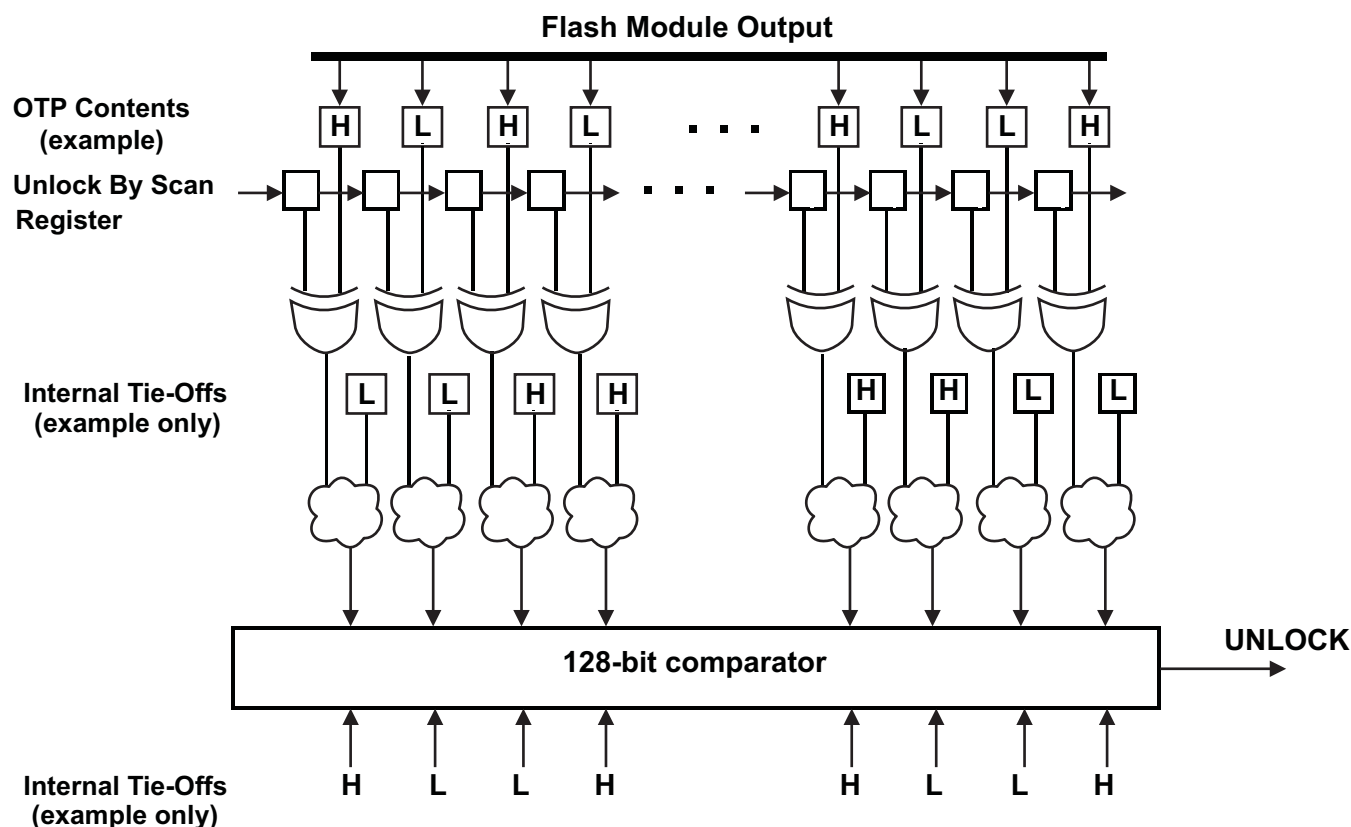


图 5-15. AJSM 解锁

缺省情况下，器件由一个在 OTP 地址 0xF0000000 内设定的 128 位可见解锁代码来解锁。OTP 内容与“扫描解锁”寄存器内容进行异或 (XOR) 运算。这些 XOR 门的输出重新与一组加密内部打结相组合。这个组合逻辑输出与一个加密硬编码 128 位值相比较。一个解锁 (UNLOCK) 信号内的匹配信号被置为有效，这样此器件现在被解锁。

用户可通过将可见解锁代码中至少一个位从 1 改为 0 来将器件解锁。由于可见解锁代码被存储在一次性可编程 (OTP) 闪存区域内，所以不能将这个位从 0 改为 1。此外，将所有 128 位改为零不是一个有效条件并且将永久锁住器件。

一旦被锁定，用户可以通过扫描一个适当的值进入 AJSM 模块中的“由扫描解锁”寄存器来解锁器件。被扫描的值是 OTP 内容的 XOR，而由扫描解锁寄存器内容得到原始可见解锁代码。

由扫描解锁寄存器只有当加电复位 (nPORRST) 被置为有效时才复位。

一个受保护器件只允许由 ICEPick 模块的次级抽头 #2 到 AJSM 扫描链的 JTAG 访问。所有其它次级抽头、试验抽头和边界扫描接口都不能在这个状态下访问。

5.20.7 边界扫描链

为了测试引脚到引脚兼容性，器件支持与边界扫描描述语言 (BSDL) 兼容的边界扫描。边界扫描链被连接到 ICEPICK 模块的边界扫描接口上。

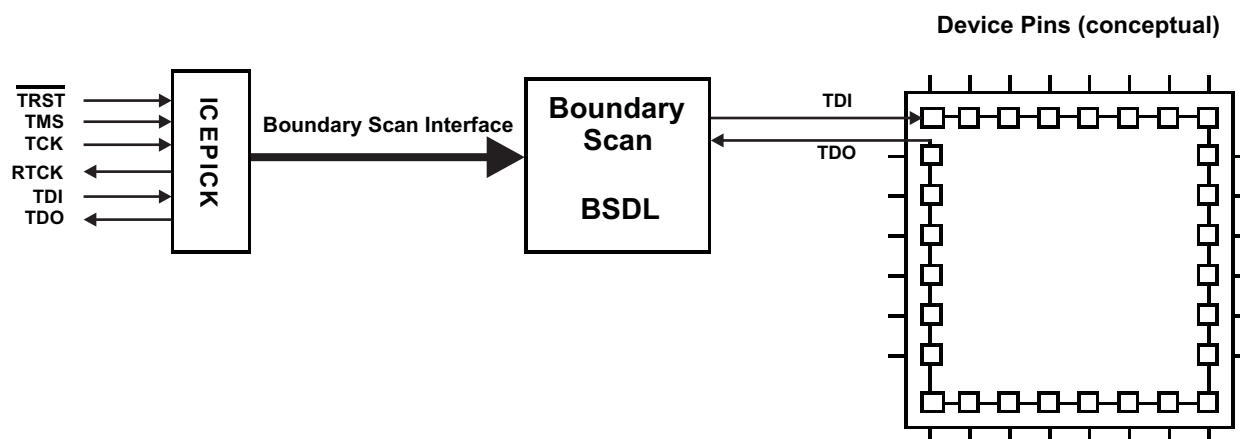


图 5-16. 边界扫描实现（概念图）

输入分别由 TDI 和 TDO 串行移入和移出所有边界扫描缓冲器。

6 外设信息和电气技术规范

6.1 外设图例

表 6-1. 外设图例

缩写	全名
MibADC	多缓冲模拟数字转换器
CCM-R4	CPU 比较模块 – Cortex-R4
CRC	循环冗余校验
DCAN	控制器局域网
DCC	双时钟比较器
ESM	错误信令模块
GIO	通用输入/输出
HTU	高端定时器传输单元
LIN	本地互连网络
MibSPI	多缓冲串行外设接口
N2HET	平台高端定时器
RTI	实时中断模块
SCI	串行通信接口
SPI	串行外设接口
VIM	矢量中断管理器

6.2 多缓冲12位模数转换器

多缓冲模数转换器 (MibADC) 有一个用于其模拟电路的独立电源总线，此电源总线通过防止逻辑电路上的数字开关噪声（可能出现在 V_{SS} 和 V_{CC} 上）耦合进入模数转换模拟级来提高模数转换的性能。所有模数转换技术规范相对于 AD_{REFLO} 指定，除非另外注明。

表 6-2. MibADC 概述

说明	值
分辨率	12位
单片	保证
输出转换代码	00h 到 FFFh [00 表示 $V_{AI} \leq AD_{REFLO}$; FFF 表示 $V_{AI} \geq AD_{REFHI}$]

6.2.1 特性

- 12位分辨率
- AD_{REFHI} 和 AD_{REFLO} 引脚（高和低基准电压）
- 总采样/保持/转换时间：在 300MHz ADCLK 上最小典型值为 600ns
- 每个转换组提供一个内存区域（事件，组 1，组 2）
- 转换组的通道分配完全可编程
- 内存区由中断进行处理
- 每个组有一个可编程中断阈值计数器
- 任一通道内，针对每个组的可编程量级阈值中断
- 从内存区中读取 8 位，10 位或 12 位值这三个选项中的一个
- 单次或连续转换模式
- 嵌入式自检
- 嵌入式校准逻辑
- 增强型断电模式
 - 当没有进行中的转换时，自动为 ADC 内核断电的可选特性

- 外部事件引脚 (ADEVT) 可设定为通用 I/O

6.2.2 事件触发选项

ADC 模块支持 3 个转换组：事件组，组 1，组 2。这 3 个组中的每一个可被配置为由硬件事件触发。在这个情况下，应用能够从将被用来触发一个组的转换的 8 个事件源中选择事件源。

6.2.2.1 MIBADC 事件触发接线

表 6-3. MIBADC 事件触发接线

事件编号	源选择位 用于 G1、G2 或事件 (G1SRC[2:0]、G2SRC[2:0] 或 EVSRC[2:0])	触发
1	000	ADEVT
2	001	N2HET[8]
3	010	N2HET[10]
4	011	RTI 比较 0 中断
5	100	N2HET[12]
6	101	N2HET[14]
7	110	N2HET[17]
8	111	N2HET[19]

注

对于 ADEVT，N2HET 触发源，到 MibSPI2 模块触发输入的连接来自输入缓冲器的输出一侧。用这种方法，或者通过将功能配置为垫上的输出，或者通过驱动来自一个作为输入的外部触发源的功能，一个触发条件可被生成。如果复用控制器模块被用于选择不同的功能性，而不是 ADEVT 或 N2HET[x]，那么从触发转换中禁用这些信号时应该小心；在输入连接上没有复用。

注

对于 RTI 比较 0 中断源，从 RTI 模块的输出直接连接。也就是说，中断条件可被用作一个触发源，即使实际的中断并未传送给 CPU 也是这样。

6.2.3 ADC 电气和时序技术规格

表 6-4. MibADC 建议工作条件

参数		最小值	最大值	单位
AD _{REFHI}	模数高电压基准源	AD _{REFLO}	V _{CCAD}	V
AD _{REFLO}	模数低电压基准源	V _{SSAD}	AD _{REFHI}	V
V _{AI}	模拟输入电压	AD _{REFLO}	AD _{REFHI}	V
I _{AIC}	模拟输入钳位电流 (V _{AI} <V _{SSAD} -0.3 或 V _{AI} >V _{CCAD} +0.3)	-2	2	mA

表 6-5. 在整个推荐运行条件范围内的 MibADC 电气特性⁽¹⁾

参数		说明/条件		最小值	类型	最大值	单位
R _{复用}	模拟输入多路复用接通电阻	请参阅图 6-1			95	250	Ω
R _{samp}	ADC 采样开关导通电阻	请参阅图 6-1			60	250	Ω
C _{复用}	输入多路复用电容	请参阅图 6-1			7	16	pF
C _{samp}	ADC 采样电容	请参阅图 6-1			8	13	pF
I _{AIL}	模拟关闭状态输入泄露漏电流	V _{CCAD} = 3.6V 最大值	V _{SSAD} < V _{IN} < V _{SSAD} + 100mV	-300	-1	200	nA
			V _{SSAD} +100mV<V _{IN} <V _{CCAD} -200mV	-200	-0.3	200	nA
			V _{CCAD} -200mV<V _{IN} <V _{CCAD}	-200	1	500	nA
I _{AOSB}	模拟导通状态输入偏置电流	V _{CCAD} = 3.6V 最大值	V _{SSAD} < V _{IN} < V _{SSAD} + 100mV	-8		2	μA
			V _{SSAD} +100mV<V _{IN} <V _{CCAD} -200mV	-4		2	μA
			V _{CCAD} -200mV<V _{IN} <V _{CCAD}	-4		12	μA
I _{ADREFHI}	AD _{REFHI} 输入电流	AD _{REFHI} =V _{CCAD} , AD _{REFLO} =V _{SSAD}				3	mA
I _{CCAD}	静态电源电流	正常运行模式				请参阅 Section 4.7	mA
		断电模式中的 ADC 内核				5	μA

(1) 1 LSB = (AD_{REFHI} - AD_{REFLO}) / 2ⁿ 其中, 在 10 位模式中 n = 10, 在 12 位模式中 n = 12

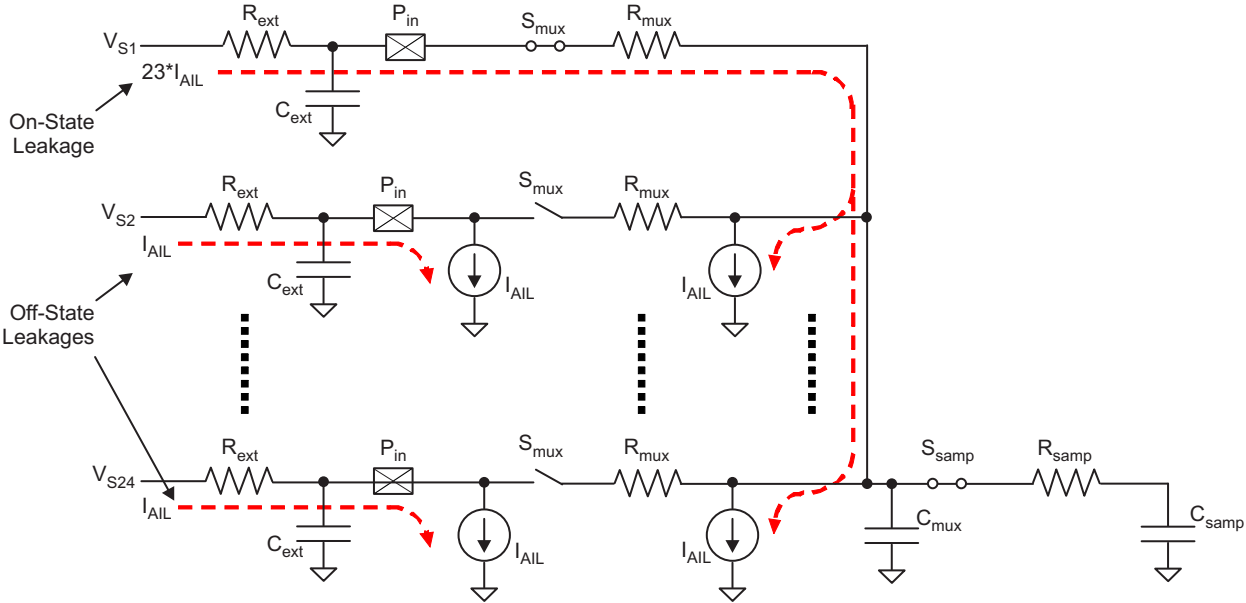


图 6-1. MibADC 输入等效电路

表 6-6. MibADC 时序技术规格

参数		最小值	标称值	最大值	单位
$t_{c(ADCLK)}^{(1)}$	周期, MibADC 时钟	33			ns
$t_{d(SH)}^{(2)}$	延迟时间, 采样和保持时间	200			ns
$t_{d(PU-ADV)}$	从 ADC 加电到可以对输入进行首次采样的延迟时间	1			μ s
12 位模式					
$t_{d(C)}$	延迟时间, 转换时间	400			ns
$t_{d(SHC)}^{(3)}$	延迟时间, 总采样/保持和转换时间	600			ns
10 位模式					
$t_{d(C)}$	延迟时间, 转换时间	330			ns
$t_{d(SHC)}^{(3)}$	延迟时间, 总采样/保持和转换时间	530			ns

- (1) MibADC 时钟为 ADCLK, 由 ADCLOCKCR 寄存器位 4:0 定义的一个预分频因子将 VCLK 分频生成。
- (2) 针对 ADC 转换的采样和保持时间由 ADCLK 频率和针对每个转换组的 AD<GP>SAMP 寄存器定义。采样时间的确定需要考虑连接到输入通道上的外部阻抗以及 ADC 的内部阻抗。
- (3) 这是可以达到的最低采样/保持和转换时间。这些参数取决于许多因素, 如预分频器设置。

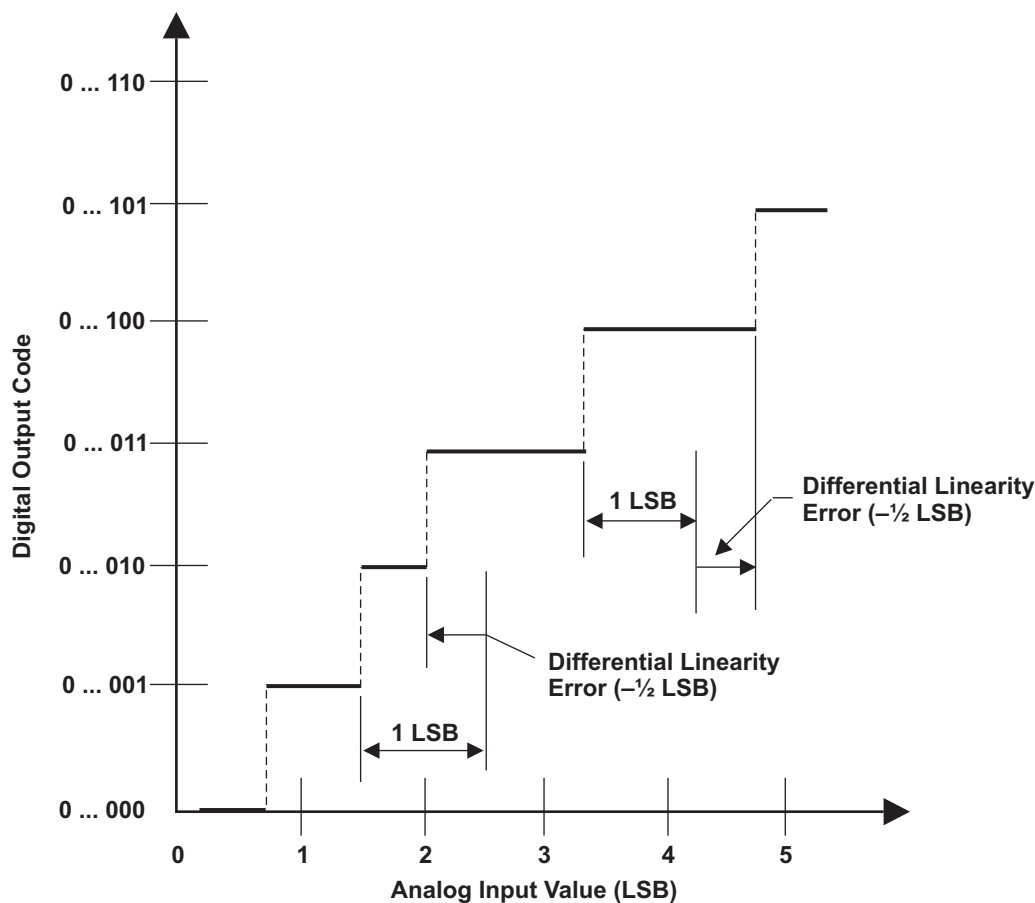
表 6-7. 在整个推荐运行条件范围内的 MibADC 运行特性

参数		说明/条件			最小值	类型	最大值	单位
CR	额定精度被保持时的转换范围	$AD_{REFHI} - AD_{REFLO}$			3		3.6	V
Z _{SET}	偏移误差	第一个理想转换（从代码 000h 至 001h）和实际转换间的差异	10 位模式	带 ADC 校准			1	最低有效位 (LSB)
				无 ADC 校准			2	LSB
			12 位模式	带 ADC 校准			2	LSB
				无 ADC 校准			4	LSB
F _{SET}	增益误差	最后一个理想转换 (从代码 FFEh 到 FFFh) 和实际转换减去偏移量之间的差异。	10 位模式				2	LSB
			12 位模式				3	LSB
E _{DNL}	微分非线性误差	实际步长宽度和理想值之间的差异。（请参阅 图 6-2）	10 位模式				± 1.5	LSB
			12 位模式				± 2	最低有效位 (LSB)
E _{INL}	积分非线性误差	从穿过 MibADC 的最佳直线的最大偏差。MibADC 传输特性，但不包括量化误差。（请参阅 图 6-3）	10 位模式				± 2	LSB
			12 位模式				± 2	LSB
E _{TOT}	总体未调整误差	模拟值和理想中值之间的最大差值。（请参阅 图 6-4）	10 位模式	带 ADC 校准			± 2	最低有效位 (LSB)
				无 ADC 校准			± 4	LSB
			12 位模式	带 ADC 校准			± 4	LSB
				无 ADC 校准			± 7	LSB

6.2.4 性能（精度）技术规格

6.2.4.1 MibADC 非线性误差

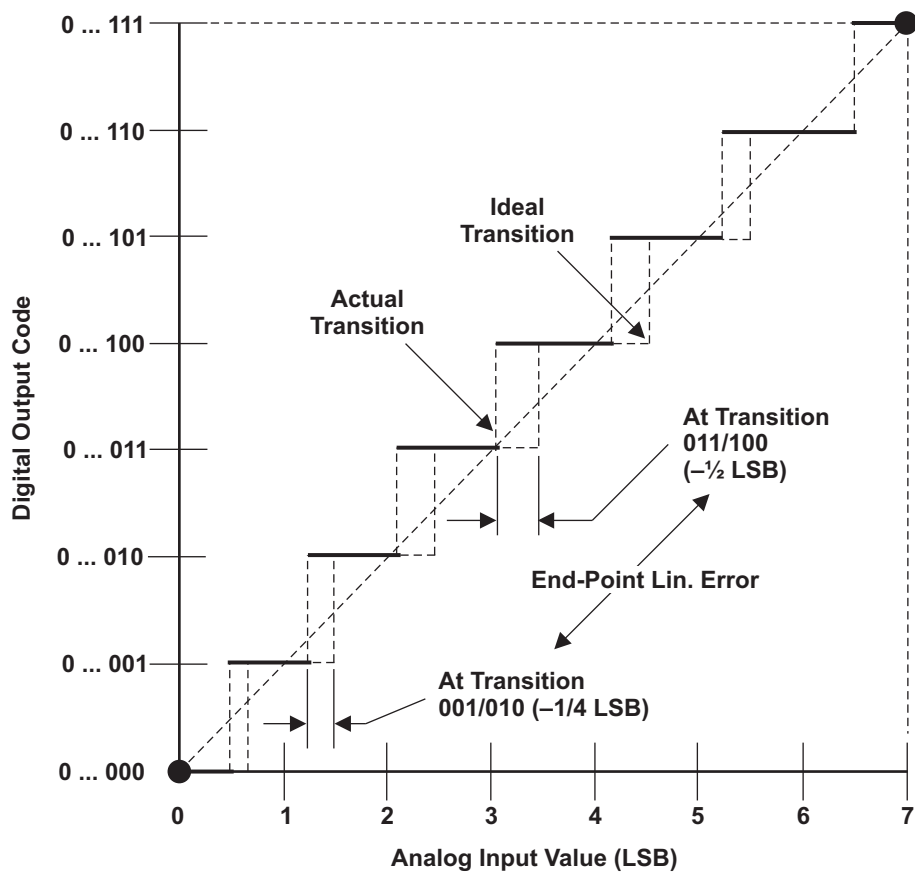
如图 6-2 所示的微分非线性误差（有时也被称为微分线性）是实际步长宽度与 1 LSB 理想值之间的差异。



NOTE A: $1 \text{ LSB} = (\text{AD}_{\text{REFHI}} - \text{AD}_{\text{REFLO}}) / 2^n$ where $n=10$ in 10-bit mode and 12 in 12-bit mode

图 6-2. 微分非线性 (DNL) 误差

如图 6-3 所示的积分非线性误差（有时称为线性误差）是从一条直线上的实际传递函数值的偏差。

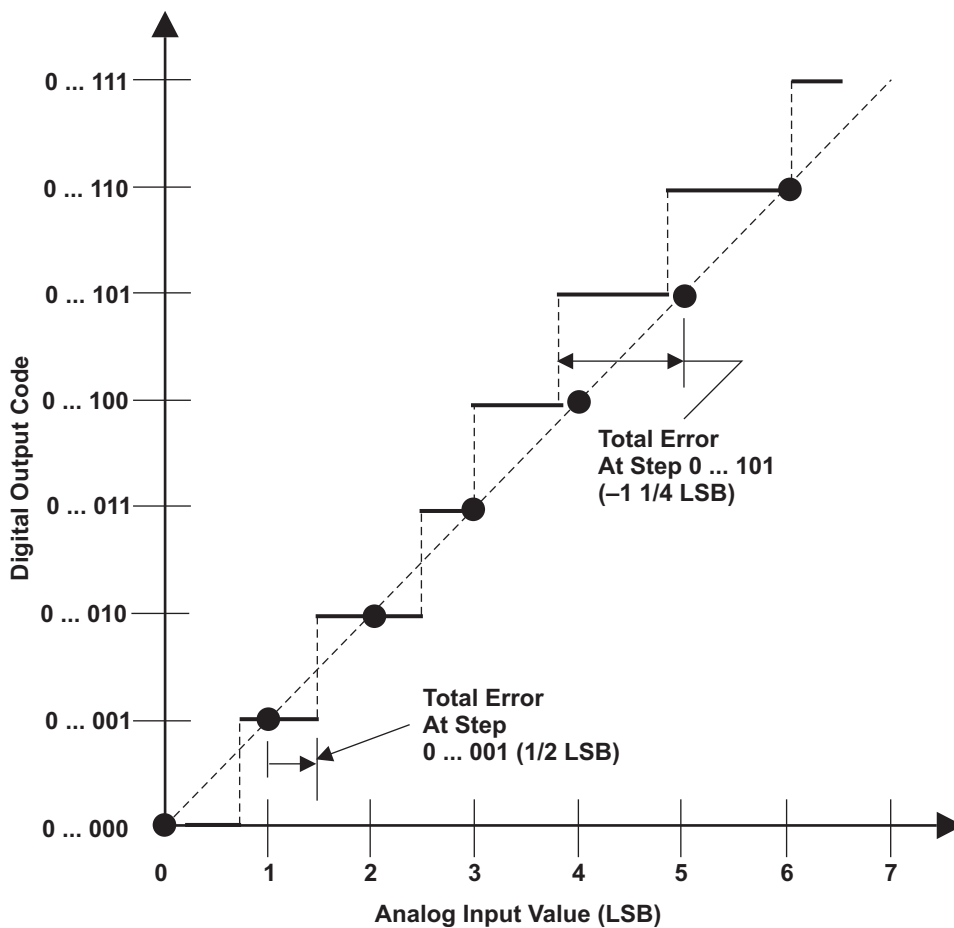


NOTE A: $1 \text{ LSB} = (\text{AD}_{\text{REFHI}} - \text{AD}_{\text{REFLO}}) / 2^n$ where $n=10$ in 10-bit mode and 12 in 12-bit mode

图 6-3. 积分非线性 (INL) 误差

6.2.4.2 MibADC 总误差

在图图 6-4 中所示 MibADC 的绝对精度或总误差是一个模拟值与理想中值之间的最大差值。



NOTE A: $1 \text{ LSB} = (\text{AD}_{\text{REFHI}} - \text{AD}_{\text{REFLO}}) / 2^n$ where $n=10$ in 10-bit mode and $n=12$ in 12-bit mode

图 6-4. 绝对精度（总）误差

6.3 通用输入/输出

此器件上的 GPIO 模块支持一个端口 GIOA。I/O 引脚是双向的并且位可编程。GIOA 支持外部中断功能。

6.3.1 特性

GPIO 模块具有如下特性：

- 每个 IO 引脚可被配置为：
 - 输入
 - 输出
 - 开漏
- 中断有如下特性：
 - 可编程中断检测或者在两个边沿上或者在一个单边沿上（在 GIOINTDET 中设定）
 - 可编程边沿检测极性，上升或下降边沿（在 GIOPOL 寄存器内设定）
 - 独立中断 标志（在 GIOFLG 寄存器内设定）
 - 独立中断使能，分别通过 GIOENASET 和 GIOENACLR 寄存器置位和清零
 - 可编程中断极性，通过 GIOLVLSET 和 GIOLVLCLR 寄存器设定
- 内部上拉/下拉允许未使用的 I/O 引脚保持未连接

有关输入和输出时序的信息，请参阅[节 4.11](#)和[节 4.12](#)

6.4 增强型高端定时器 (N2HET)

N2HET1 是一款高级智能定时器，此定时器能够为实时应用提供精密的计时功能。该定时器为软件控制型，采用一个精简指令集，并具有一个专用的定时器微级机和一个连接的 I/O 端口。N2HET 可被用于脉宽调制输出，捕捉或比较输入，或通用 I/O。它特别适合于要求多个传感器信息并且用复杂和准确时间脉冲来驱动制动器的应用。

6.4.1 特性

N2HET 模块有以下特性：

- 可编程定时器用于输入和输出定时功能
- 精简指令集（30 条指令）用于专用时间和角函数
- 由奇偶校验保护的 128 字指令 RAM
- 用户定义的
- 针对每个引脚的 7 位硬件计数器支持高达 32 位分辨率与 25 位虚拟计数器协同运行
- 多达 19 个引脚可被用于输入信号的测量或输出信号的生产
- 针对每个具有可调限制频率引脚的可编程抑制滤波器
- 低 CPU 开销和中断负载
- 带有专用高端定时器传输单元 (HTU) 的 CPU 内存间的高效数据传输
- 支持不同回路机制和引脚状态回读功能的诊断功能

6.4.2 N2HET RAM 组织结构

定时器 RAM 使用 4 个 RAM 组，每个组有两个端口访问功能。这意味着一个 RAM 地址被写入时，另外一个地址被读取。RAM 字是 96 位宽，它被分成三个 32 位字段（程序、控制、和数据）。

6.4.3 输入时序技术规格

N2HET 指令 PCNT 和 WCAP 将一些时序限制施加到输入信号上。

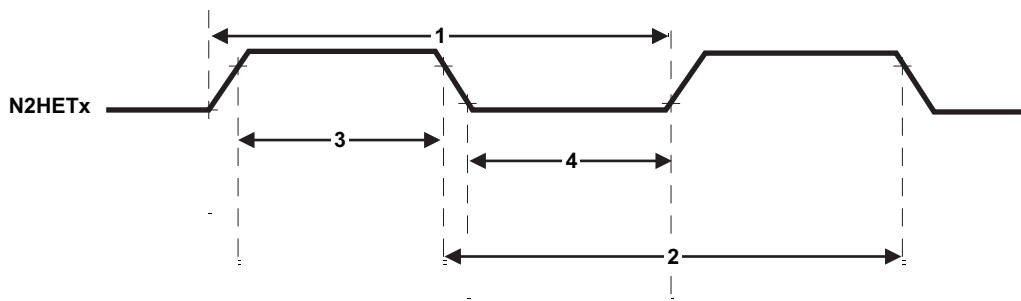


图 6-5. N2HET 输入捕捉时序

表 6-8. 针对 N2HET 输入捕捉功能的动态特性

参数		最小值 ⁽¹⁾ ⁽²⁾	最大值 ⁽¹⁾ ⁽²⁾	单位
1	输入信号周期，针对上升边沿到上升边沿的 PCNT 或 WCAP	$(hr)(lr) t_{c(VCLK2)} + 2$	$2^{25}(hr)(lr)t_{c(VCLK2)} - 2$	ns
2	输入信号周期，针对下降边沿到下降边沿的 PCNT 或 WCAP	$(hr) (lr) t_{c(VCLK2)} + 2$	$2^{25} (hr)(lr) t_{c(VCLK2)} - 2$	ns
3	输入信号高相位，针对上升边沿到上升边沿的 PCNT 或 WCAP	$2(hr) t_{c(VCLK2)} + 2$	$2^{25} (hr)(lr) t_{c(VCLK2)} - 2$	ns
4	输入信号低相位，针对下降边沿到下降边沿的 PCNT 或 WCAP	$2(hr) t_{c(VCLK2)} + 2$	$2^{25} (hr)(lr) t_{c(VCLK2)} - 2$	ns

(1) hr = 高分辨率预分频器，使用预分频因数寄存器 (HETPFR) 的 HRPFC 字段进行配置。

(2) lr = 环路分辨率预分频器，使用预分频因数寄存器 (HETPFR) 的 LFPRC 字段进行配置

6.4.4 N2HET 校验

6.4.4.1 使用双时钟比较器 (DCC) 的输出监视

N2HET[31] 被连接作为 DCC1 内计数器 1 的时钟源。这样使该应用能够测量 N2HET[31] 上的脉宽调制 (PWM) 信号的频率。

N2HET[31] 可以被配置为只用于内部的通道。也就是说，N2HET 模块的输出被直接连接到 DCC 模块上（从输出缓冲器的输入）。

有关 DCC 的更多信息，请参阅节 5.6.3。

6.4.5 禁用 N2HET 输出

一些应用要求在某些故障条件下禁用 N2HET 输出。N2HET 模块通过“可禁用的引脚”输入信号来提供这个功能。当被驱动为低电平时，这个信号“N2HET 引脚禁用”特性的更多细节请参考《器件技术参考手册》。

针对 N2HET，GIOA[5] 和 EQEPERR 被连接至“引脚禁用”输入。在 GIOA[5] 连接的情况下，该连接由输入缓冲器的输出端发出。在 EQEPERR 连接的情况下，EQEPERR 输出信号在发生一个相位误差事件时被置为有效。针对到 N2HET PIN_nDISABLE 端口的输入，该信号被反相并双同步至 VCLK2。

在 GIOA[5] 和 EQEPERR 源之间，PIN_nDISABLE 端口输入源是可选的。这可以通过 PINMMR9[1:0] 位来实现。

6.4.6 高端定时器发送单元 (N2HET)

一个高端定时器传输单元 (N2HET) 可以执行 DMA 类型处理来与主内存进行 N2HET 数据的交换。N2HET 中置有一个内存保护单元 (MPU)。

6.4.6.1 特性

- CPU 独立
- 访问系统内存的主控端口
- 支持双缓冲配置的 8 个控制数据包
- 控制数据包信息被存储在受奇偶校验保护的 RAM 中
- 事件同步 (N2HET 传输请求)
- 支持 32 或 64 位处理
- 针对 N2HET 地址 (8 字节或 16 字节) 和系统内存地址 (固定, 32 位或 64 位) 的寻址模式
- 单次、循环和自动切换缓冲器传输模式
- 请求丢失检测

6.4.6.2 触发连接

表 6-9. N2HET 请求线连接

模块	请求源	HTU 请求
N2HET	HTUREQ[0]	HTU DCP[0]
N2HET	HTUREQ[1]	HTU DCP[1]
N2HET	HTUREQ[2]	HTU DCP[2]
N2HET	HTUREQ[3]	HTU DCP[3]
N2HET	HTUREQ[4]	HTU DCP[4]
N2HET	HTUREQ[5]	HTU DCP[5]
N2HET	HTUREQ[6]	HTU DCP[6]
N2HET	HTUREQ[7]	HTU DCP[7]

6.5 控制器局域网 (DCAN)

DCAN 支持 CAN 2.0B 协议标准并使用一个串行、多主机通信协议，此协议有效支持对速率高达 1 兆位每秒 (Mbps) 的稳健通信的分布式实时控制。DCAN 非常适合于工作于嘈杂和严酷环境中的应用（例如：汽车和工业领域），此类应用需要可靠的串行通信或多路复用线路。

6.5.1 特性

DCAN 模块的特性包括：

- 支持 CAN 协议版本 2.0 部分 A.B
- 高达 1M 位每秒的比特率
- CAN 内核能够由用于波特率生成的振荡器计时。
- DCAN1 和 DCAN2 上分别有 32 个和 16 个邮箱
- 针对每个消息目标的独立标识符掩码
- 针对消息目标的可编程先进先出 (FIFO) 模式
- 针对自检运行的可编程回路模式
- 由一个可编程 32 位定时器实现的总线关闭状态后的自动总线打开
- 受奇偶校验保护的消息 RAM
- 测试模式中到消息 RAM 的直接访问
- 可配置为通用 IO 引脚的 CAN Rx/Tx 引脚
- 消息 RAM 自动初始化

有关 DCAN 的更多信息，请参阅器件技术参考手册。

6.5.2 电气和时序技术规格

表 6-10. 针对 DCANx TX 和 RX 引脚的动态特性

参数		最小值	最大值	单位
$t_{d(CANnTX)}$	延迟时间，传输移位寄存器到 CANnTX 引脚的时间 ⁽¹⁾		15	ns
$t_{d(CANnRX)}$	延迟时间，CANnRX 引脚接收移位寄存器的时间		5	ns

(1) 这些值不包括输出缓冲区的上升/下降时间。

6.6 本地互连网络接口 (LIN)

SCI/LIN 模块可被设定运行为一个 SCI 或者一个 LIN。模块的内核是一个 SCI。增加了 SCI 的硬件特性以实现 LIN 兼容性。

SCI 是一个执行 标准非归零码格式的通用异步收发器。例如，SCI 可被用于通过一个 RS-232 端口或一条 K 线路进行通信。

LIN 标准基于 SCI (UART) 串行数据连接格式。通信概念是任何网络节点间带有一个消息标识的单主控/多受控的多播传输。

6.6.1 LIN 特性

LIN 模块的特性如下：

- 与 LIN1.3, 2.0 和 2.1 协议兼容
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动主控头文件生成
 - 可编程同步中断字段
 - 同步字段
 - 标识符字段
- 从器件自动同步
 - 同步中断检测
 - 可选波特率更新
 - 同步验证
- 带有 7 个分数位的 2^{31} 个可编程传输速率
- 错误检测
- 2 个带有优先级编码的中断线路

6.7 多缓冲/标准串行外设接口

MibSPI 是一款高速同步串行输入/输出端口，此端口允许一个已编辑长度（2 至 16 位）的串行比特流以一个设定比特传输速率移入和移出器件。SPI 的典型应用包括到外部外设的接口，例如 I/O，内存，显示驱动器，和模数转换器。

6.7.1 特性

标准和 MibSPI 模块有以下特性：

- 16 位移位寄存器
- 接收缓冲寄存器
- 8 位波特率时钟发生器，支持最高达 20MHz 的波特率
- SPICLK 可由内部生成（主控模式）或者从一个外部时钟源接收（受控模式）
- 传输的每个字可有一个唯一的格式
- 未在通信中使用的 SPI I/O 可被用作数字输入/输出信号

表 6-11. MibSPI/SPI 默认配置

MibSPIx/SPIx	I/O
MibSPI1	MIBSPI1SIMO[0], MIBSPI1SOMI[0], MIBSPI1CLK, MIBSPI1nCS[3:0], MIBSPI1nENA
SPI2	SPI2SIMO, SPI2SOMI, SPI2CLK, SPI2nCS[0]
SPI3	SPI3SIMO, SPI3SOMI, SPI3CLK, SPI3nENA, SPI3nCS[0]

6.7.2 MibSPI 发送和接收 RAM 组织结构

多缓冲 RAM 包含 128 个缓冲器。多缓冲 RAM 的每个入口由 4 个部分组成：一个 16 位发送字段、一个 16 位接收字段、一个 16 位比较字段和一个 16 位状态字段。多缓冲 RAM 可被分成多个传输组，每个组具有不同数量的缓冲器。

6.7.3 MibSPI 发送触发事件

每个传输组可被单独配置。可为选择每个传输组选择一个触发事件和一个触发源。例如，一个触发事件可以是一个上升沿或者一个可选触发源上的永久低电平。每个传输组可使用提供的 15 个触发源。这些触发器选项在表 6-12 和中列出。

6.7.3.1 MIBSPI1 事件触发接线

表 6-12. MIBSPI1 事件触发接线

事件编号	TGxCTRL TRIGSRC[3:0]	触发
被禁用	0000	无触发源
事件 0	0001	GIOA[0]
事件 1	0010	GIOA[1]
事件 2	0011	GIOA[2]
事件 3	0100	GIOA[3]
事件 4	0101	GIOA[4]
事件 5	0110	GIOA[5]
事件 6	0111	GIOA[6]
事件 7	1000	GIOA[7]
事件 8	1001	N2HET[8]
事件 9	1010	N2HET[10]
事件 10	1011	N2HET[12]
事件 11	1100	N2HET[14]
事件 12	1101	N2HET[16]
事件 13	1110	N2HET[18]
事件 14	1111	内部时钟计数器

注

对于 N2HET 触发源，到 MibSPI1 模块触发输入的连接来自输出缓冲器的输入一侧（在 N2HET 模块边界上）。通过这种方法，可生成一个触发条件，即使 N2HET 信号未被选为垫上的输出。

注

对于 GIOx 触发源，到 MibSPI1 模块触发输入的连接来自输入缓冲器的输出一侧。按照这种方式，既可以通过将 GIOx 引脚选择为一个输出引脚或通过从一个外部触发源驱动 GIOx 来产生一个触发条件。

6.7.4 MibSPI/SPI 主控模式 I/O 时序规范

表 6-13. SPI 主控模式外部时序参数（时钟相位 = 0，SPICLK = 输出，SPISIMO = 输出并且 SPISOMI = 输入）⁽¹⁾⁽²⁾⁽³⁾

编号	参数		最小值	最大值	单位
1	$t_{c(SPC)M}$	周期时间，SPICLK ⁽⁴⁾	40	$256t_{c(VCLK)}$	ns
2 ⁽⁵⁾	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	
3 ⁽⁵⁾	$t_{w(SPCL)M}$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - t_{r(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	
4 ⁽⁵⁾	$t_{d(SPCH-SIMO)M}$	延迟时间，在 SPICLK 低电平之前 SPISIMO 有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - 6$		ns
	$t_{d(SPCL-SIMO)M}$	延迟时间，在 SPICLK 高电平之前 SPISIMO 有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - 6$		
5 ⁽⁵⁾	$t_{v(SPCL-SIMO)M}$	有效时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 0）	$0.5t_{c(SPC)M} - t_{f(SPC)} - 4$		ns
	$t_{v(SPCH-SIMO)M}$	有效时间，SPICLK 高电平之后，SPISIMO 数据有效的时间（时钟极性 = 1）	$0.5t_{c(SPC)M} - t_{r(SPC)} - 4$		
6 ⁽⁵⁾	$t_{su(SOMI-SPCL)M}$	建立时间，SPISOMI 在 SPICLK 低电平之前的时间（时钟极性 = 0）	$t_{f(SPC)} + 2.2$		ns
	$t_{su(SOMI-SPCH)M}$	建立时间，SPISOMI 在 SPICLK 高电平之前的时间（时钟极性 = 1）	$t_{r(SPC)} + 2.2$		
7 ⁽⁵⁾	$t_{h(SPCL-SOMI)M}$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	10		ns
	$t_{h(SPCH-SOMI)M}$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	10		
8 ⁽⁶⁾	$t_{C2DELAY}$	建立时间，SPICLK 高电平前 CS 激活的时间（时钟极性 = 0）	CSHOLD = 0	$C2TDELAY * t_{c(VCLK)} + 2 * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$	ns
			CSHOLD = 1	$C2TDELAY * t_{c(VCLK)} + 3 * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} - 7$	
	$t_{C2DELAY}$	建立时间，SPICLK 低电平前 CS 激活的时间（时钟极性 = 1）	CSHOLD = 0	$C2TDELAY * t_{c(VCLK)} + 2 * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} + 5.5$	ns
			CSHOLD = 1	$C2TDELAY * t_{c(VCLK)} + 3 * t_{c(VCLK)} - t_{f(SPICS)} + t_{r(SPC)} + 5.5$	
9 ⁽⁶⁾	$t_{T2DELAY}$	保持时间 SPICLK 在 CS 无效前为低电平（时钟极性 = 0）	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{r(SPICS)} - 7$	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{r(SPICS)} + 11$	ns
		保持时间 SPICLK 在 CS 无效前为高电平（时钟极性 = 1）	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{r(SPC)} + t_{r(SPICS)} - 7$	$0.5 * t_{c(SPC)M} + T2CDELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{r(SPC)} + t_{r(SPICS)} + 11$	ns
10	t_{SPIENA}	SPIENAn 采样点	$(C2TDELAY + 1) * t_{c(VCLK)} - t_{f(SPICS)} - 29$	$(C1TDELAY + 2) * t_{c(VCLK)}$	ns
11	$t_{SPIENAW}$	SPIENAn 写入缓冲区的采样点		$(C2TDELAY + 2) * t_{c(VCLK)}$	ns

- (1) 设置主控位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被清零。
- (2) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f(VCLK)$
- (3) 对于上升和下降时序，请参见表 4-6。
- (4) 当 SPI 处于主控模式时，必须满足下列条件：
对于 1 到 255 的 PS 值： $t_{c(SPC)M} \geq (PS + 1)t_{c(VCLK)} \geq 40ns$ ，其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位。
对于 0 值 PS： $t_{c(SPC)M} = 2t_{c(VCLK)} \geq 40ns$ 。
SPICLK 引脚上的外部负载必须小于 60pF。
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
- (6) C2TDELAY 和 T2CDELAY 在 SPIDELAY 寄存器内被设定。

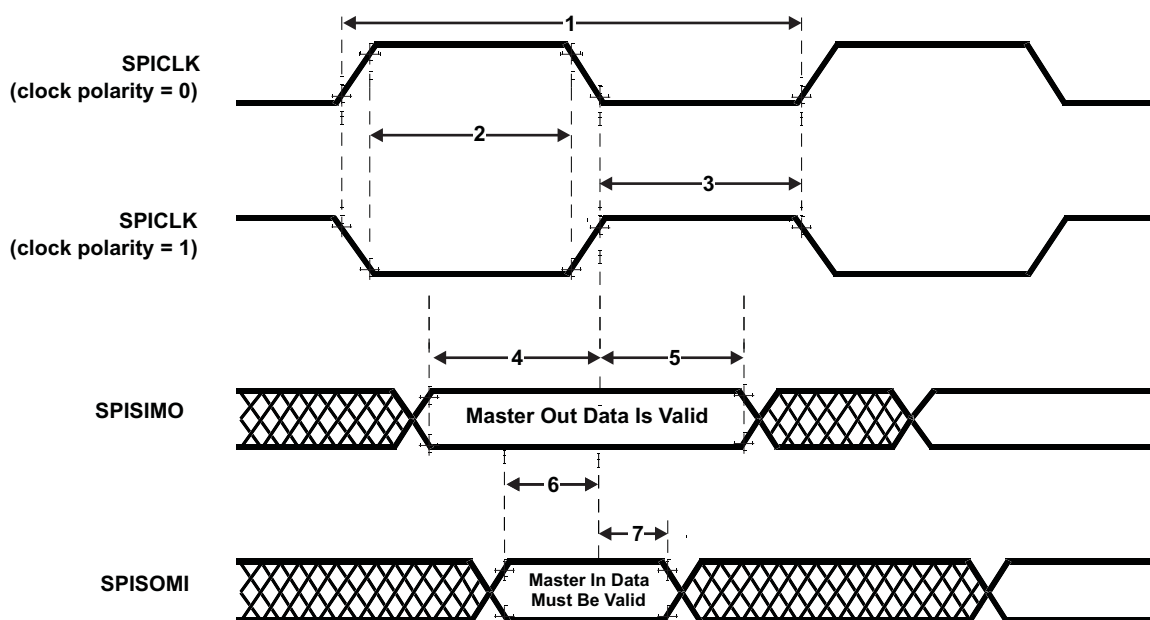


图 6-6. SPI 主控模式外部时序 (时钟相位 = 0)

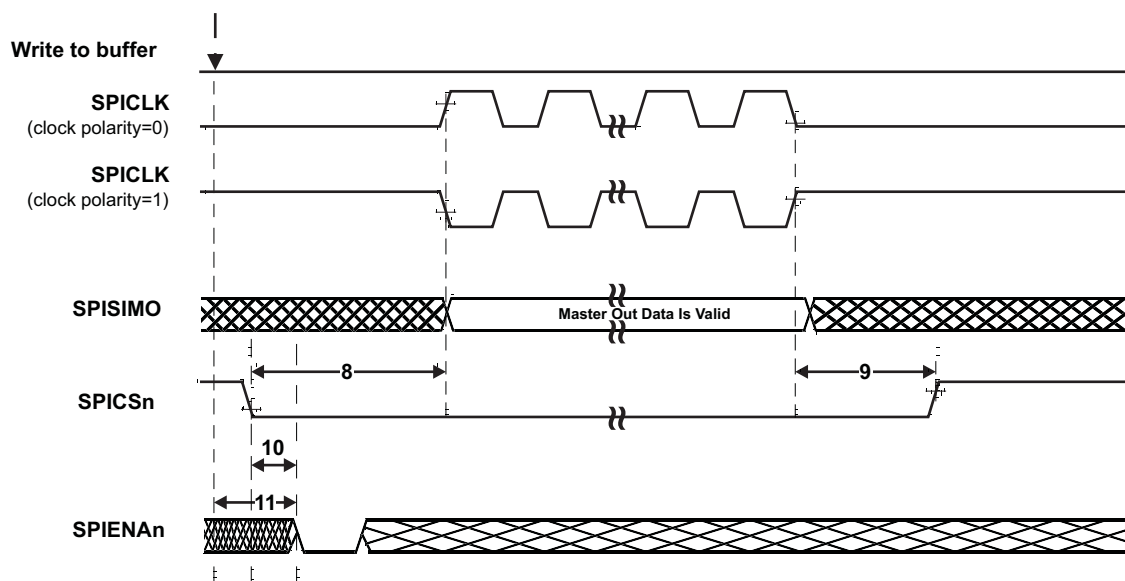


图 6-7. SPI 主控模式片选时序 (时钟相位 = 0)

表 6-14. SPI 主控模式外部时序参数（时钟相位 = 1, SPICLK = 输出, SPISIMO = 输出并且 SPISOMI = 输入） (1)(2)(3)

编号	参数		最小值	最大值	单位	
1	$t_{c(SPC)M}$	周期时间, SPICLK ⁽⁴⁾	40	$256t_{c(VCLK)}$	ns	
2 ⁽⁵⁾	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns	
	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$		
3 ⁽⁵⁾	$t_{w(SPCL)M}$	脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns	
	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_{f(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$		
4 ⁽⁵⁾	$t_{v(SIMO-SPCH)M}$	有效时间, SPISIMO 数据有效之后, SPICLK 为高电平的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - 6$		ns	
	$t_{v(SIMO-SPCL)M}$	有效时间, SPISIMO 数据有效之后, SPICLK 为低电平的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - 6$			
5 ⁽⁵⁾	$t_{v(SPCH-SIMO)M}$	有效时间, SPICLK 高电平之后 SPISIMO 数据有效的的时间 (时钟极性 = 0)	$0.5t_{c(SPC)M} - t_{f(SPC)} - 4$		ns	
	$t_{v(SPCL-SIMO)M}$	有效时间, SPICLK 低电平后, SPISIMO 数据有效的的时间 (时钟极性 = 1)	$0.5t_{c(SPC)M} - t_{f(SPC)} - 4$			
6 ⁽⁵⁾	$t_{su(SOMI-SPCH)M}$	建立时间, SPISOMI 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	$t_{f(SPC)} + 2.2$		ns	
	$t_{su(SOMI-SPCL)M}$	建立时间, SPISOMI 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	$t_{f(SPC)} + 2.2$			
7 ⁽⁵⁾	$t_{v(SPCH-SOMI)M}$	有效时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	10		ns	
	$t_{v(SPCL-SOMI)M}$	有效时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	10			
8 ⁽⁶⁾	$t_{C2DELAY}$	建立时间, SPICLK 高电平前 CS 激活的时间 (时钟极性 = 0)	CSHOLD = 0	$0.5 * t_{c(SPC)M} + (C2DELAY+2) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} - 7$	$0.5 * t_{c(SPC)M} + (C2DELAY+2) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} + 5.5$	ns
			CSHOLD = 1	$0.5 * t_{c(SPC)M} + (C2DELAY+3) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} - 7$	$0.5 * t_{c(SPC)M} + (C2DELAY+3) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} + 5.5$	
		建立时间, SPICLK 低电平前 CS 激活的时间 (时钟极性 = 1)	CSHOLD = 0	$0.5 * t_{c(SPC)M} + (C2DELAY+2) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} - 7$	$0.5 * t_{c(SPC)M} + (C2DELAY+2) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} + 5.5$	ns
			CSHOLD = 1	$0.5 * t_{c(SPC)M} + (C2DELAY+3) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} - 7$	$0.5 * t_{c(SPC)M} + (C2DELAY+3) * t_{c(VCLK)} - t_{f(SPIC)} + t_{f(SPC)} + 5.5$	
9 ⁽⁶⁾	$t_{T2DELAY}$	保持时间 SPICLK 在 CS 无效前为低电平 (时钟极性 = 0)	$T2DELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPIC)} - 7$	$T2DELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPIC)} + 11$	ns	
		保持时间 SPICLK 在 CS 无效前为高电平 (时钟极性 = 1)	$T2DELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPIC)} - 7$	$T2DELAY * t_{c(VCLK)} + t_{c(VCLK)} - t_{f(SPC)} + t_{f(SPIC)} + 11$	ns	

- (1) 设置主位 (SPIGCR1.0) 并且时钟相位位 (SPIFMTx.16) 被设置。
- (2) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f_{(VCLK)}$
- (3) 上升和下降时序, 请参阅表 4-6。
- (4) 当 SPI 处于主控模式时, 必须满足下列条件:
对于 1 到 255 的 PS 值: $t_{c(SPC)M} \geq (PS + 1)t_{c(VCLK)} \geq 40ns$, 其中 PS 是 SPIFMTx 中设置的预分频值。[15:8] 寄存器位。
对于 0 值 PS: $t_{c(SPC)M} = 2t_{c(VCLK)} \geq 40ns$ 。
SPICLK 引脚上的外部负载必须小于 60pF。
- (5) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。
- (6) C2DELAY 和 T2DELAY 在 SPIDELAY 寄存器内被设定。

表 6-14. SPI 主控模式外部时序参数（时钟相位 = 1，SPICLK = 输出，SPISIMO = 输出并且 SPISOMI = 输入） (1)(2)(3) (continued)

编号	参数	最小值	最大值	单位
10	t_{SPIENA} SPIENAn 采样点	$(C2TDELAY+1)*t_{c(VCLK)} - t_{f(SPICS)} - 29$	$(C1TDELAY+2)*t_{c(VCLK)}$	ns
11	t_{SPIENAW} SPIENAn 写入缓冲区的采样点		$(C2TDELAY+2)*t_{c(VCLK)}$	ns

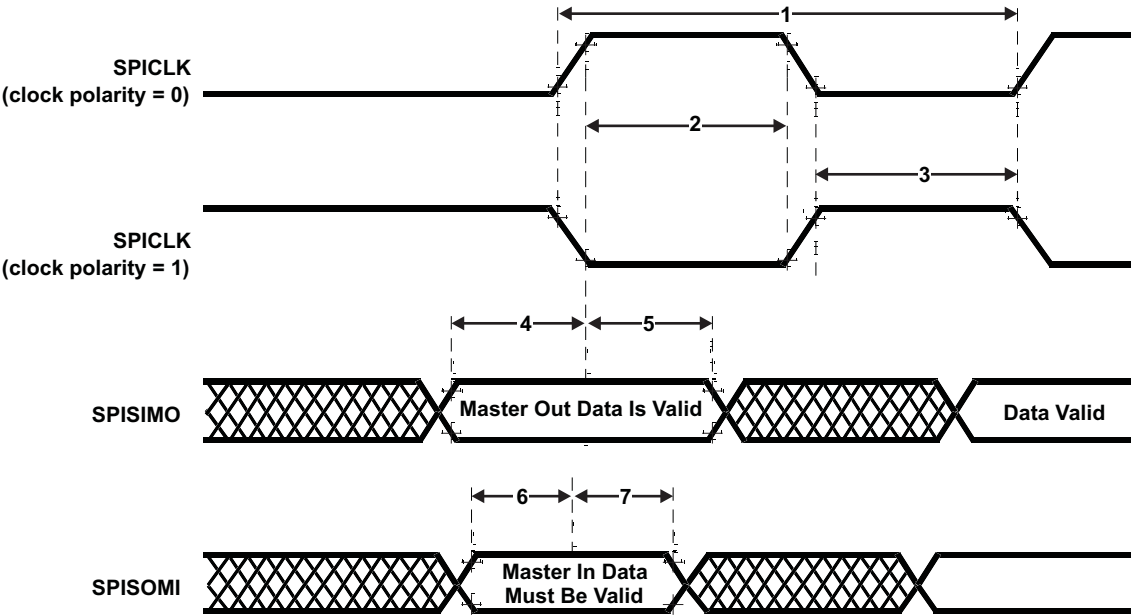


图 6-8. SPI 主控模式外部时序（时钟相位 = 1）

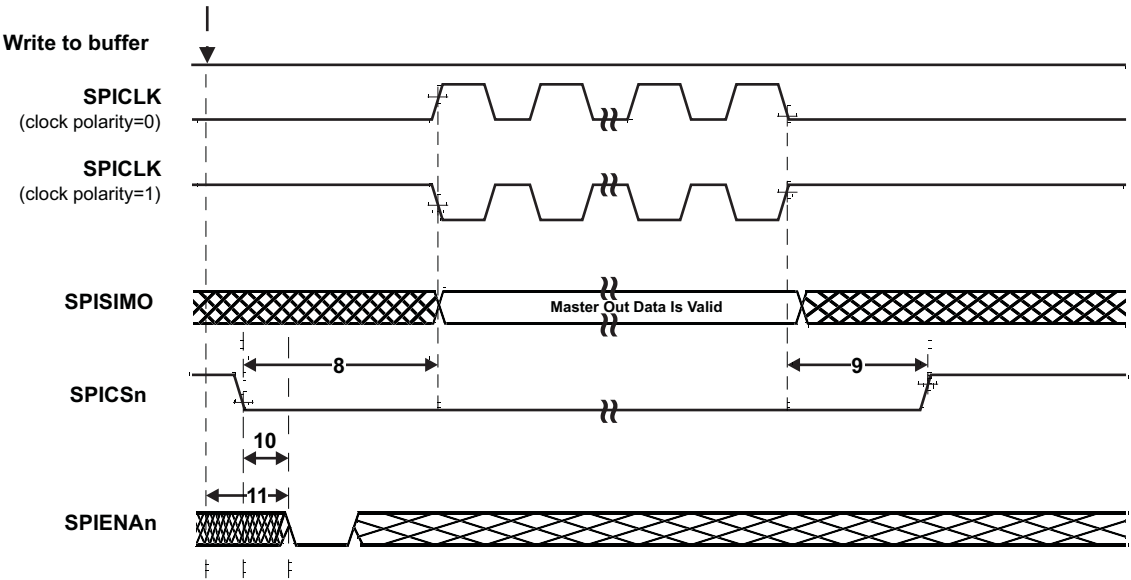


图 6-9. SPI 主控模式芯片选择时序（时钟相位 = 1）

6.7.5 SPI 受控模式 I/O 时序

表 6-15. SPI 受控模式外部时序参数（时钟相位 = 0，SPICLK = 输入，SPISIMO = 输入并且 SPISOMI = 输出）⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

编号	参数		最小值	最大值	单位
1	$t_{c(SPC)}S$	周期时间，SPICLK ⁽⁵⁾	40		ns
2 ⁽⁶⁾	$t_{w(SPCH)}S$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 0）	14		ns
	$t_{w(SPCL)}S$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 1）	14		
3 ⁽⁶⁾	$t_{w(SPCL)}S$	脉冲持续时间，SPICLK 低电平的时间（时钟极性 = 0）	14		ns
	$t_{w(SPCH)}S$	脉冲持续时间，SPICLK 高电平的时间（时钟极性 = 1）	14		
4 ⁽⁶⁾	$t_{d(SPCH-SOMI)}S$	延迟时间，SPICLK 高电平之后 SPISOMI 有效的时间（时钟极性 = 0）		$t_{r(SOMI)} + 20$	ns
	$t_{d(SPCL-SOMI)}S$	延迟时间，SPICLK 低电平之后 SPISOMI 有效的时间（时钟极性 = 1）		$t_{r(SOMI)} + 20$	
5 ⁽⁶⁾	$t_{h(SPCH-SOMI)}S$	保持时间，SPICLK 高电平之后 SPISOMI 数据有效的时间（时钟极性 = 0）	2		ns
	$t_{h(SPCL-SOMI)}S$	保持时间，SPICLK 低电平之后 SPISOMI 数据有效的时间（时钟极性 = 1）	2		
6 ⁽⁶⁾	$t_{su(SIMO-SPCL)}S$	建立时间，SPISIMO 在 SPICLK 低电平之前的时间（时钟极性 = 0）	4		ns
	$t_{su(SIMO-SPCH)}S$	建立时间，SPISIMO 在 SPICLK 高电平之前的时间（时钟极性 = 1）	4		
7 ⁽⁶⁾	$t_{h(SPCL-SIMO)}S$	保持时间，SPICLK 低电平后，SPISIMO 数据有效的时间（时钟极性 = 0）	2		ns
	$t_{h(SPCH-SIMO)}S$	保持时间，SPICLK 高电平之后，SPISIMO 数据有效的时间（时钟极性 = 1）	2		
8	$t_{d(SPCL-SENAn)}S$	延迟时间，最后 SPICLK 低电平后的 SPIENAn 高电平时间（时钟极性=0）	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)} + t_{r(ENAn)} + 22$	ns
	$t_{d(SPCH-SENAn)}S$	延迟时间，最后 SPICLK 高电平后的 SPIENAn 高电平时间（时钟极性=1）	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)} + t_{r(ENAn)} + 22$	
9	$t_{d(SCSL-SENAL)}S$	延迟时间，SPICSn 低电平后 SPIENAn 低电平的时间（如果新数据已经被写入 SPI 缓冲区）	$t_{r(ENAn)}$	$t_{c(VCLK)} + t_{r(ENAn)} + 27$	ns

- (1) 主控位 (SPIGCR1.0) 被清零并且时钟相位位 (SPIFMTx.16) 被清零。
- (2) 如果 SPI 处于受控模式中，以下必须为真： $t_{c(SPC)}S \geq (PS + 1)t_{c(VCLK)}$ ，其中 PS = SPIFMTx 中设定的预分频值。[15:8].
- (3) 对上升和下降时序，请参阅表 4-6。
- (4) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f_{(VCLK)}$
- (5) 当 SPI 处于主控模式中时，下列必须为真：
对于从 1 到 255 的 PS 值： $t_{c(SPC)}S \geq (PS+1)t_{c(VCLK)} \geq 40ns$ ，其中 PS 为 SPIFMTx 中设定的预分频值。[15:8] 寄存器位
对于为零的 PS 值： $t_{c(SPC)}S = 2t_{c(VCLK)} \geq 40ns$ 。
- (6) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

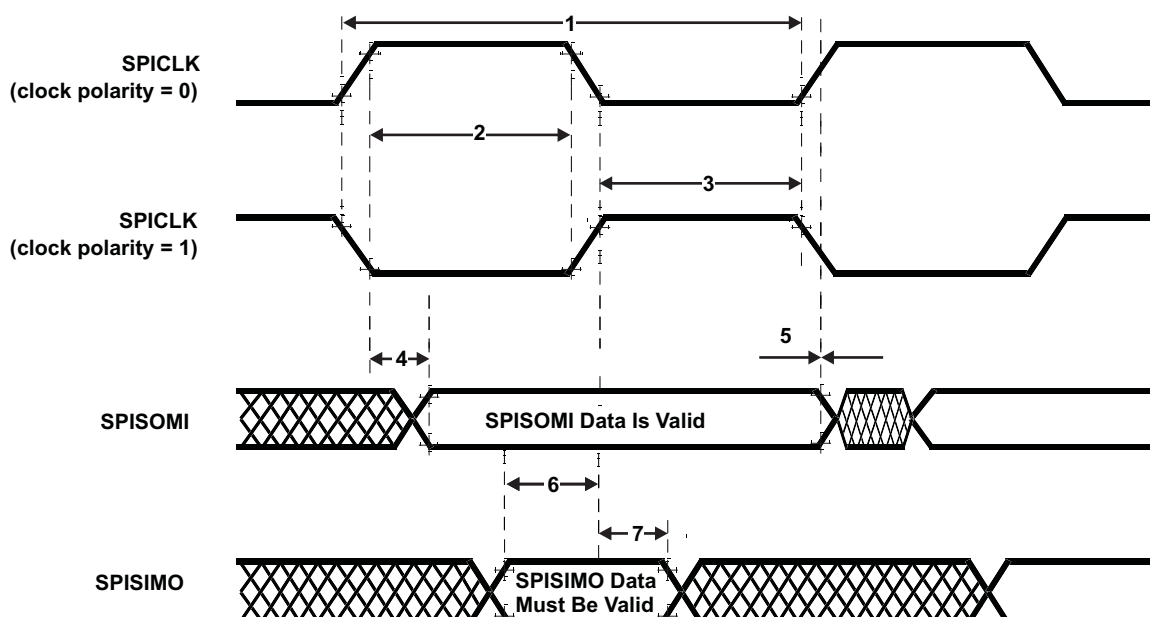


图 6-10. SPI 受控模式外部时序 (时钟相位 = 0)

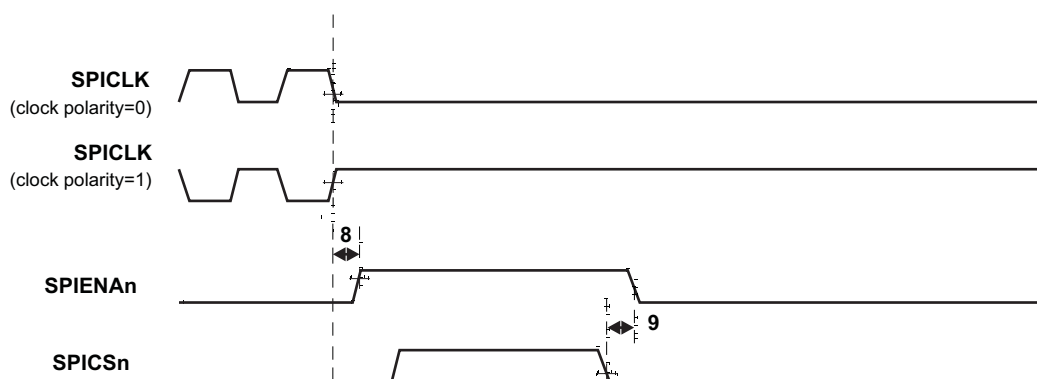


图 6-11. SPI 受控模式使能时序 (时钟相位 = 0)

表 6-16. SPI 受控模式外部时序参数（时钟相位= 1, SPICLK = 输入, SPISIMO = 输入, 和 SPISOMI = 输出）(1)(2)(3)(4)

编号	参数	最小值	最大值	单位
1	$t_{c(SPC)}S$ 周期时间, SPICLK ⁽⁵⁾	40		ns
2 ⁽⁶⁾	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 0)	14		ns
	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 1)	14		
3 ⁽⁶⁾	$t_{w(SPCL)}S$ 脉冲持续时间, SPICLK 低电平的时间 (时钟极性 = 0)	14		ns
	$t_{w(SPCH)}S$ 脉冲持续时间, SPICLK 高电平的时间 (时钟极性 = 1)	14		
4 ⁽⁶⁾	$t_{d(SOMI-SPCL)}S$ 延迟时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)		$t_{rf(SOMI)} + 20$	ns
	$t_{d(SOMI-SPCH)}S$ 延迟时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)		$t_{rf(SOMI)} + 20$	
5 ⁽⁶⁾	$t_{h(SPCL-SOMI)}S$ 保持时间, SPICLK 高电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 0)	2		ns
	$t_{h(SPCH-SOMI)}S$ 保持时间, SPICLK 低电平之后 SPISOMI 数据有效的的时间 (时钟极性 = 1)	2		
6 ⁽⁶⁾	$t_{su(SIMO-SPCH)}S$ 建立时间, SPISIMO 在 SPICLK 高电平之前的时间 (时钟极性 = 0)	4		ns
	$t_{su(SIMO-SPCL)}S$ 建立时间, SPISIMO 在 SPICLK 低电平之前的时间 (时钟极性 = 1)	4		
7 ⁽⁶⁾	$t_{v(SPCH-SIMO)}S$ 高电平时间, SPICLK 高电平之后, SPISIMO 数据有效的的时间 (时钟极性 = 0)	2		ns
	$t_{v(SPCL-SIMO)}S$ 高电平时间, SPICLK 低电平之后, SPISIMO 数据有效的的时间 (时钟极性 = 1)	2		
8	$t_{d(SPCH-SENAH)}S$ 延迟时间, 最后 SPICLK 高电平后的 SPIENAn 高电平时间 (时钟极性= 0)	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)} + t_{r(ENAn)} + 22$	ns
	$t_{d(SPCL-SENAH)}S$ 延迟时间, 最后 SPICLK 低电平后的 SPIENAn 高电平时间 (时钟极性= 1)	$1.5t_{c(VCLK)}$	$2.5t_{c(VCLK)} + t_{r(ENAn)} + 22$	
9	$t_{d(SCSL-SENAL)}S$ 延迟时间, SPICSn 低电平后 SPIENAn 低电平的时间 (如果新数据已经被写入 SPI 缓冲区)	$t_{r(ENAn)}$	$t_{c(VCLK)} + t_{r(ENAn)} + 27$	ns
10	$t_{d(SCSL-SOMI)}S$ 延迟时间, SPICSn 低电平后 SOMI 有效的的时间 (如果新数据已经被写入 SPI 缓冲区)	$t_{c(VCLK)}$	$2t_{c(VCLK)} + t_{r(SOMI)} + 28$	ns

- (1) 主控位 (SPIGCR1.0) 被清零并且时钟相位位 (SPIFMTx.16) 被置位。
- (2) 如果 SPI 处于受控模式中, 以下必须为真: $t_{c(SPC)}S \leq (PS + 1) t_{c(VCLK)}$, 其中 PS = SPIFMTx 中设定的预分频值。[15:8].
- (3) 对上升和下降时序, 请参阅表 4-6。
- (4) $t_{c(VCLK)}$ = 接口时钟周期时间 = $1/f_{(VCLK)}$
- (5) 当 SPI 处于主控模式中时, 下列必须为真:
对于从 1 到 255 的 PS 值: $t_{c(SPC)}S \geq (PS+1)t_{c(VCLK)} \geq 40ns$, 其中 PS 为 SPIFMTx 中设定的预分频值。[15:8] 寄存器位
对于为零的 PS 值: $t_{c(SPC)}S = 2t_{c(VCLK)} \geq 40ns$ 。
- (6) 作为基准的 SPICLK 信号的有效边沿由时钟极性位 (SPIFMTx.17) 控制。

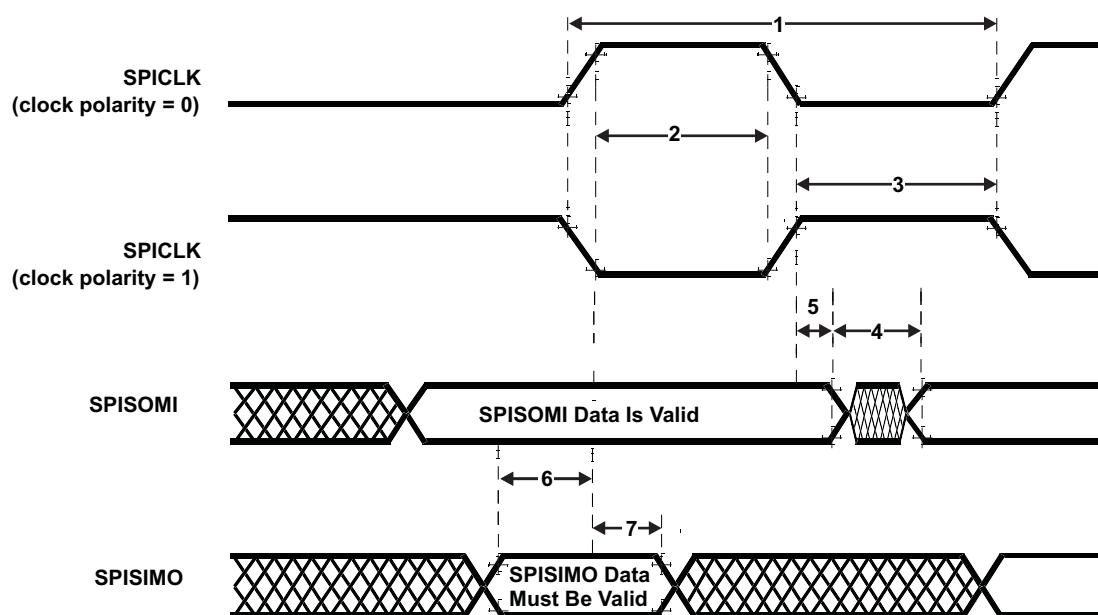


图 6-12. SPI 受控模式外部时序（时钟相位 = 1）

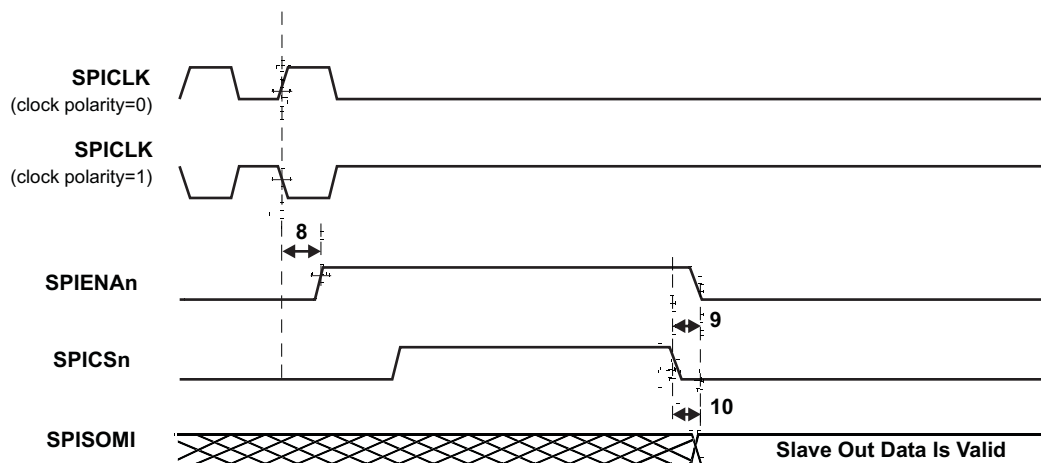


图 6-13. SPI 受控模式使能定时（时钟相位 = 1）

6.8 增强型正交编码器 (eQEP)

图 6-14 显示了器件上的 eQEP 模块互连。

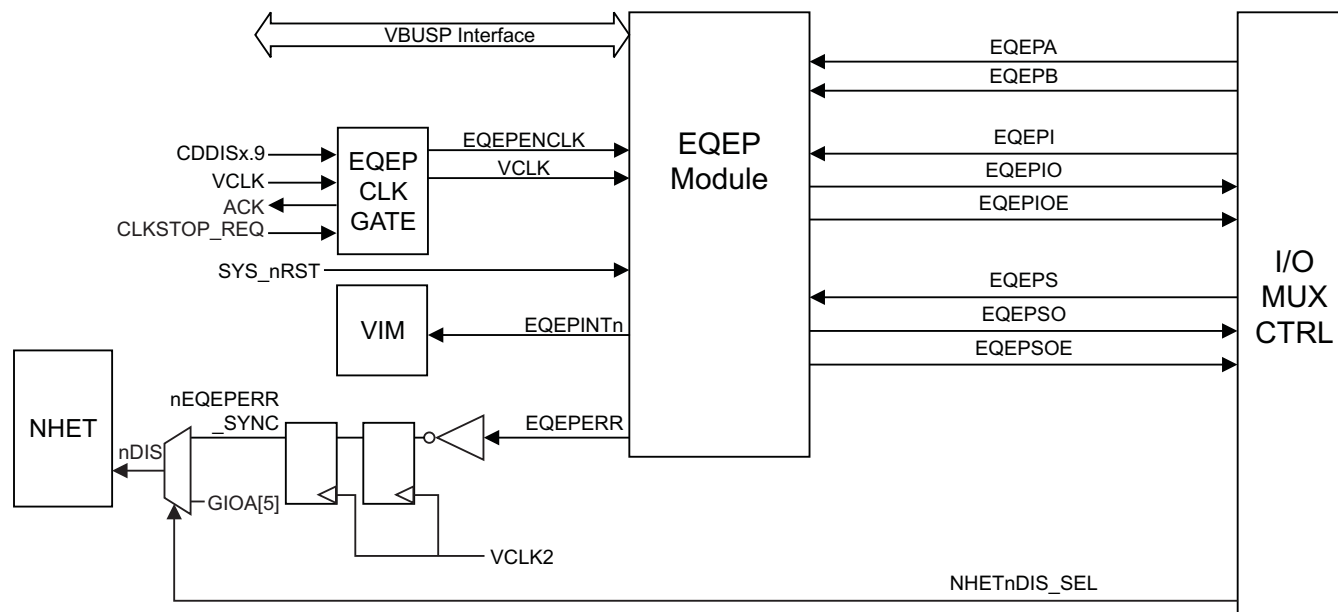


图 6-14. eQEP 模块互连

6.8.1 针对 eQEPx 模块的时钟使能控制

对 eQEP 来说, eQEP 时钟的器件电平控制只能通过 VCLK 时钟域的使能/禁用完成的。这种控制的实现需要使用 CLKDDIS 寄存器的位 9。缺省情况下, eQEP 时钟源被启用。

6.8.2 使用 eQEP 相位误差

只要在它的输入 EQEPxA 和 EQEPxB 中检测到一个相位错误, eQEP 模块就设定 EQEPERR 信号输出。这个来自 eQEP 模块的错误信号都被输入到连接选择复用器中。如图 6-14 所示, 选择的多路转换器的输出被反相并被连接到 N2HET 模块。该连接允许应用定义对 eQEP 模块表明的相位误差的响应。

6.8.3 到 eQEPx 模块的输入连接

如表 6-17 所示, 可以在一个双 VCLK 同步输入或者一个双 VCLK 同步和已滤波输入之间选择到每个 eQEP 模块的输入连接。

表 6-17. 器件电平输入同步

输入信号	针对到 eQEPx 的双同步连接的控制	对于到 eQEPx 的双同步和已滤波连接的控制
eQEPxA	PINMMR8[0] = 1	PINMMR8[0]=0 与 PINMMR8[1]=1
eQEPxB	PINMMR8[8] = 1	PINMMR8[8]=0 与 PINMMR8[9]=1
eQEPxI	PINMMR8[16] = 1	PINMMR8[16]=0 与 PINMMR8[17]=1
eQEPxS	PINMMR8[24] = 1	PINMMR8[24]=0 与 PINMMR8[25]=1

6.8.4 增强型正交编码器脉冲 (eQEPx) 时序

表 6-18. eQEPx 时序要求

参数	测试条件	最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期			
	同步的	$2t_{c(VCLK)}$		周期
	同步, 带有输入滤波器	$2t_{c(VCLK)} + \text{滤波器宽度}$		周期

表 6-18. eQEPx 时序要求 (continued)

参数		测试条件	最小值	最大值	单位
t _w (INDEXH)	QEP 索引输入高电平时间	同步	2t _c (VCLK)		周期
		同步, 带有输入滤波器	2t _c (VCLK) + 滤波器宽度		周期
t _w (INDEXL)	QEP 索引输入低电平时间	同步	2t _c (VCLK)		周期
		同步, 带有输入滤波器	2t _c (VCLK) + 滤波器宽度		周期
t _w (STROBH)	QEP 选通输入高电平时间	同步	2t _c (VCLK)		周期
		同步, 带有输入滤波器	2t _c (VCLK) + 滤波器宽度		周期
t _w (STROBL)	QEP 选通输入低电平时间	同步	2t _c (VCLK)		周期
		同步, 带有输入滤波器	2t _c (VCLK) + 滤波器宽度		周期

表 6-19. eQEPx 开关特性

参数		最小值	最大值	单位
t _d (CNTR)xin	延迟时间, 外部时钟到计数器增量的时间		4t _c (VCLK)	周期
t _d (PCS-OUT)QEP	延迟时间, QEP 输入边沿到位置比较同步输出的时间		6t _c (VCLK)	周期

7 器件和文档支持

7.1 器件支持

7.1.1 开发支持

德州仪器 (TI) 为 Hercules™ 安全 MCU 系列产品提供了大量的开发工具，其中包括评估处理器性能、生成代码、开发算法执行的工具，以及完全集成和调试的软件和硬件模块。

下列产品支持基于 Hercules™ 应用的开发：

软件开发工具

- Code Composer Studio™ 集成开发环境 (IDE)
 - C/C++ 编译器
 - 代码生成工具
 - 汇编器/连接器
 - 周期精确模拟器
- 应用算法
- 示例应用代码

硬件开发工具

- 开发和评估板
- 基于 JTAG 的仿真器 - XDS100™v2、XDS200、XDS560™ v2 仿真器
- 闪存编程工具
- 电源
- 文档和线缆

7.1.1.1 开始使用

这个部分给出了首次进行开发 TMS570 MCU 器件的步骤简介。有关这些步骤的详细信息，请参阅以下内容：

- 《Hercules™ ARM® Cortex®-R4F 微控制器的初始化》 ([SPNA106](#))

7.1.2 器件命名规则

为了指明产品开发周期的阶段，TI 为所有器件的部件号分配了前缀。每个商用系列产品都有这三个前缀中的一个：TMX，TMP 或 TMS。这些前缀代表了产品的发展阶段，即从工程原型 (TMX) 直到完全合格的生产器件 (TMS)。

器件开发进化流程”部分中删除了开发工具：

TMX 试验器件不一定代表最终器件的电气规范标准。

TMP 最终的芯片模型符合器件的电气技术规范，但是未经完整的质量和可靠性验证。

TMS 完全合格的生产器件。

TMX 和 TMP 器件在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

TMS 器件已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (TMX 或者 TMP) 的故障率大于标准生产器件。由于它们的预计的最终使用故障率仍未定义，德州仪器建议不要将这些器件用于任何生产系统。只有合格的产品器件将被使用。

图 7-1给出了 TMS570LS0232 的编号和符号命名规则。

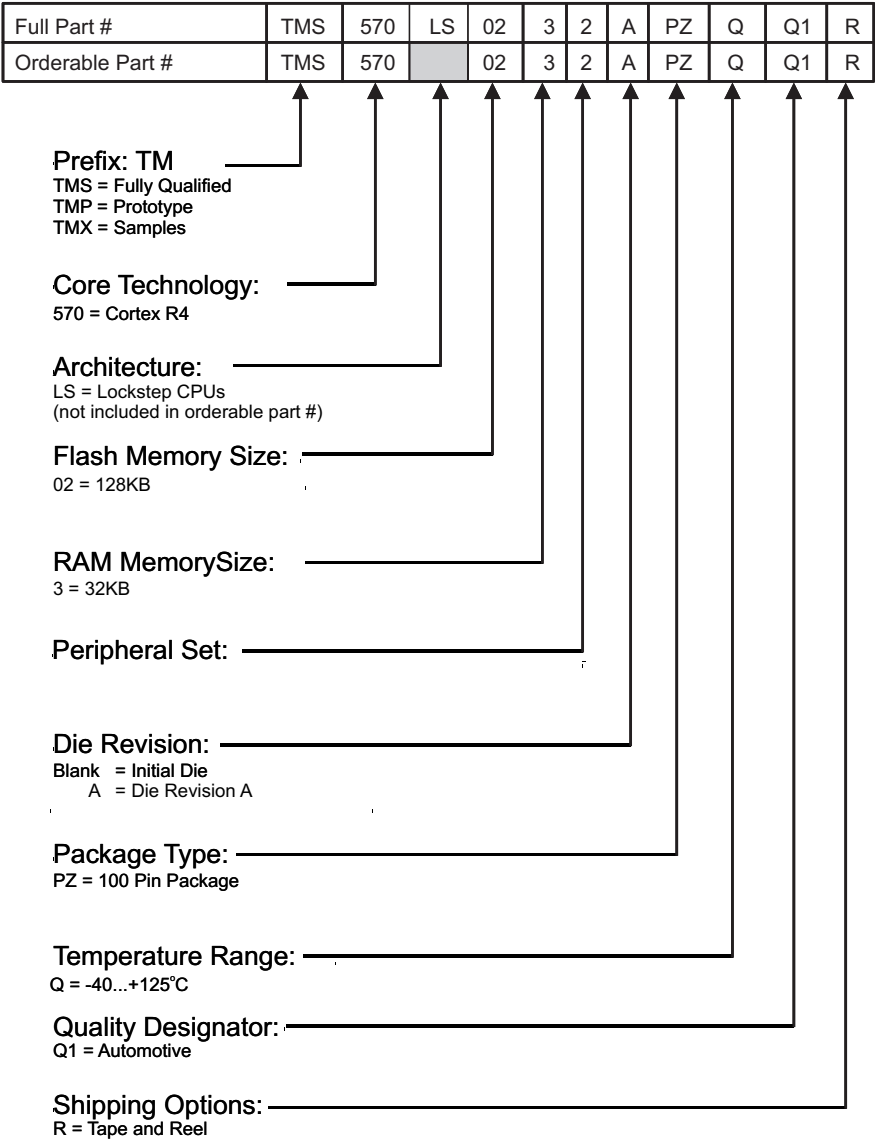


图 7-1. 器件编号惯例

7.2 文档支持

7.2.1 德州仪器 (TI) 相关文档

下列文档介绍了 TMS570LS0232 微控制器。

[SPNU603](#) 《TMS570LS0232 16/32 位 RISC 闪存微控制器技术参考手册》详述了针对每一个外设和器件中的子系统的集成、环境、功能说明，以及程序设计模型。

[SPNZ217](#) TMS570LS0232 微控制器芯片修订版本 A 芯片勘误表描述了针对器件芯片修订版本的功能技术规格的使用注释和已知例外情况。

7.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范 and 标准且不一定反映 TI 的观点；请见 TI 的[使用条款](#)。

[TI E2E™ 在线社区](#) TI 工程师对工程师 (E2E) 社区。此社区的创建目的是为了促进工程师之间协作。在 e2e.ti.com 中，您可以咨询问题、共享知识、探索思路，在同领域工程师的帮助下解决问题。

[德州仪器 \(TI\) 嵌入式处理器维基网站](#) 德州仪器 (TI) 嵌入式处理器维基网站。此网站的建立是为了帮助开发人员从德州仪器 (TI) 的嵌入式处理器入门并且也为了促进与这些器件相关的硬件和软件的总体知识的创新和增长。

7.4 商标

Hercules, Code Composer Studio, XDS100, XDS560, E2E are trademarks of Texas Instruments.

CoreSight is a trademark of ARM Limited.

ARM, Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere.

All rights reserved.

7.5 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.6 术语表

[SLYZ022](#) — TI 术语表。

这份术语表列出并解释术语、首字母缩略词和定义。

7.7 器件识别码寄存器

该器件识别码寄存器确定了器件的几个方面，包括芯片版本。器件识别码寄存器的详细信息显示在表 7-1 中。该器件的器件识别码寄存器值是：

- 版本 0 = 0x8048AD05
- 版本 A = 0x8048AD0D

图 7-2. 器件 ID 位分配寄存器

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CP-15															技术
R-1															R-0
R-00000000100100															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TECH			I/O 电压	外设奇偶校验	闪存 ECC	RAM ECC		版本					1	0	1
R-101			R-0	R-1	R-10	R-1		R-00001					R-1	R-0	R-1

图例：R/W = 读/写；R = 只读；-n = 复位后的值

表 7-1. 器件 ID 位分配寄存器字段说明

位	字段	值	说明
31	CP15	1	表明协同处理器 15 的存在 CP15 存在
30-17	唯一 ID	100100	芯片版本（修订版）位。 此位字段拥有一个针对专用器件配置（芯片）的唯一编号。
16-13	TECH	0101	器件的生产工艺。 F021
12	I/O 电压	0	该器件的 I/O 电压。 I/O 是 3.3v
11	外设奇偶校验	1	外设奇偶校验 外设存储器的奇偶校验
10-9	闪存 ECC	10	闪存 ECC 带 ECC 的程序存储器
8	RAM ECC	1	表示 RAM 内存 ECC 是否存在。 ECC 被执行
7-3	修订版本	0	该器件的修订版本。
2-0	系列 ID	101	平台系列 ID 一直是 0b101

7.8 芯片识别寄存器

位于地址 0xFFFFF7C 和 0xFFFFF80 的两个芯片 ID 寄存器构成了一个 64 位芯片 ID，其中含有如表 7-2 所示的信息。

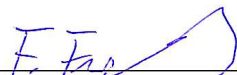
表 7-2. 芯片 - ID 寄存器

项目	位编号	位位置
晶圆上的 X 坐标	12	0xFFFFF7C[11:0]
晶圆上的 Y 坐标	12	0xFFFFF7C[23:12]
晶圆 #	8	0xFFFFF7C[31:24]
批号 #	24	0xFFFFF80[23:0]
被保留	8	0xFFFFF80[31:24]

7.9 模块认证

以下通信模块已经被授予遵守标准的认证。

7.9.1 DCAN 认证

Testhouse C&S group GmbH Am Exer 19b D-38302 Wolfenbuettel Phone: +49 5331/90 555-0 Fax: +49 5331/90 555-110		 
Authentication on CAN Conformance		Texas Instruments P10_0294_021_CAN_DL_Test_Authentication_r01.doc Date of Approval: 2011-Feb-08
C&S is worldwide recognized as a neutral expert in testing of communication systems such as CAN Transceiver, CAN, CAN Software Drivers, (CAN) Network Management, FlexRay and LIN. Herewith C&S group is proud to confirm that the followings tests on the subsequently specified device implementations have been performed by C&S resulting in the findings given below:		
C&S Conformance Test Results		
Manufacturer	Texas Instruments	
Component/Part Number	TMSx70 x021 Microcontroller Family, DCAN Core Release 0xA3170504, 980 A2C0007940000 X470MUF C63C1 P80576 24 YFB-08A9X6W	
Date of Tests	February 2011	
Version of Test Specification	CAN Conformance Test	
	1 ISO CAN Conformance Tests according to "ISO 16845:2004 Road vehicles - Controller area network (CAN) - Conformance test plan" and C&S enhancement/ corrections according to "CAN CONFORMANCE TESTING Test Specification C&S Version 2.0 RC" 2 C&S Register Functionality Tests according to "C&S Register Functionality Test Specification V2.0" 3 C&S Robustness Tests according to "C&S Robustness Test Specification V1.4"	
Corresponding Test Report	P10_0294_020_CAN_DL_Test_report_r01	
1 ISO CAN conformance tests 2 C&S Register Functionality tests 3 C&S Robustness tests	Pass Pass Pass	
• Further Observations	None	
 Frank Fischer, CTO	 Lothar Kukla, Project Manager	

Quote No. P10_0294 R01

图 7-3. DCAN 认证

7.9.2 LIN 认证

7.9.2.1 LIN 主控模式



AUTOMOTIVE
Engineering
Services & Products

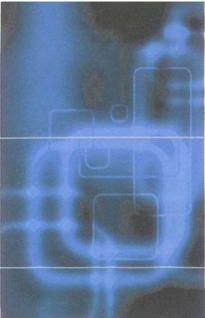


LOCAL INTERCONNECT NETWORK



DAKkS
Deutsche
Akkreditierungsstelle
D-PL-17201-01-01

Accredited test lab by DAKkS GmbH according DIN ISO/IEC 17025.
The accreditation is valid for all test methods stated in the certificate.



Test Summary

for

LIN 2.1 Conformance Test - Master

<i>Client / Manufacturer:</i>	Texas Instruments Automotive Applications 12500 TI Boulevard 75243 DALLAS, TEXAS UNITED STATES OF AMERICA
<i>Implementation Under Test:</i>	Microcontroller TMS570LS3137
<i>Part Number:</i>	LIN Master Mode
<i>Revision:</i>	SW: : 2013-05-31_IHR_LIN
<i>Test Sample Marking:</i>	TMX570LS 3137 CZWTQQ1 YFC-2AAQ32W
<i>Test Board:</i>	Gladiator 337 SN# 58 rev. B
<i>Performed Tests:</i>	LIN OSI Layer 2 – Data Link Layer Node Configuration / Network Management
<i>Specification References:</i>	LIN Conformance Test Specification, 10-Oct-2008 for the LIN Specification Package Revision 2.1 , 24-Nov-2006
<i>Result / Status:</i>	The device has passed the test.
<i>Version / Date:</i>	1.0 / 13-May-2013
<i>Document Number:</i>	Test Summary_DLL21_Master_20121130_130513_TMS570LS_V1.0.doc
<i>ihr Reference:</i>	20121130

This test summary don't represent a complete test report according the LIN consortium.

It contains 7 pages and shall not be reproduced except in full without written approval of the *ihr* Test Center. All performed test results concerns the above mentioned IUT revision only.

ihr GmbH
Airport Boulevard B 210
D 77836 Rheinmünster
Tel.: +49 (0) 7229-18475-0
Fax. +49 (0) 7229-18475-11

Bank: Volksbank Bühl
Konto: 1376209
BLZ: 66291400
UST-Id-Nr. DE177221429

Geschäftsführer: Jörg Holzberg
Gerichtsstand: Bühl
Handelsreg.:Baden-Baden HRB908BH
eMail: info@ihr.de
Internet: www.ihr.de

图 7-4. LIN 认证 - 主控模式

7.9.2.2 LIN 受控模式 - 固定波特率



AUTOMOTIVE
Engineering
Services & Products

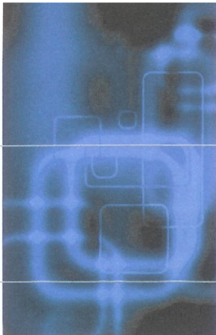


LOCAL INTERCONNECT NETWORK



Deutsche
Akkreditierungsstelle
D-PL-17201-01-01

Accredited test lab by DAkkS GmbH according DIN ISO/IEC 17025.
The accreditation is valid for all test methods stated in the certificate.



Test Summary for LIN 2.1 Conformance Test - Slave

<i>Client / Manufacturer:</i>	Texas Instruments Automotive Applications 12500 TI Boulevard 75243 DALLAS, TEXAS UNITED STATES OF AMERICA
<i>Implementation Under Test:</i>	Microcontroller TMS570LS3137 LIN Slave Mode - Fixed Baud Rate Mode
<i>Revision:</i>	SW: 2013-05-31_IHR_LIN
<i>Test Sample Marking:</i>	TMX570LS 3137 CZWTQQ1 YFC-2AAQ32W
<i>Test Board:</i>	Gladiator 337 SN# 58 rev. B
<i>Performed Tests:</i>	LIN OSI Layer 2 – Data Link Layer Node Configuration / Network Management
<i>Specification References:</i>	LIN Conformance Test Specification, 10-Oct-2008 for the LIN Specification Package Revision 2.1 , 24-Nov-2006
<i>Result / Status:</i>	The device has passed the test.
<i>Version / Date:</i>	1.0 / 13-May-2013
<i>Document Number:</i>	Test Summary_DLL21_Slave_Fixed_20121130_130513_TMS570LS_V1.0.doc
<i>ihr Reference:</i>	20121130

This test summary don't represent a complete test report according the LIN consortium.

It contains 16 pages and shall not be reproduced except in full without written approval of the **ihr** Test Center.

All performed test results concerns the above mentioned IUT revision only.

ihr GmbH Airport Boulevard B 210 D 77836 Rheinmünster Tel.: +49 (0) 7229-18475-0 Fax. +49 (0) 7229-18475-11	Bank: Volksbank Bühl Konto: 1376209 BLZ: 66291400 UST-Id-Nr. DE177221429	Geschäftsführer: Jörg Holzberg Gerichtsstand: Bühl Handelsreg.: Baden-Baden HRB908BH eMail: info@ihr.de Internet: www.ihr.de
--	---	---

图 7-5. LIN 认证 - 受控模式 - 固定波特率

7.9.2.3 LIN 受控模式 - 自适应波特率



AUTOMOTIVE
Engineering
Services & Products

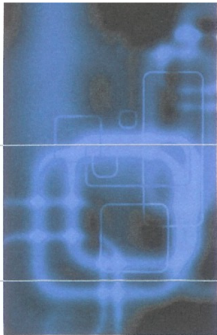


LOCAL INTERCONNECT NETWORK



DAkkS
Deutsche
Akkreditierungsstelle
D-PL-17201-01-01

Accredited test lab by DAkkS GmbH according DIN ISO/IEC 17025.
The accreditation is valid for all test methods stated in the certificate.



Test Summary

for

LIN 2.1 Conformance Test - Slave

Client / Manufacturer: **Texas Instruments**
Automotive Applications
12500 TI Boulevard
75243 DALLAS, TEXAS
UNITED STATES OF AMERICA

Implementation Under Test: **Microcontroller TMS570LS3137**
LIN Slave Mode - Adaptive Baud Rate Mode

Revision: SW: 2013-05-31_IHR_LIN

Test Sample Marking: TMX570LS 3137 CZWTQQ1 YFC-2AAQ32W

Test Board: Gladiator 337 SN# 58 rev. B

Performed Tests: **LIN OSI Layer 2 – Data Link Layer**
Node Configuration / Network Management

Specification References: **LIN Conformance Test Specification, 10-Oct-2008**
for the LIN Specification Package Revision 2.1 , 24-Nov-2006

Result / Status: **The device has passed the test.**

Version / Date: 1.0 / 13-May-2013

Document Number: Test Summary_DLL21_Slave_Adapt_TI_TMS570LS_130513_V1.0.doc

ihr Reference: 20121130

This test summary don't represent a complete test report according the LIN consortium.
It contains 16 pages and shall not be reproduced except in full without written approval of the **ihr** Test Center.
All performed test results concerns the above mentioned IUT revision only.

ihr GmbH
Airport Boulevard B 210
D 77836 Rheinmünster
Tel.: +49 (0) 7229-18475-0
Fax. +49 (0) 7229-18475-11

Bank: Volksbank Bühl
Konto: 1376209
BLZ: 66291400
UST-Id-Nr. DE177221429

Geschäftsführer: Jörg Holzberg
Gerichtsstand: Bühl
Handelsreg.: Baden-Baden HRB908BH
eMail: info@ihr.de
Internet: www.ihr.de

图 7-6. LIN 认证 - 受控模式 - 自适应波特率

8 机械、封装和可订购产品附录

8.1 封装信息

以下页中包括机械封装和可订购信息。 这些信息是针对指定器件可提供的最新数据。 这些数据会在无通知且不对本文档进行修订的情况下发生改变。 欲获得该数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS5700232BPZQQ1	ACTIVE	LQFP	PZ	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	TMS570LS 0232BPZQQ1	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

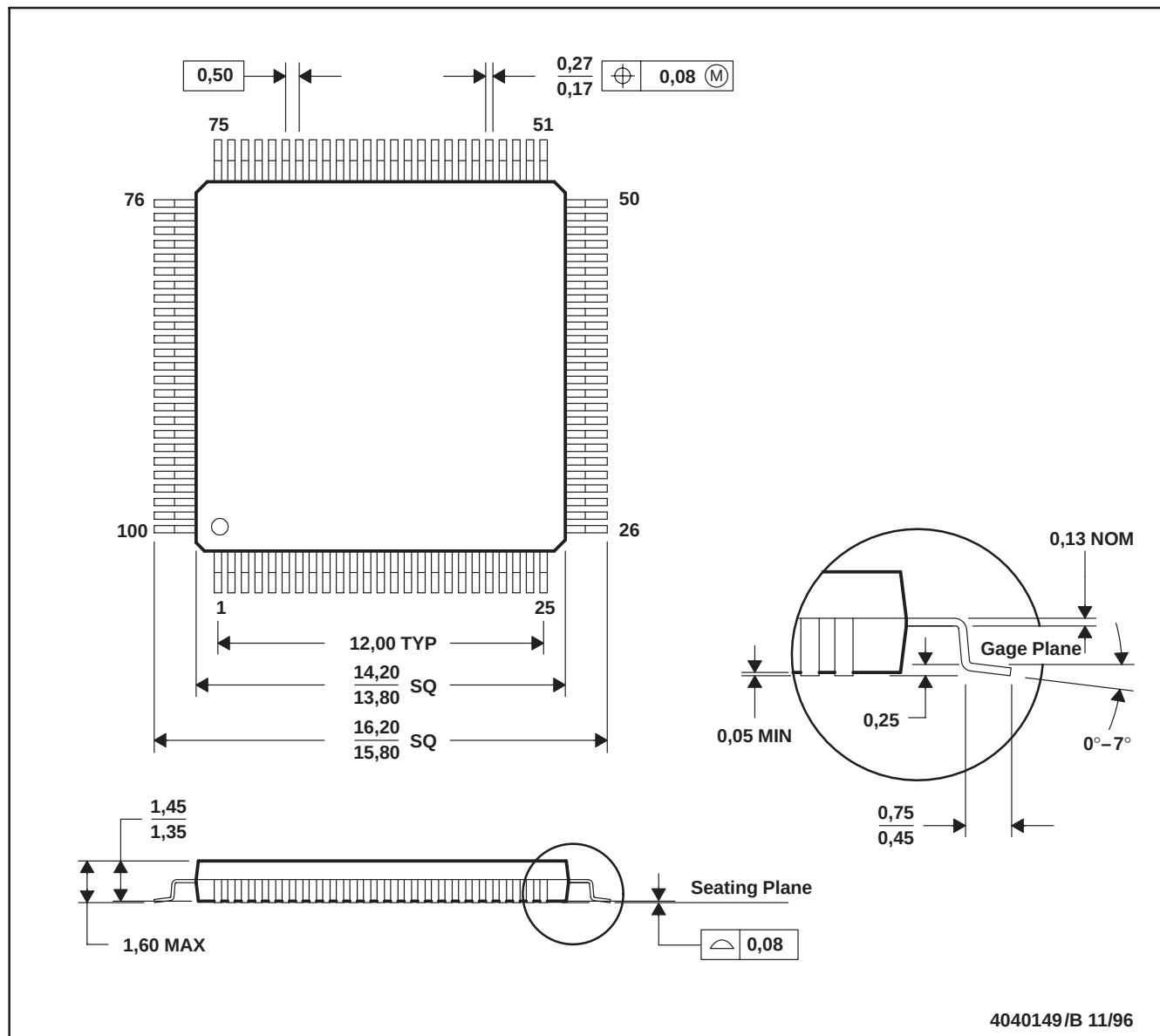
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PZ (S-PQFP-G100)

PLASTIC QUAD FLATPACK



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2021 德州仪器半导体技术（上海）有限公司