

TPA6211A1-Q1 3.1W 单声道、全差分音频功率放大器

1 特性

- 符合汽车类应用要求
 - 器件 HBM ESD 分类等级 3A
 - 器件 CDM ESD 分类等级 C6
- 在 THD = 10% (典型值) 时可利用 5V 电源向 3Ω 负载输送 3.1W 功率
- 低电源电流: 5V 时的典型值为 4mA
- 关断电流: 0.01μA (典型值)
- 快速启动, 具有极小杂音
- 仅三个外部组件
 - 针对直接电池供电运行, 改进了 PSRR (-80dB) 和宽电源电压 (2.5V 至 5.5V)
 - 全差分设计简化了射频整流
 - 63dB CMRR 省去了两个输入耦合电容

2 应用

- 汽车音频
- 紧急呼叫
- 驾驶员通知
- 仪表组蜂鸣装置

3 说明

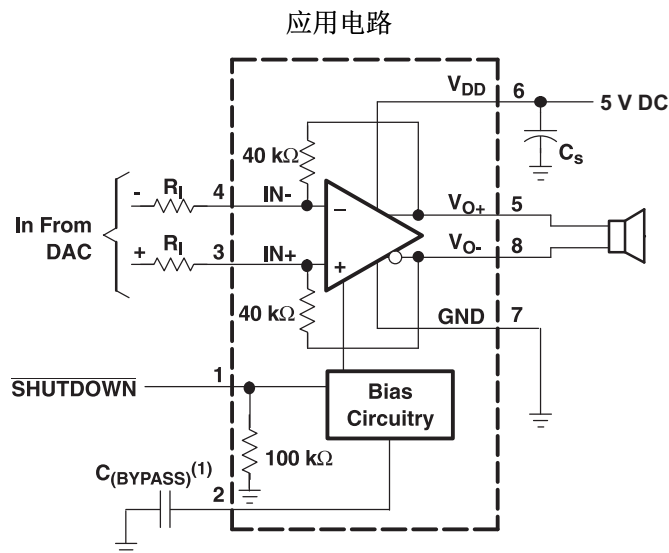
TPA6211A1-Q1 器件是一款 3.1W 单声道全差分放大器, 设计用于驱动阻抗最低为 3Ω 的扬声器, 而在大多数应用中仅占用 20-mm² 的印刷电路板 (PCB) 面积。此器件在 2.5V 至 5.5V 电压范围内运行, 仅消耗 4mA 静态电源电流。TPA6211A1-Q1 器件采用节省空间的 8 引脚 HVSSOP 封装。

该器件包含的特性有 -80dB 的电源电压抑制 (20Hz 至 2KHz)、改善的 RF 整流抗扰度以及较小的 PCB 占用面积。杂音极低的快速启动特性使得 TPA6211A1-Q1 器件成为了紧急呼叫应用的理想之选。此外, 该器件能够满足信息娱乐和仪表板应用中的低功耗需求, 这类应用包括仪表板蜂鸣装置或驾驶员通知。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
TPA6211A1-Q1	HVSSOP (8)	3.00mm × 3.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



(1) C_(BYPASS) 为选配

目录

1	特性	1	7.3	功能 说明	12
2	应用	1	7.4	器件功能模式	16
3	说明	1	8	应用和实现	17
4	修订历史记录	2	8.1	应用信息	17
5	引脚配置和功能	3	8.2	典型 应用	17
6	规格	3	9	电源建议	22
6.1	绝对最大额定值	3	9.1	电源去耦电容器	22
6.2	ESD 额定值	3	10	布局	22
6.3	建议运行条件	3	10.1	布局指南	22
6.4	热性能信息	4	10.2	布局示例	23
6.5	电气特性	4	11	器件和文档支持	24
6.6	工作特性	5	11.1	接收文档更新通知	24
6.7	耗散额定值	5	11.2	社区资源	24
6.8	典型特性	6	11.3	商标	24
7	详细 说明	12	11.4	静电放电警告	24
7.1	概述	12	11.5	Glossary	24
7.2	功能方框图	12	12	机械、封装和可订购信息	24

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision D (August 2019) to Revision E	Page
• 已更改 将封装更改为 HVSSOP	1
• 已更改 将封装更改为 HVSSOP	4
• 已更改 将封装更改为 HVSSOP	23

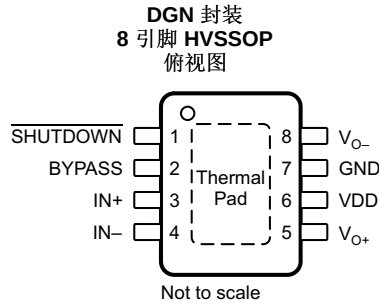
Changes from Revision C (August 2016) to Revision D	Page
• 删除了“特性：符合汽车类应用要求”中的 AEC-Q100	1
• 删除了“特性：温度等级 2”	1
• 更改了 ESD 额定值 表	3

Changes from Revision B (January 2014) to Revision C	Page
• 已添加 添加了器件信息 表、ESD 额定值 表、特性 说明 部分、器件功能模式 部分、应用和实现 部分、电源相关建议 部分、布局 部分、器件和文档支持 部分以及机械、封装和可订购信息 部分	1
• 已添加 在表 2 中添加了缺少的最高环境温度值	14
• 已更改 在公式 12 中将 45.9 更改为 71.7，将 1.27 更改为 1.25，将 91.7 更改为 60	15

Changes from Revision A (November 2013) to Revision B	Page
• 已添加 在差分输出与单端输出 部分中添加了三个新公式，以显示单端输出与差分输出之间的差异	15

Changes from Original (June 2011) to Revision A	Page
• 已删除 删除了“设计用于无线或蜂窝手持设备和 PDA”（位于特性 列表）	1
• 已删除 删除了订购信息 表	3
• 已更改 在高通滤波器 部分中将引用从“公式 6”更改为公式 25	19

5 引脚配置和功能



引脚功能

引脚		I/O	说明
名称	NO.		
BYPASS	2	I	1/2 Vs 电压, 添加旁路电容器可以提高 PSRR
GND	7	I	高电流接地
IN–	4	I	负差分输入
IN+	3	I	正差分输入
SHUTDOWN	1	I	关断引脚 (低电平有效逻辑)
散热焊盘	—	—	接地。在所有应用中必须焊入散热焊盘, 以正确地将器件固定在 PCB 上。
V _{DD}	6	I	电源
V _{O+}	5	O	正 BTL 输出
V _{O–}	8	O	负 BTL 输出

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压, V _{DD}		-0.3	6	V
输入电压, V _I		-0.3	V _{DD} + 0.3V	V
持续总功率耗散		请参阅 耗散额定值		
10s 内距离外壳 1.6mm (1/16 英寸) 的引线温度	DGN		260	°C
自然通风工作温度范围, T _A		-40	105	°C
结温, T _J		-40	150	°C
贮存温度, T _{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况, 对于额定值下器件的功能性操作以及在超出 [建议运行条件](#) 下的任何其它操作, 在此并未说明。长时间运行在最大绝对额定条件下会影响器件可靠性。

6.2 ESD 额定值

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±4000	V
		充电器件模型 (CDM), 符合 AEC Q100-011	±1000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

		最小值	最大值	单位
V _{DD}	电源电压	2.5	5.5	V
V _{IH}	高电平输入电压	SHUTDOWN	1.55	V

建议运行条件 (接下页)

		最小值	最大值	单位
V_{IL}	低电平输入电压	SHUTDOWN	0.5	V
T_A	自然通风工作温度范围	-40	105	°C

6.4 热性能信息

热指标 ⁽¹⁾		TPA6211A1-Q1	单位
		DGN (HVSSOP)	
		8 引脚	
R _{θJA}	结至环境热阻	71.7	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	55.9	°C/W
R _{θJB}	结至电路板热阻	44.9	°C/W
Ψ _{JT}	结至顶部特征参数	3.7	°C/W
Ψ _{JB}	结至电路板特征参数	44.7	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	19.6	°C/W

(1) 有关传统和新热指标的更多信息, 请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.5 电气特性

$T_A = 25^\circ\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
V_{OS}	输出失调电压 (差分测量) $V_I = 0\text{V}$ 差分, 增益 = 1V/V , $V_{DD} = 5.5\text{V}$	-9	0.3	9	mV
PSRR	电源抑制比 $V_{DD} = 2.5\text{V}$ 至 5.5V		-85	-60	dB
V_{IC}	共模输入范围 $V_{DD} = 2.5\text{V}$ 至 5.5V	0.5		$V_{DD} - 0.8$	V
CMRR	$V_{DD} = 5.5\text{V}$, $V_{IC} = 0.5\text{V}$ 至 4.7V		-63	-40	dB
	$V_{DD} = 2.5\text{V}$, $V_{IC} = 0.5\text{V}$ 至 1.7V		-63	-40	
低输出摆幅	$R_L = 4\Omega$, $V_{IN+} = V_{DD}$, $V_{IN-} = 0\text{V}$, 增益 = 1V/V , $V_{IN-} = 0\text{V}$ 或 $V_{IN+} = V_{DD}$	$V_{DD} = 5.5\text{V}$	0.45		V
		$V_{DD} = 3.6\text{V}$	0.37		
		$V_{DD} = 2.5\text{V}$	0.26	0.4	
高输出摆幅	$R_L = 4\Omega$, $V_{IN+} = V_{DD}$, $V_{IN-} = V_{DD}$, 增益 = 1V/V , $V_{IN-} = 0\text{V}$ 或 $V_{IN+} = 0\text{V}$	$V_{DD} = 5.5\text{V}$	4.95		V
		$V_{DD} = 3.6\text{V}$	3.18		
		$V_{DD} = 2.5\text{V}$	2	2.13	
$ I_{IH} $	高电平输入电流, 关断 $V_{DD} = 5.5\text{V}$, $V_I = 5.8\text{V}$		58	100	μA
$ I_{IL} $	低电平输入电流, 关断 $V_{DD} = 5.5\text{V}$, $V_I = -0.3\text{V}$		3	100	μA
I_Q	静态电流 $V_{DD} = 2.5\text{V}$ 至 5.5V , 空载		4	5	mA
$I_{(SD)}$	电源电流 $V_{SHUTDOWN} \leq 0.5\text{V}$, $V_{DD} = 2.5\text{V}$ 至 5.5V , $R_L = 4\Omega$		0.01	1	μA
增益	$R_L = 4\Omega$	$\frac{38\text{ k}\Omega}{R_I}$	$\frac{40\text{ k}\Omega}{R_I}$	$\frac{42\text{ k}\Omega}{R_I}$	V/V
从关断到 GND 的电阻			100		k Ω

6.6 工作特性

 $T_A = 25^\circ\text{C}$, Gain = 1V/V

参数		测试条件		最小值	典型值	最大值	单位
P _O 输出功率	THD + N = 1%, f = 1kHz, R _L = 3Ω	V _{DD} = 5V			2.45		W
		V _{DD} = 3.6V			1.22		
		V _{DD} = 2.5V			0.49		
	THD + N = 1%, f = 1kHz, R _L = 4Ω	V _{DD} = 5V			2.22		
		V _{DD} = 3.6V			1.1		
		V _{DD} = 2.5V			0.47		
	THD + N = 1%, f = 1kHz, R _L = 8Ω	V _{DD} = 5V			1.36		
		V _{DD} = 3.6V			0.72		
		V _{DD} = 2.5V			0.33		
THD+N 总谐波失真 + 噪声	f = 1kHz, R _L = 3Ω	P _O = 2W, V _{DD} = 5V			0.045%		
		P _O = 1W, V _{DD} = 3.6V			0.05%		
		P _O = 300mW, V _{DD} = 2.5V			0.06%		
	f = 1kHz, R _L = 4Ω	P _O = 1.8W, V _{DD} = 5V			0.03%		
		P _O = 0.7W, V _{DD} = 3.6V			0.03%		
		P _O = 300mW, V _{DD} = 2.5V			0.04%		
	f = 1kHz, R _L = 8Ω	P _O = 1W, V _{DD} = 5V			0.02%		
		P _O = 0.5W, V _{DD} = 3.6V			0.02%		
		P _O = 200mW, V _{DD} = 2.5V			0.03%		
k _{SVR} 电源纹波抑制比	V _{DD} = 3.6V, 输入交流接地, C ₁ = 2μF, V _{RIPPLE} = 200mV _{pp}		f = 217Hz	-80		dB	
			f = 20Hz 至 20kHz	-70			
SNR 信噪比	V _{DD} = 5V, P _O = 2W, R _L = 4Ω				105		dB
V _n 输出电压噪声	V _{DD} = 3.6V, f = 20Hz 至 20kHz, 输入交流接地, C ₁ = 2μF		无加权	15		μV _{RMS}	
			A 加权	12			
CMRR 共模抑制比	V _{DD} = 3.6V, V _{IC} = 1V _{pp}		f = 217Hz	-65		dB	
Z _i 输入阻抗				38	40	44	kΩ
从关断到启动的时间	V _{DD} = 3.6V, 无 C _{BYPASS}				4		μs
	V _{DD} = 3.6V, C _{BYPASS} = 0.1μF				27		ms

6.7 耗散额定值

封装	$T_A \leq 25^\circ\text{C}$ 额定功率	降额 因子 ⁽¹⁾	$T_A = 70^\circ\text{C}$ 额定功率	$T_A = 85^\circ\text{C}$ 额定功率
DGN	2.13W	17.1mW/ $^\circ\text{C}$	1.36W	1.11W

(1) 基于高 k 板布局的降额因子。

6.8 典型特性

表 1. 图形表

		图
输出功率	与电源电压间的关系	图 1
	与负载电阻间的关系	图 2
功率耗散	与输出功率间的关系	图 3、图 4
总谐波失真 + 噪声	与输出功率间的关系	图 5、图 6、图 7
	与频率间的关系	图 8、图 9、图 10、图 11、图 12
	与共模输入电压间的关系	图 13
电源电压抑制比	与频率间的关系	图 14、图 15、图 16、图 17
电源电压抑制比	与共模输入电压间的关系	图 18
GSM 电源抑制	与时间间的关系	图 19
GSM 电源抑制	与频率间的关系	图 20
共模抑制比	与频率间的关系	图 21
	与共模输入电压间的关系	图 22
闭环增益/相位	与频率间的关系	图 23
开环增益/相位	与频率间的关系	图 24
电源电流	与电源电压间的关系	图 25
	与关断电压间的关系	图 26
启动时间	与旁路电容器间的关系	图 27

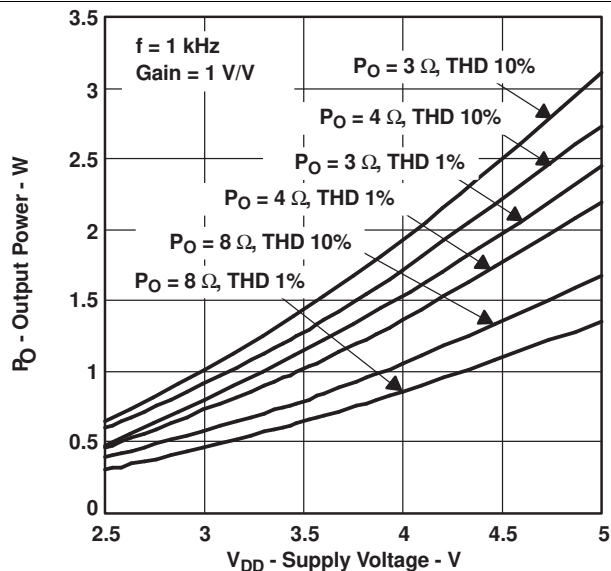


图 1. 输出功率与电源电压间的关系

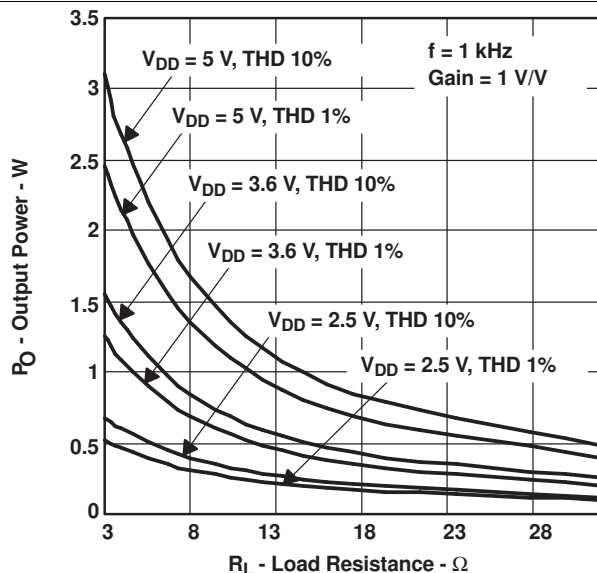


图 2. 输出功率与负载电阻间的关系

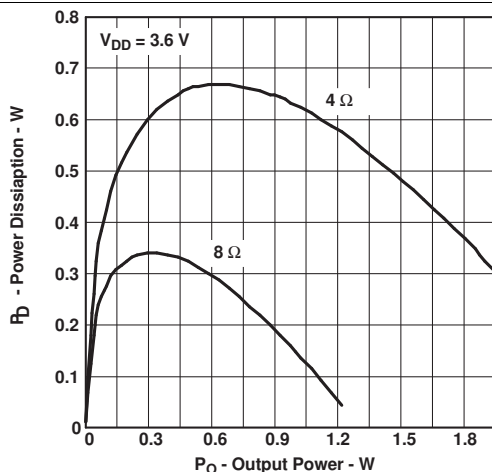


图 3. 功率耗散与输出功率间的关系

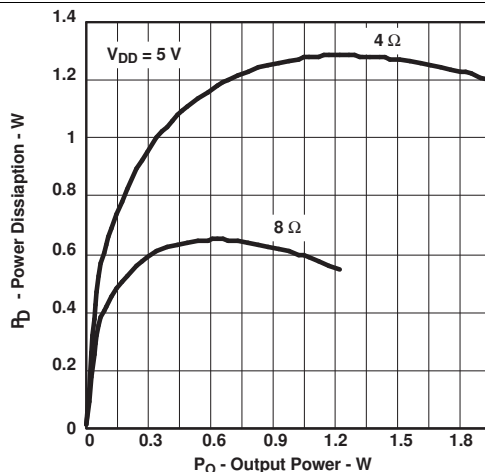


图 4. 功率耗散与输出功率间的关系

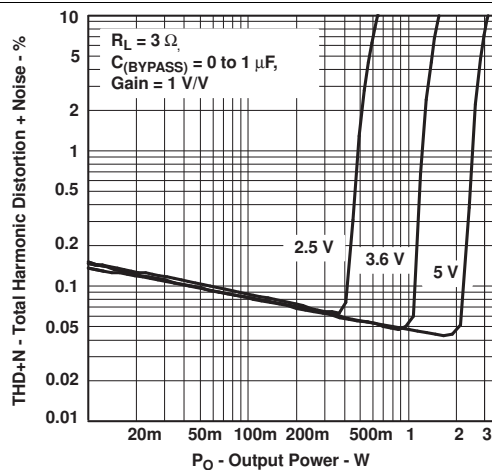


图 5. 总谐波失真 + 噪声
与输出功率间的关系

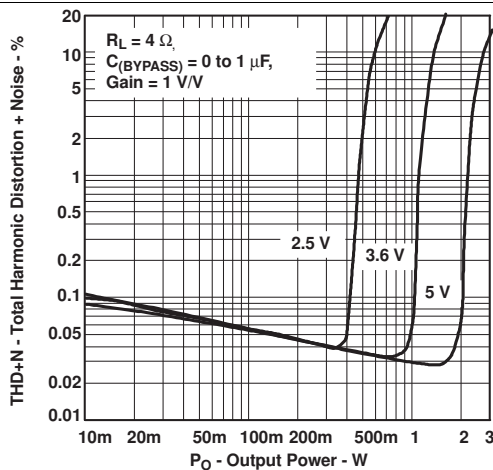


图 6. 总谐波失真 + 噪声
与输出功率间的关系

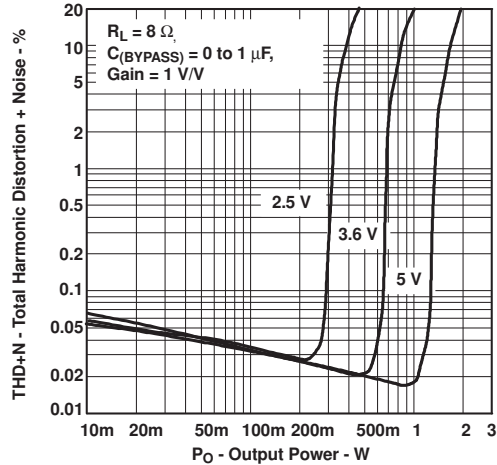


图 7. 总谐波失真 + 噪声
与输出功率间的关系

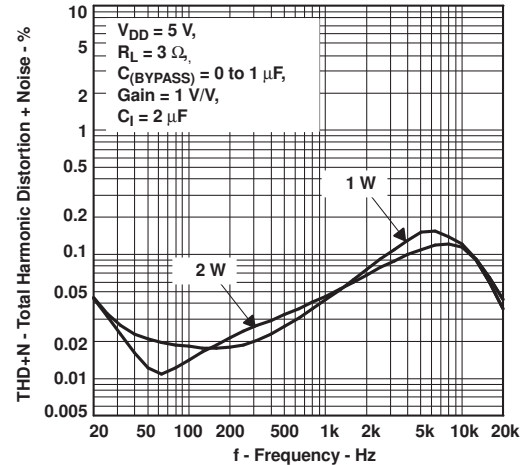


图 8. 总谐波失真 + 噪声与频率间的关系

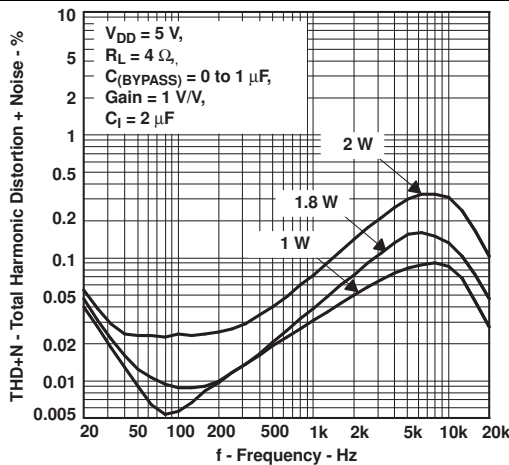


图 9. 总谐波失真 + 噪声与频率间的关系

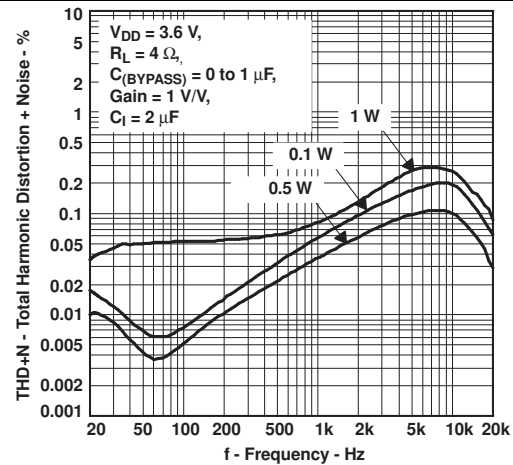


图 10. 总谐波失真 + 噪声与频率间的关系

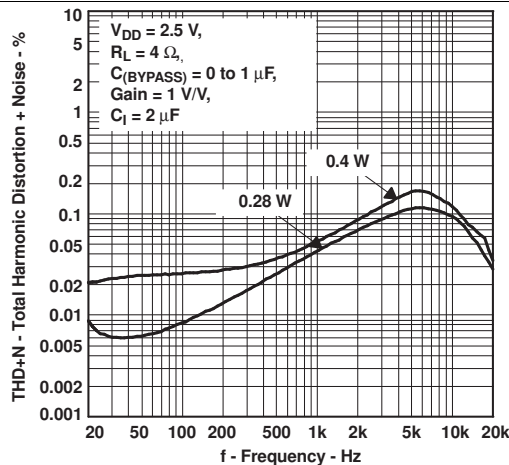


图 11. 总谐波失真 + 噪声与频率间的关系

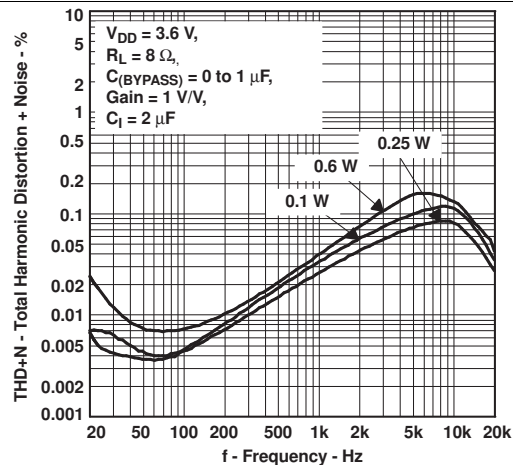


图 12. 总谐波失真 + 噪声与频率间的关系

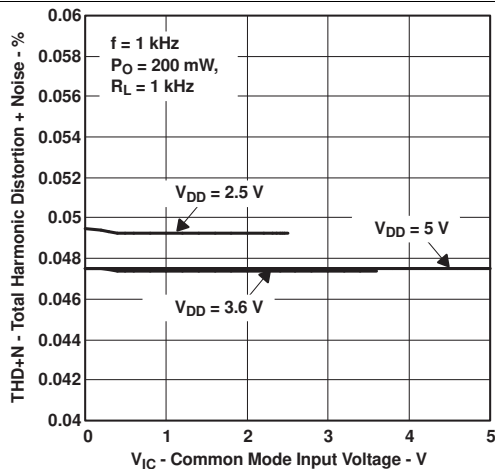


图 13. 总谐波失真 + 噪声
与共模输入电压间的关系

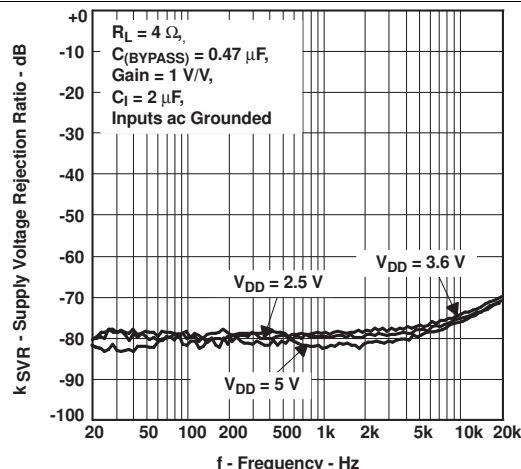


图 14. 电源电压抑制比与频率间的关系

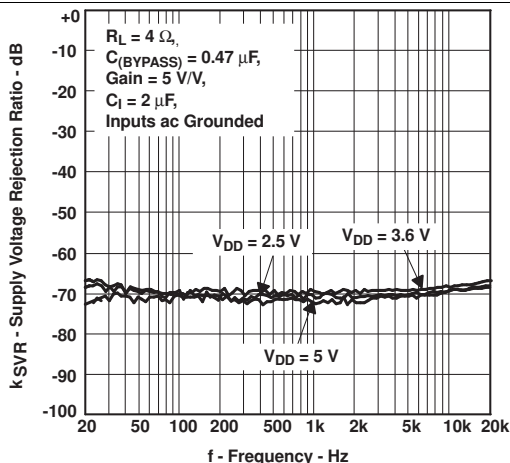


图 15. 电源电压抑制比与频率间的关系

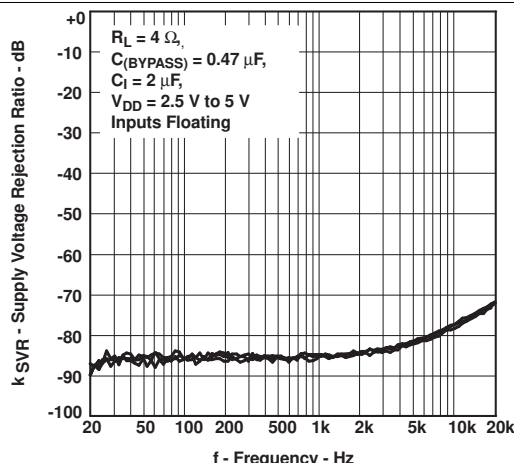


图 16. 电源纹波抑制比与频率间的关系

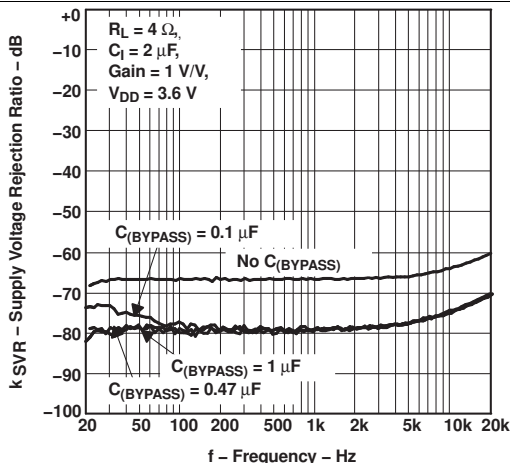


图 17. 电源电压抑制比与频率间的关系

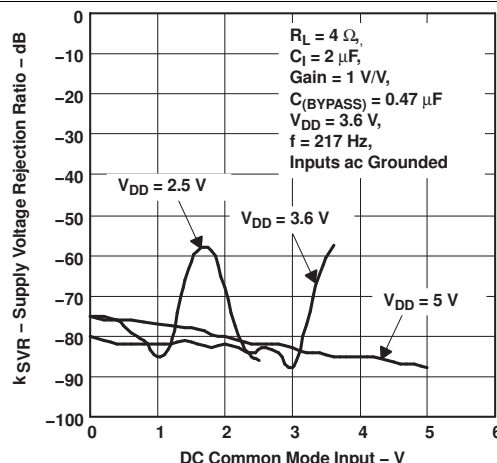


图 18. 电源电压抑制比
与直流共模输入间的关系

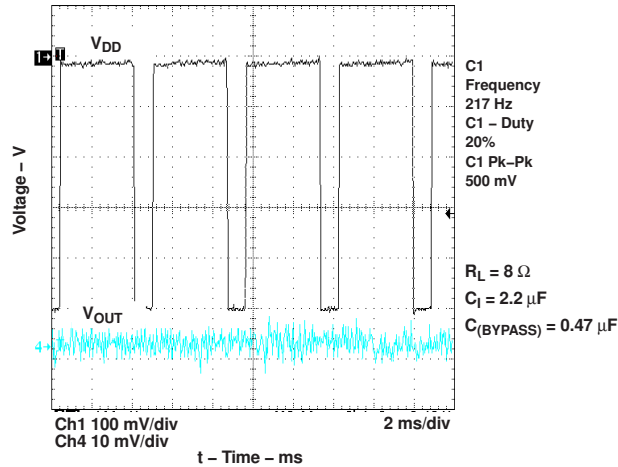


图 19. GSM 电源电压抑制与时间的关系

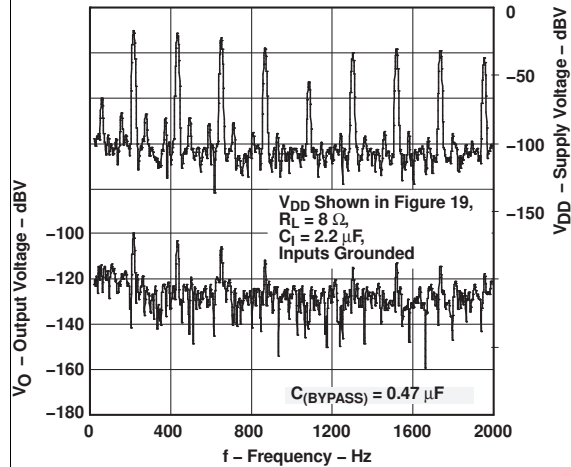


图 20. GSM 电源抑制与频率间的关系

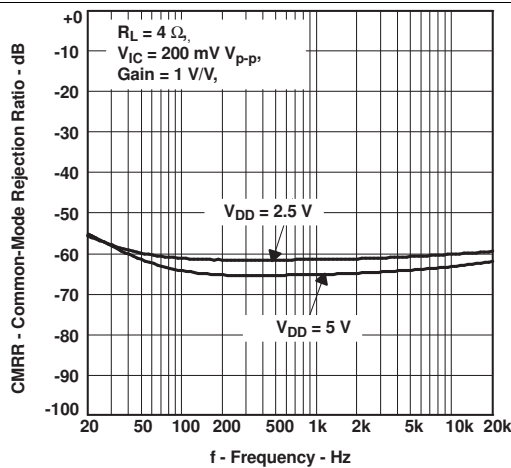


图 21. 共模抑制比与频率间的关系

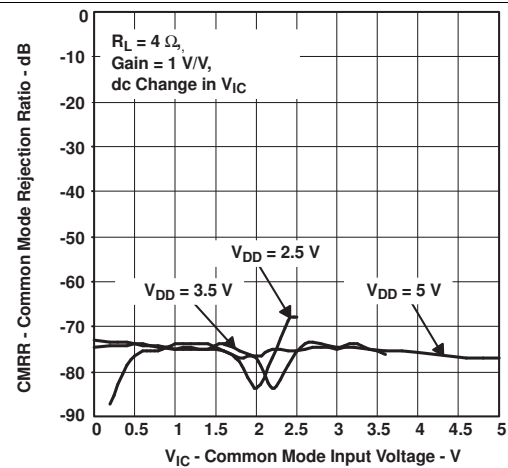


图 22. 共模抑制比
与共模输入电压间的关系

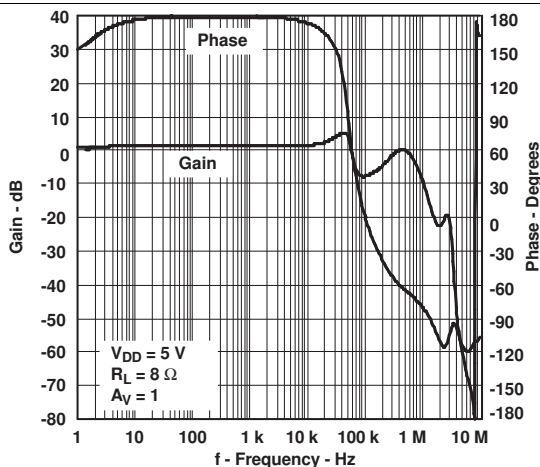


图 23. 闭环增益/相位与频率间的关系

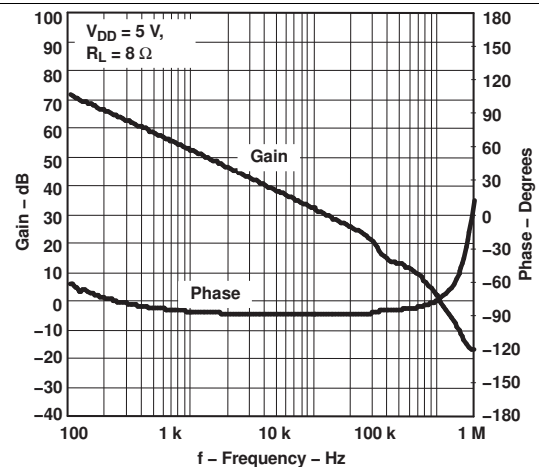


图 24. 开环增益/相位与频率间的关系

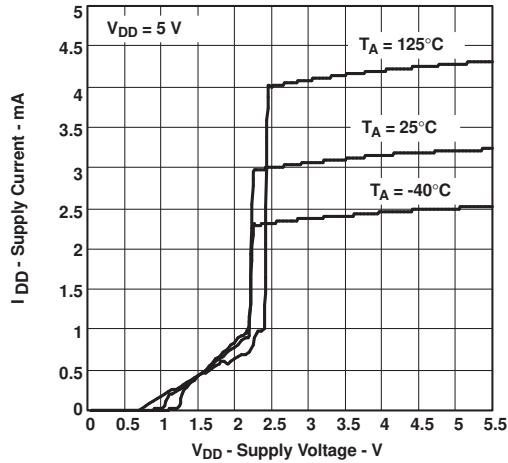


图 25. 电源电流与电源电压间的关系

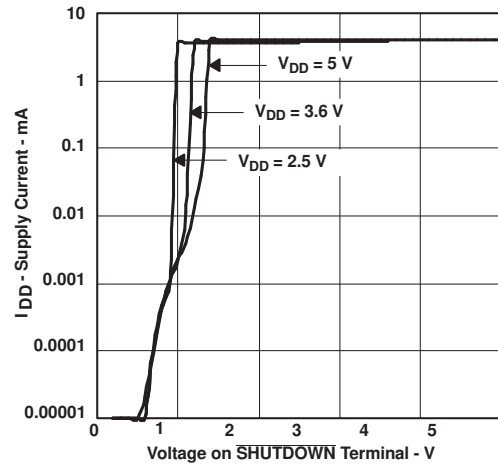


图 26. 电源电流与关断电压间的关系

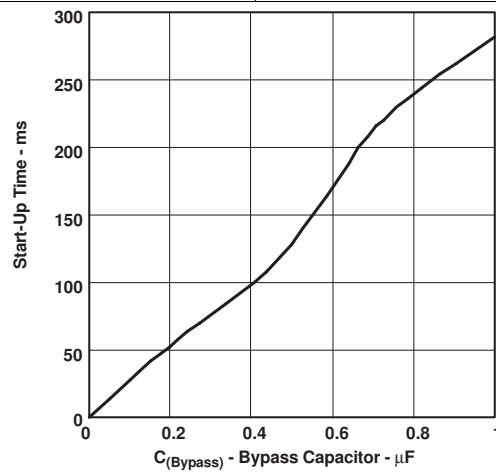


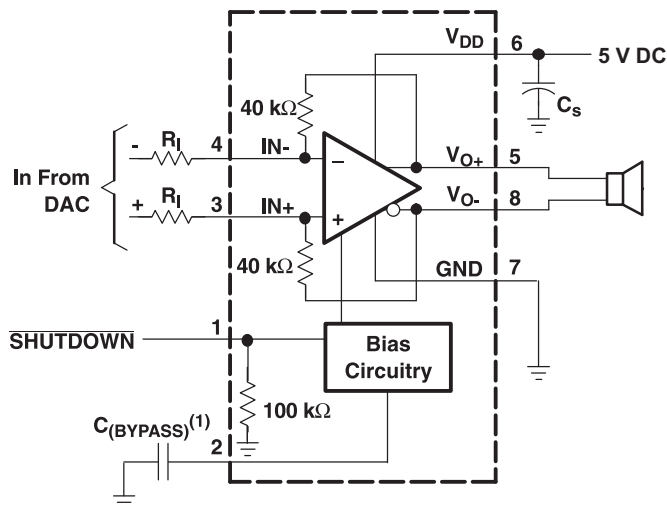
图 27. 启动时间与旁路电容器间的关系

7 详细 说明

7.1 概述

TPA6211A1-Q1 器件是具有差分输入和输出的全差分放大器。全差分放大器包含一个差分放大器和一个共模放大器。差分放大器可确保放大器输出等于差分输入乘以增益的差分电压。无论输入端的共模电压如何，共模反馈都可确保输出端的共模电压偏置在 $V_{DD}/2$ 附近。

7.2 功能方框图



(1) $C_{(BYPASS)}$ 是可选的

7.3 功能 说明

7.3.1 全差分放大器的优势

不需要输入耦合电容器。具有良好 CMRR 的全差分放大器（如 TPA6211A1-Q1 器件）使输入能够偏置在 $1/2 V_s$ 以外的电压。例如，如果 DAC 的 $1/2 V_s$ 电压低于 TPA6211A1-Q1 器件的 $1/2 V_s$ 电压，则共模反馈电路会进行补偿，输出仍然偏置在 TPA6211A1-Q1 器件的 $1/2 V_s$ 点。TPA6211A1-Q1 器件输入的偏置范围为到 $0.5V$ 至 $V_{DD} - 0.8V$ 。如果输入偏置在该范围之外，则需要使用输入耦合电容器。

不需要 $1/2 V_s$ 旁路电容器 C_{BYPASS} 。全差分放大器不需要旁路电容器。 $1/2 V_s$ 电压的任何变化都会同等地影响正通道和负通道，从而在差分输出端得到抵消。移除旁路电容器会使电源抑制比 (k_{SVR}) 稍微变差，但如果可以消除一个额外组件，则可以接受 k_{SVR} 稍微下降（请参阅图 17）。

射频抗扰度得到提高。与典型音频放大器相比，全差分放大器可以更好地消除射频干扰所产生的噪声。

7.3.2 全差分放大器效率和热性能信息

AB 类放大器效率很低，这主要是由输出级晶体管上的电压降导致的。该内部电压降的两个分量是与输出功率成反比变化的余量或直流电压降，以及输出的正弦波特性。可以通过以下方式计算总电压降： V_{DD} 减去输出电压的 RMS 值。内部电压降乘以电源电流的平均值 $I_{DD}(avg)$ 可决定放大器的内部功率耗散。

用于计算效率的易用公式是电源的功率与输送到负载的功率之比。为了准确计算负载和放大器中功率的 RMS 和平均值，首先必须了解电流和电压波形（请参阅图 28）。

功能 说明 (接下页)

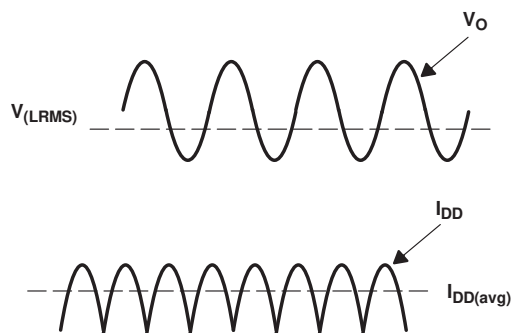


图 28. BTL 放大器的电压和电流波形

虽然负载中 SE 和 BTL 的电压和电流是正弦波形，但电源电流 SE 和 BTL 配置有所不同。在 SE 应用中，电流波形是半波整流形状，而在 BTL 中，电流波形是全波整流波形。这意味着 RMS 转换因子不尽相同。请记住，对于大多数波形，推/挽晶体管不会同时导通，从而出现以下情况：BTL 器件中的每个放大器仅从电源获取一半波形的电流。公式 1 至公式 10 是计算放大器效率的基础。

$$\eta_{\text{BTL}} = \frac{P_L}{P_{\text{SUP}}}$$

其中

- η_{BTL} 是 BTL 放大器的效率
- P_L 是向负载提供的功率
- P_{SUP} 是从电源获取的功率

(1)

可以通过公式 2 来计算 P_L ，可以通过公式 3 来计算 V_{LRMS} 。

$$P_L = \frac{V_{\text{LRMS}}^2}{R_L}$$

其中

- V_{LRMS} 是 BTL 负载上的 RMS 电压
- R_L 是负载电阻

(2)

$$V_{\text{LRMS}} = \frac{V_P}{\sqrt{2}}$$

其中

- V_P 是 BTL 负载上的峰值电压

(3)

因此，可以通过公式 4 来计算 P_L 。

$$P_L = \frac{V_P^2}{2 \times R_L}$$

(4)

可以通过公式 5 来计算 P_{SUP} 。

$$P_{\text{SUP}} = V_{\text{DD}} \times I_{\text{DDavg}}$$

其中

- V_{DD} 是电源电压
- I_{DDavg} 是从电源获取的平均电流

(5)

可以通过公式 6 来计算 I_{DDavg} 。

功能 说明 (接下页)

$$I_{DDavg} = \frac{1}{\pi} \int_0^{\pi} \frac{V_P}{R_L} \times \sin(t) \times dt = -\frac{1}{\pi} \times \frac{V_P}{R_L} \times \cos(t) \Big|_0^{\pi} = \frac{2 \times V_P}{\pi \times R_L} \quad (6)$$

因此，可以通过公式 7 来计算 P_{SUP} 。

$$P_{SUP} = \frac{2 \times V_{DD} \times V_P}{\pi \times R_L} \quad (7)$$

代入 P_L 和 P_{SUP} ，公式 1 将变为公式 8

$$\eta_{BTL} = \frac{\frac{V_P^2}{2 \times R_L}}{\frac{2 \times V_{DD} \times V_P}{\pi \times R_L}} = \frac{\pi \times V_P}{4 \times V_{DD}} \quad (8)$$

可以通过公式 9 来计算 V_P 。

$$V_P = \sqrt{2 \times P_L \times R_L} \quad (9)$$

代入 V_P ，可以通过公式 10 来计算 η_{BTL}

$$\eta_{BTL} = \frac{\pi \sqrt{2 \times P_L \times R_L}}{4 \times V_{DD}} \quad (10)$$

针对差分输出应用，可使用一个简单的公式来计算耗散的最大功率 (P_{Dmax}):

$$P_{Dmax} = \frac{2V_{DD}^2}{\pi^2 R_L} \quad (11)$$

表 2. 效率和最高环境温度与输出功率间的关系

输出功率	效率	内部耗散	电源的功率	最高环境温度
5V、3Ω 系统				
0.5W	27.2%	1.34W	1.84W	54°C
1W	38.4%	1.6W	2.6W	35°C
2.45W	60.2%	1.62W	4.07W	34°C
3.1W	67.7%	1.48W	4.58W	44°C
5V、4Ω BTL 系统				
0.5W	31.4%	1.09W	1.59W	72°C
1W	44.4%	1.25W	2.25W	60°C
2W	62.8%	1.18W	3.18W	65°C
2.8W	74.3%	0.97W	3.77W	80°C
5V、8Ω 系统				
0.5W	44.4%	0.625W	1.13W	105°C (受最高环境温度规格限制)
1W	62.8%	0.592W	1.6W	105°C (受最高环境温度规格限制)
1.36W	73.3%	0.496W	1.86W	105°C (受最高环境温度规格限制)
1.7W	81.9%	0.375W	2.08W	105°C (受最高环境温度规格限制)

公式 10 用于计算四种不同输出功率水平的效率，请参阅表 2。放大器的效率对于较低的功率水平而言非常低，并且随着负载功率的增大而急剧上升，从而导致在正常工作范围内出现几乎毫无变化的内部功率耗散。全输出功率时的内部耗散小于半功率范围。计算特定系统的效率是进行适当供电设计的关键。对于具有 4Ω 负载和 5V 电源的 2.8W 音频系统，电源的最大功耗几乎为 3.8W。

关于 AB 类放大器的最后一点是如何处理效率公式中的各个项，以便尽可能地实现最大的优势。在公式 10 中， V_{DD} 位于分母中。这表明当 V_{DD} 下降时，效率上升。

最高环境温度取决于 PCB 系统的散热能力。在给定 $R_{\theta JA}$ （结至环境热阻）、最高允许结温和内部耗散（1W 输出功率和 4 欧姆负载）的情况下，可以通过公式 12 来计算最高环境温度。TPA6211A1-Q1 器件的最高建议结温是 150°C。

$$T_A(\text{Max}) = T_J(\text{Max}) - R_{\theta JA} \times P_D = 150 - 71.7 \times 1.25 = 60^\circ\text{C} \quad (12)$$

公式 12 表明，在 1W 输出功率、4 欧姆负载和 5V 电源的情况下，最高环境温度为 60°C。

表 2 表明，在使用 AB 类放大器时必须考虑散热性能，以将结温保持在指定的范围内。TPA6211A1-Q1 器件具有热保护功能，可在结温超过 150°C 时关闭器件，以防止损坏 IC。此外，使用阻抗高于 4Ω 的扬声器可降低输出电流，从而显著地提高散热性能。

7.3.3 差分输出与单端输出

图 29 显示了采用全差分配置的 AB 类音频功率放大器 (APA)。TPA6211A1-Q1 放大器具有驱动负载两端的差分输出。这种配置的多个潜在好处之一是为负载提供的功率。扬声器的差分驱动意味着当一侧压摆率下降时，另一侧压摆率上升，反之亦然。与接地参考负载相比，这实际上使负载上的电压摆幅加倍。将 $2 \times V_{O(PP)}$ 插入到功率公式 (公式 13) 中可通过相同的电源轨和负载阻抗产生四倍的输出功率（因为电压变为四倍，请参阅公式 15 和公式 16）。

$$V_{(rms)} = \frac{V_{O(PP)}}{2\sqrt{2}}$$

$$\text{Power} = \frac{V_{(rms)}^2}{R_L} \quad (13)$$

$$\text{Power}_{(S-E)} = \frac{V_{(rms)}^2}{R_L} = \frac{\left(\frac{V_{O(PP)}}{2\sqrt{2}}\right)^2}{R_L} = \frac{V_{O(PP)}^2}{8R_L} \quad (14)$$

$$\text{Power}_{(Diff)} = \frac{V_{(rms)}^2}{R_L} = \frac{\left(\frac{2 \times V_{O(PP)}}{2\sqrt{2}}\right)^2}{R_L} = \frac{V_{O(PP)}^2}{2R_L} \quad (15)$$

$$\text{Power}_{(Diff)} = 4 \times \text{Power}_{(S-E)} \quad (16)$$

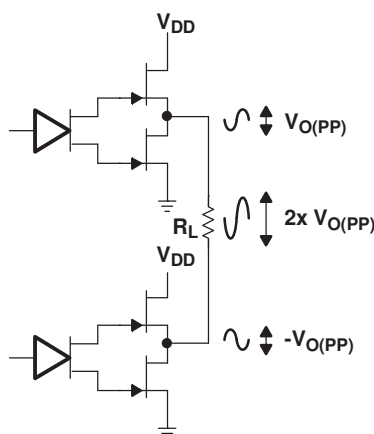


图 29. 差分输出配置

在典型的 5V 工作电压汽车应用中，桥接将 8Ω 扬声器的功率从单端（SE，接地参考）限值 390mW 提升至 1.56W。这意味着声功率或声音响度提高了 6dB。除了增加功率外，还存在频率响应问题。考虑图 30 中显示的单电源 SE 配置。需要使用耦合电容器 (C_C) 来从负载中隔离直流失调电压。该电容器可能非常大（约 33μF 至 1000μF），因此它往往昂贵、笨重、占用宝贵的 PCB 面积，并且还具有限制低频性能的额外缺点。这种频率限制效应是由扬声器阻抗和耦合电容产生的高通滤波器网络造成的。可以通过公式 17 来计算该值。

$$f_c = \frac{1}{2\pi R_L C_C} \quad (17)$$

例如，连接 8Ω 扬声器的 68μF 电容器会使低频率衰减至 293Hz 以下。BTL 配置可消除直流失调电压，从而无需使用隔离电容器。因此，低频性能仅受输入网络和扬声器响应的限制。通过消除庞大的耦合电容器，还可以最大限度地降低成本和减小 PCB 空间。

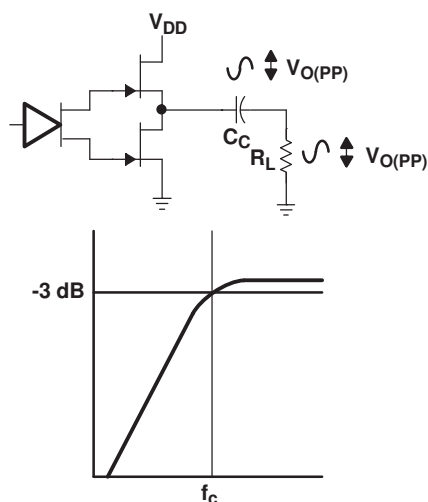


图 30. 单端输出与频率响应间的关系

增加负载功率确实会增加内部功率耗散。考虑到 BTL 配置可产生四倍于 SE 配置的输出功率，增加的耗散是可以理解的。

7.4 器件功能模式

在将 **SHUTDOWN** 引脚置为逻辑低电平时，可以将 TPA6211A1-Q1 器件置于关断模式。在关断模式下，该器件的输出级关闭并设置为高阻抗，从而使电流消耗极低。在向 **SHUTDOWN** 引脚施加高逻辑电平时，该器件退出关断模式。

8 应用和实现

注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

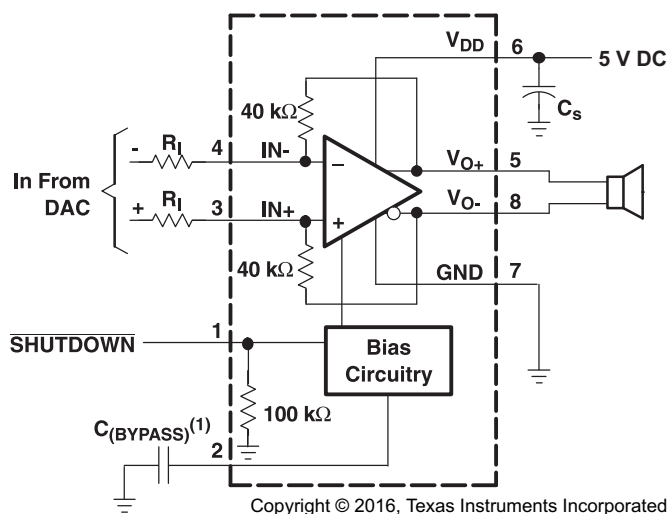
8.1 应用信息

TPA6211A1-Q1 器件是一款全差分放大器，用于驱动阻抗至少为 3Ω 的扬声器，而在大多数应用中仅占用 20mm^2 的总印刷电路板 (PCB) 面积。

8.2 典型应用

图 31 显示了 TPA6211A1-Q1 的典型应用电路，其中包含扬声器、输入电阻器和支持电源去耦电容器。

8.2.1 典型差分输入应用



(1) C_{BYPASS} 是可选的

图 31. 典型差分输入应用原理图

表 3 显示了典型值。

表 3. 典型组件值

组件	值
R_I	$40\text{k}\Omega$
$C_{\text{BYPASS}}^{(1)}$	$0.22\mu\text{F}$
C_S	$1\mu\text{F}$
C_I	$0.22\mu\text{F}$

(1) C_{BYPASS} 是可选的。

8.2.1.1 设计要求

本设计示例使用表 4 中所列的参数作为输入参数。

表 4. 设计参数

参数	示例值
电源电压	2.5V 至 5.5V
电流	4mA 至 5mA
关断	高电平 > 1.55V
	低电平 < 0.5V
扬声器	3Ω、4Ω 或 8Ω

8.2.1.2 详细设计流程

8.2.1.2.1 电阻器 (R_I)

可以选择输入电阻器 (R_I)，以根据公式 18 设置放大器的增益。

$$\text{Gain} = \frac{R_F}{R_I} \quad (18)$$

内部反馈电阻器 (R_F) 修整为 40kΩ。

在全差分放大器中，电阻器匹配非常重要。基准电压的输出平衡取决于电阻器的匹配比率。如果发生电阻器不匹配，则 CMRR、PSRR 和二次谐波失真的消除会减小。因此，TI 建议使用 1% 容差或更佳电阻器来优化性能。

8.2.1.2.2 旁路电容器 (C_{BYPASS}) 与启动时间

该器件 BYPASS 引脚上的内部分压器为内部基准设置 1/2 V_S 电压，并将输出共模电压设置为 V_{DD}/2。添加电容器可滤除进入该引脚的任何噪声，从而增大 k_{SVR}。C_{BYPASS} 还决定在该器件退出关断模式时 V_{O+} 和 V_{O-} 的上升时间。该电容器越大，上升时间越长。

8.2.1.2.3 输入电容器 (C_I)

TPA6211A1-Q1 器件在由偏置为 0.5V 至 V_{DD} - 0.8V 的差分输入源驱动时不需要输入耦合电容器。如果不使用输入耦合电容器，则使用 1% 容差或更佳的增益设置电阻器。

在单端输入应用中，需要使用输入电容器 (C_I) 以允许放大器将输入信号偏置到适当的直流电平。在本例中，C_I 和 R_I 构成了具有公式 19 中定义的转角频率的高通滤波器。

$$f_c = \frac{1}{2\pi R_I C_I} \quad (19)$$

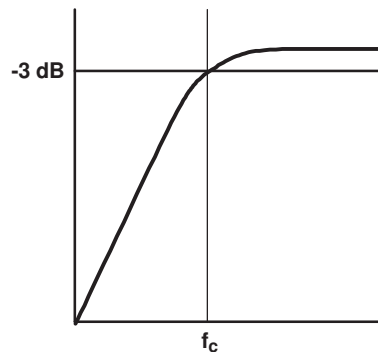


图 32. 输入滤波器截止频率

C_I 值是一个重要的考虑因素，因为它直接影响电路的低音（低频）性能。请考虑这样一个示例，R_I 为 10kΩ，规格要求低至 100Hz 的平坦低音响应。公式 19 重新配置为公式 20。

$$C_I = \frac{1}{2\pi R_I f_c} \quad (20)$$

在该示例中， C_I 为 $0.16\mu\text{F}$ ，因此可能的选择范围为 $0.22\mu\text{F}$ 至 $0.47\mu\text{F}$ 。TI 建议使用陶瓷电容器，因为它们是防止泄漏电流的最佳选择。在大多数应用中，当使用极化电容器时，电容器的正极侧朝向放大器输入端。输入直流电平保持在 $V_{DD}/2$ ，这通常高于源直流电平。确认应用中的电容器极性非常重要。

8.2.1.2.4 带通滤波器 (R_I 、 C_I 和 C_F)

具有超出由 C_I 和 R_I 组合构成的单极高通滤波器的信号滤波功能也许可取。可以通过在输入和输出之间放置一个电容器 (C_F) 来添加低通滤波器，从而形成带通滤波器。

可以使用该技术的情形示例包括所需的通带范围为 100Hz 至 10kHz 且增益为 4V/V 的应用。通过公式 21 至公式 28 可以确定合适的 C_F 和 C_I 值。

8.2.1.2.4.1 第 1 步：低通滤波器

$$f_{c(\text{LPF})} = \frac{1}{2\pi R_F C_F} \quad (21)$$

$$f_{c(\text{LPF})} = \frac{1}{2\pi 40\text{k}\Omega C_F} \quad (22)$$

因此，

$$C_F = \frac{1}{2\pi 40\text{k}\Omega f_{c(\text{LPF})}} \quad (23)$$

使用 10kHz 代替 $f_{c(\text{LPF})}$ ，求解 C_F ：

$$C_F = 398\text{pF} \quad (24)$$

8.2.1.2.4.2 第 2 步：高通滤波器

$$f_{c(\text{HPF})} = \frac{1}{2\pi R_I C_I} \quad (25)$$

由于本例中的应用需要 4V/V 的增益，因此必须将 R_I 设置为 10k Ω 。

将 R_I 代入到公式 25 中。

$$f_{c(\text{HPF})} = \frac{1}{2\pi 10\text{k}\Omega C_I} \quad (26)$$

因此，

$$C_I = \frac{1}{2\pi 10\text{k}\Omega f_{c(\text{HPF})}} \quad (27)$$

使用 100Hz 代替 $f_{c(\text{HPF})}$ ，求解 C_I ：

$$C_I = 0.16\mu\text{F} \quad (28)$$

此时，创建了一个一阶带通滤波器，其低频截止频率设置为 100Hz，高频截止频率设置为 10kHz。

通过创建一个二阶高通滤波器，可以更进一步地执行该过程。这可以通过在输入路径中放置一个电阻器 (R_a) 和一个电容器 (C_a) 来实现。 R_a 必须小于 R_I 的十分之一；否则其值对增益有显著的影响，因为 R_a 和 R_I 是串联的。

8.2.1.2.4.3 第 3 步：其他低通滤波器

R_a 必须至少小于 R_I 的十分之一。设置 $R_a = 1\text{k}\Omega$

$$f_{c(\text{LPF})} = \frac{1}{2\pi R_a C_a} \quad (29)$$

因此，

$$C_a = \frac{1}{2\pi \cdot 1k\Omega \cdot f_{c(LPF)}} \quad (30)$$

使用 10kHz 代替 $f_{c(LPF)}$ ，求解 C_a ：

$$C_a = 160pF \quad (31)$$

图 33 是前述示例中带通滤波器的波特图。图 38 显示了如何将 TPA6211A1-Q1 器件配置为带通滤波器。

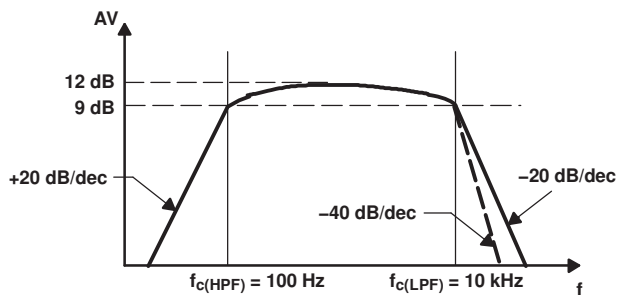


图 33. 波特图

8.2.1.2.5 去耦电容器 (C_S)

TPA6211A1-Q1 器件是一款高性能 CMOS 音频放大器，该放大器需要足够的电源去耦能力，以确保输出总谐波失真 (THD) 尽可能低。电源去耦还可以防止放大器和扬声器之间的长引线振荡。对于线路上更高频率的瞬态、尖峰或数字散列，尽可能靠近器件 V_{DD} 引线放置的良好低等效串联电阻 (ESR) 陶瓷电容器（通常为 0.1 μ F 至 1 μ F）可以实现最佳的工作状况。为了滤除低频噪声信号，在音频功率放大器附近放置一个 10 μ F 或更大的电容器也有帮助，但由于该器件的高 PSRR，在大多数应用中并不需要该电容器。

8.2.1.2.6 使用低 ESR 电容器

在该应用部分中，始终建议使用低 ESR 电容器。可以简单地将一个实际（相对于理想）电容器建模为一个电阻器与一个理想电容器串联。该电阻器上的电压降可以最大限度地降低电路中电容器的有益效果。该电阻的等效值越低，实际电容器的行为就越类似于理想电容器。

8.2.1.3 应用曲线

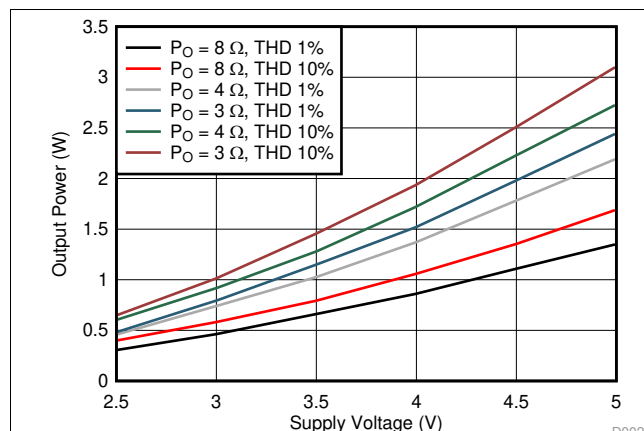


图 34. 输出功率与电源电压间的关系

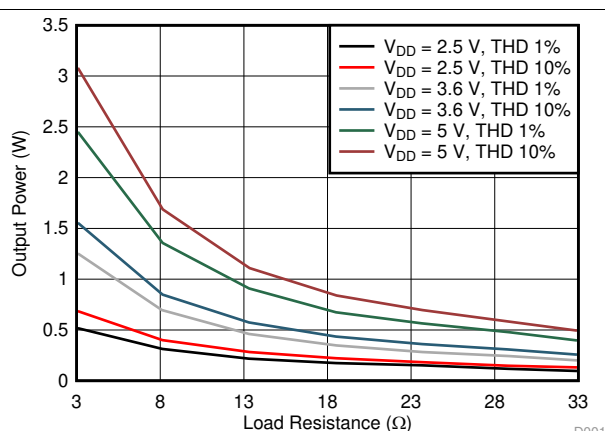
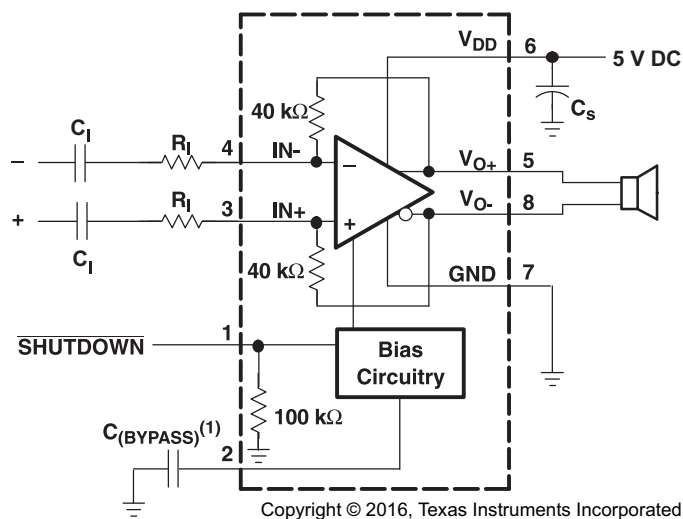


图 35. 输出功率与负载电阻间的关系

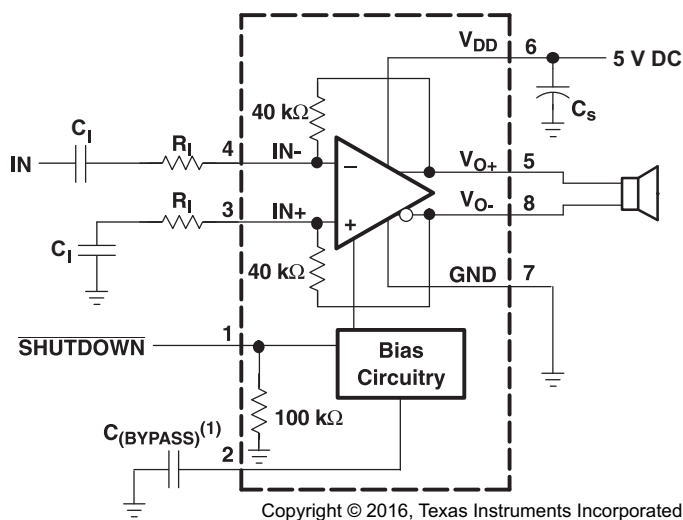
8.2.2 其他应用电路

图 36、图 37 和图 38 显示了使用 TPA6211A1-Q1 器件的示例电路。



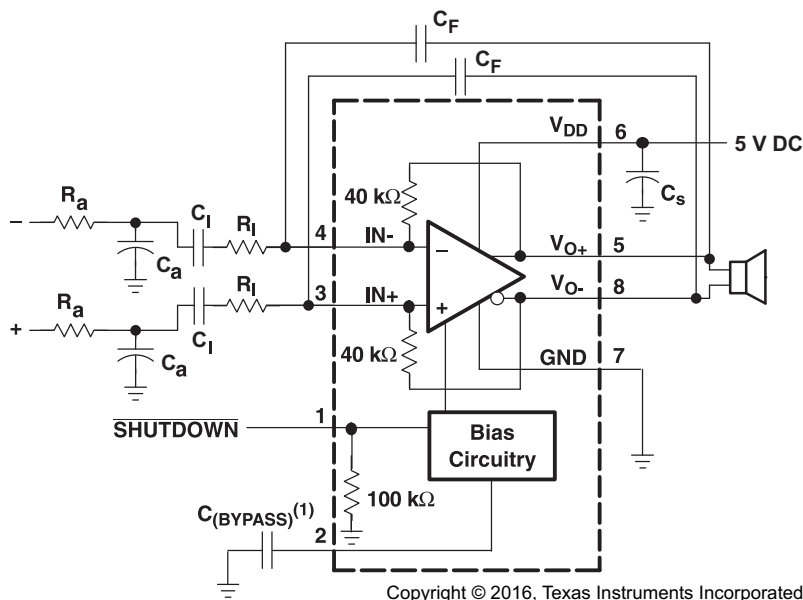
(1) $C_{(BYPASS)}$ 是可选的

图 36. 使用输入电容器进行了优化的差分输入应用原理图



(1) $C_{(BYPASS)}$ 是可选的

图 37. 单端输入应用原理图



(1) C_{BYPASS} 是可选的

图 38. 具有输入带通滤波器的差分输入应用原理图

9 电源建议

TPA6211A1-Q1 器件可在 2.5V 至 5.5V 的输入电源电压范围内运行。因此，电源的输出电压范围必须处于该范围内并且需要进行良好的调节。上限功率的电流能力不应超过电源开关的最大电流限值。

9.1 电源去耦电容器

TPA6211A1-Q1 器件需要足够的电源去耦能力，从而确保以低总谐波失真 (THD) 高效运行。在尽可能靠近 V_{DD} 引脚的位置放置一个低等效串联电阻 (ESR) 陶瓷电容器（通常为 $0.1\mu\text{F}$ ）。这种电容器和位置选择有助于改善线路上更高频率的瞬变、尖峰或数字散列性能。TI 建议在 V_{DD} 电源引线上放置一个 $2.2\mu\text{F}$ 至 $10\mu\text{F}$ 的电容器。该较大的电容器用作电荷库，提供比板电源更快的电能，从而有助于防止电源电压下降。

10 布局

10.1 布局指南

在靠近 TPA6211A1-Q1 器件的位置放置所有外部组件。输入电阻器需要靠近器件输入引脚，以便噪声不会耦合在输入电阻器和器件输入放大器之间的高阻抗节点上。在靠近 TPA6211A1-Q1 器件的位置放置去耦电容器 C_{S} 和 C_{BYPASS} ，这对于放大器的效率而言非常重要。器件和电容器之间的引线中的任何电阻或电感都可能导致效率损失。

10.2 布局示例

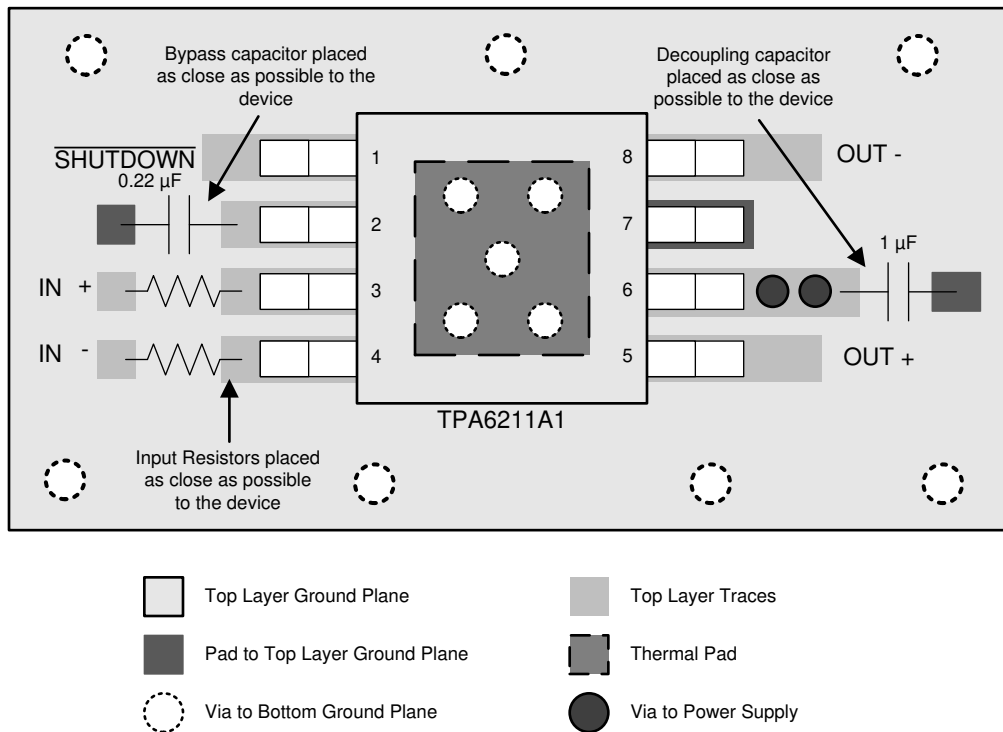


图 39. TPA6211A1-Q1 8 引脚 HVSSOP (DGN) 板布局

11 器件和文档支持

11.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。单击右上角的通知我进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.2 社区资源

[TI E2E™ support forums](#) are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

11.3 商标

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

11.4 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.5 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2020 德州仪器半导体技术（上海）有限公司

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPA6211A1TDGNRQ1	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	6211Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

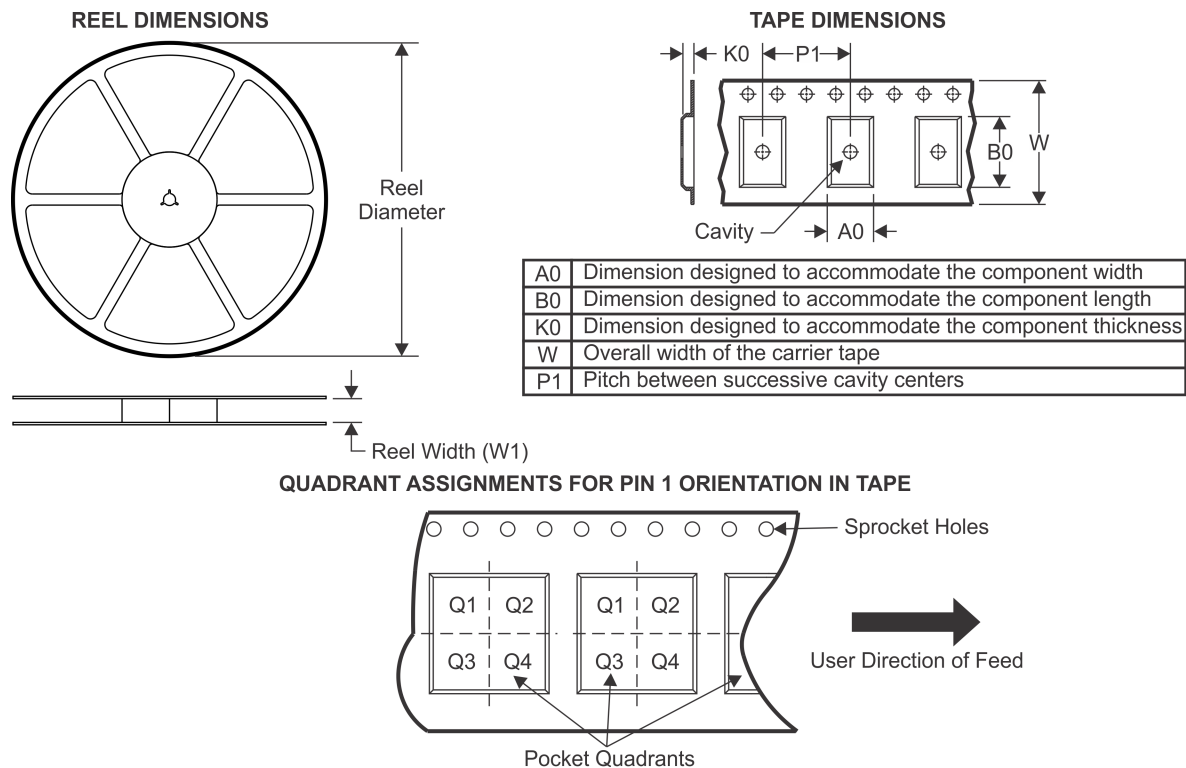
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

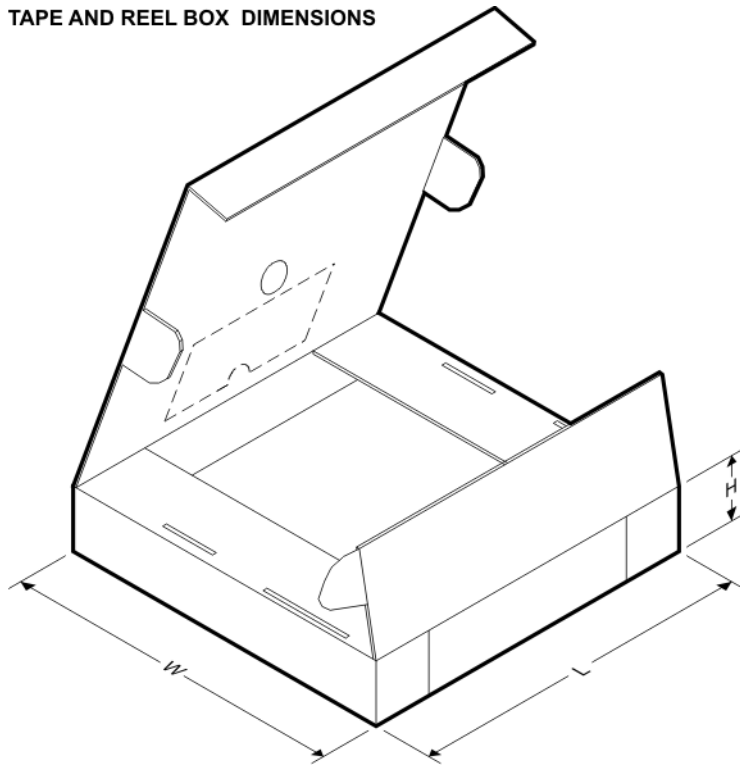
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPA6211A1TDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPA6211A1TDGNRQ1	HVSSOP	DGN	8	2500	346.0	346.0	29.0

GENERIC PACKAGE VIEW

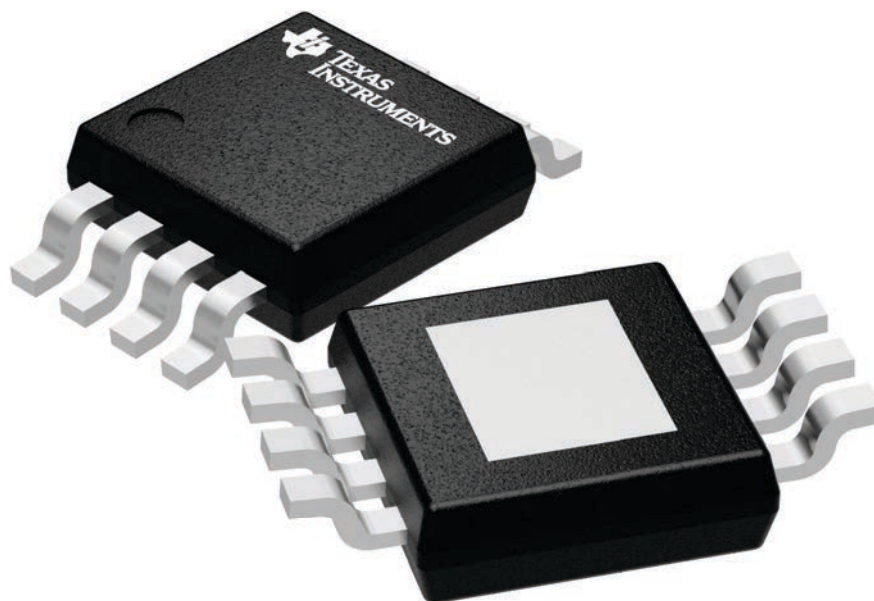
DGN 8

PowerPAD VSSOP - 1.1 mm max height

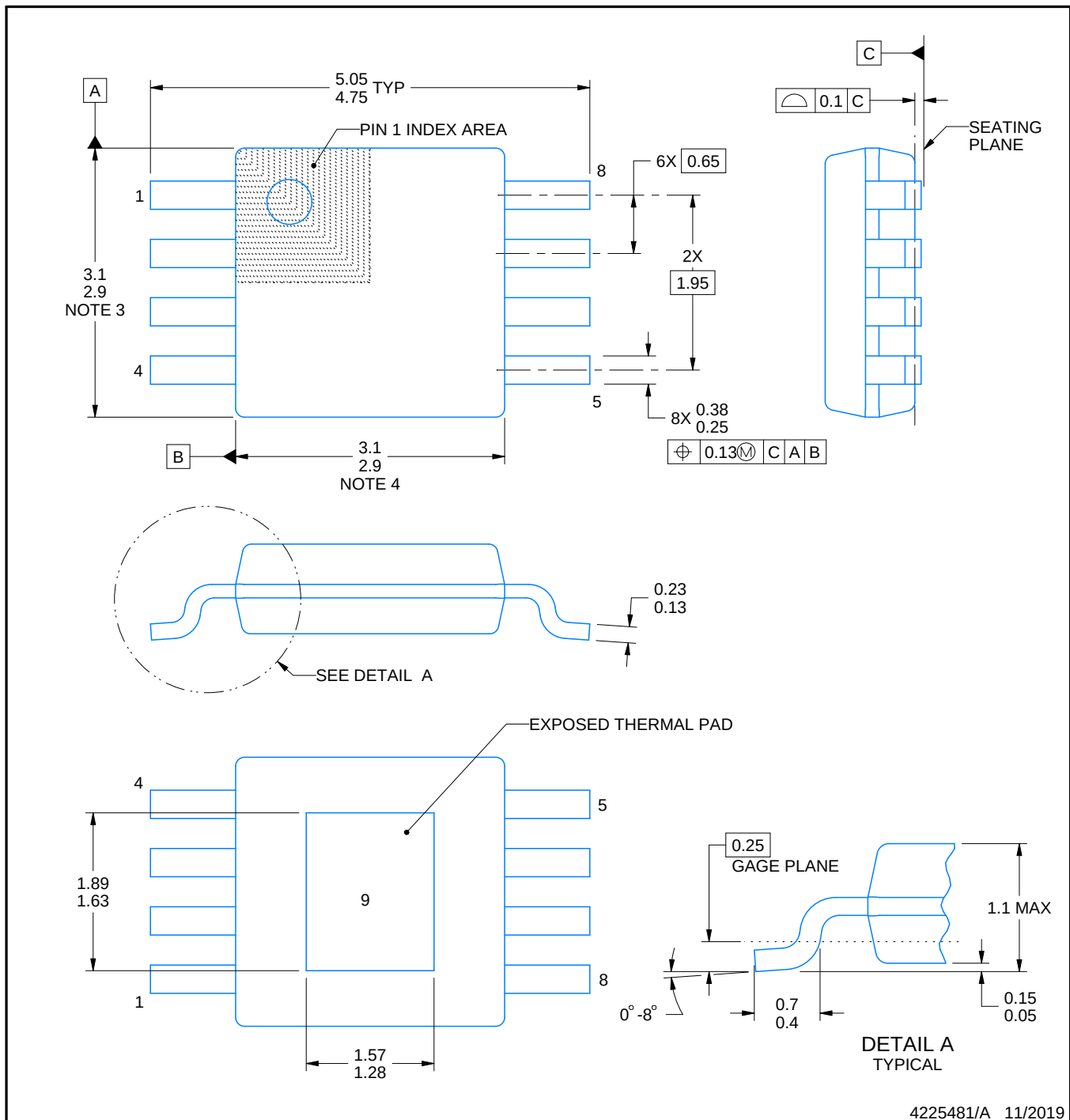
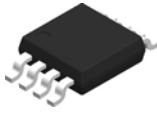
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/A



4225481/A 11/2019

NOTES:

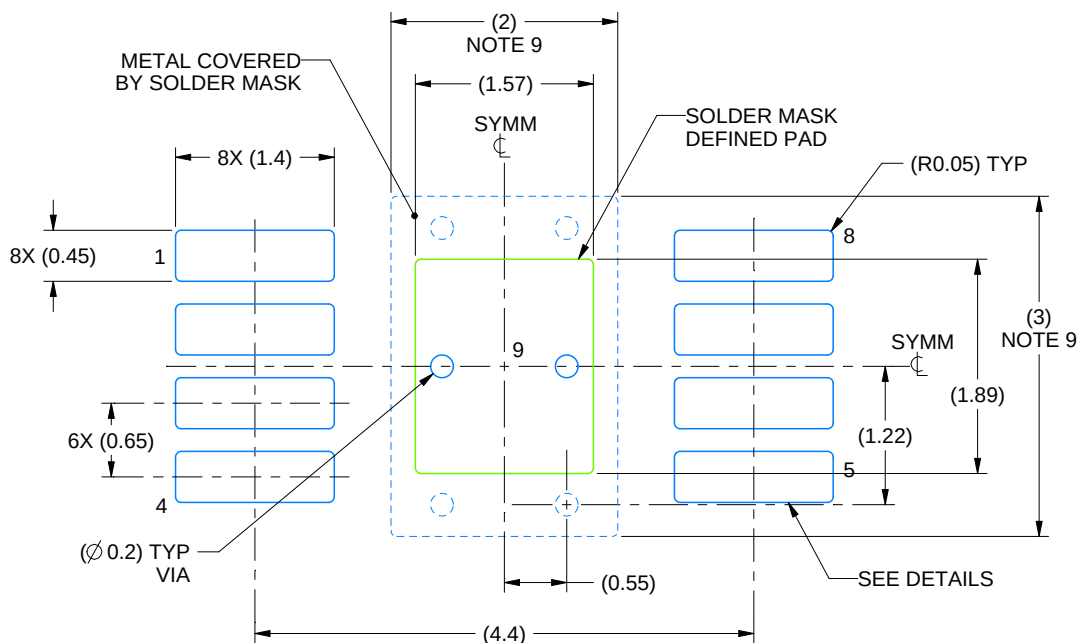
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

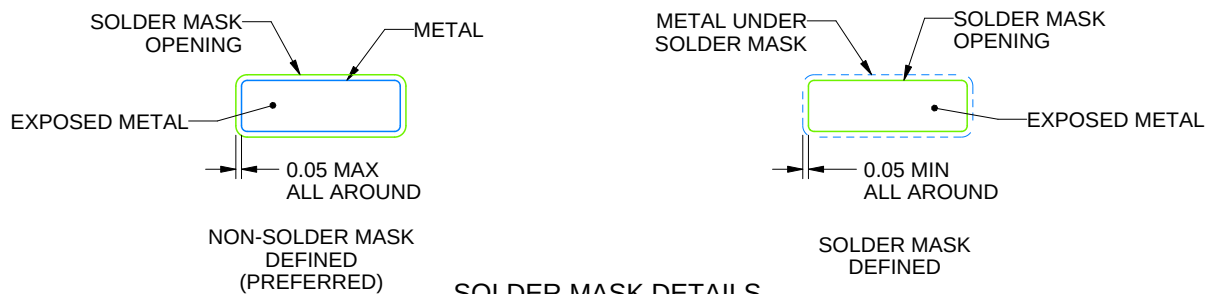
DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225481/A 11/2019

NOTES: (continued)

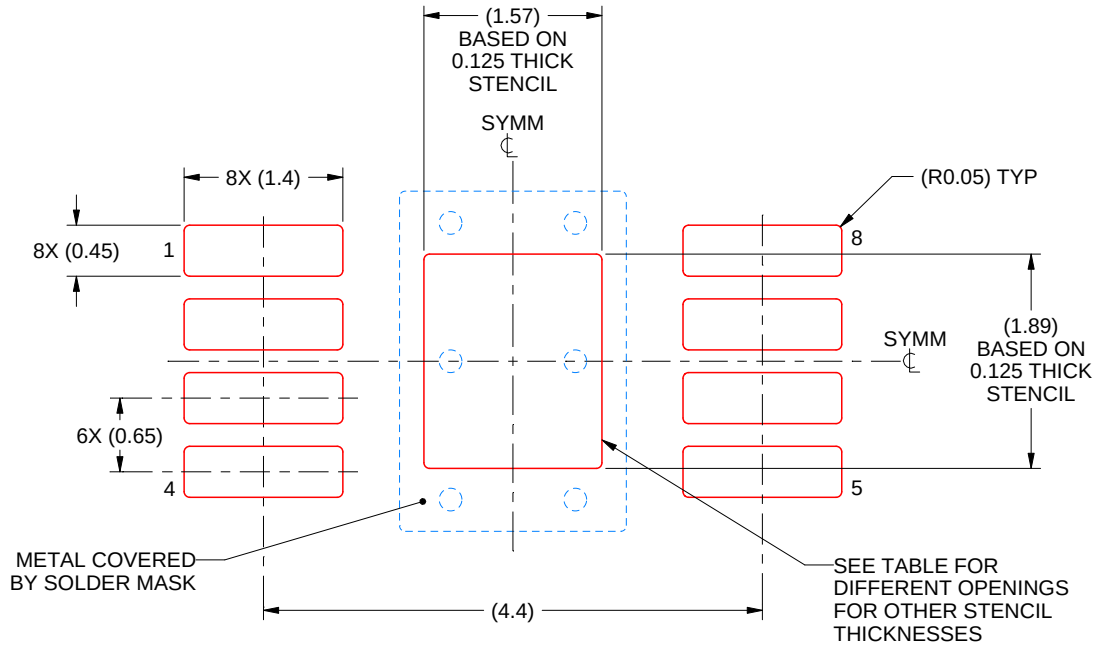
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225481/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2020 德州仪器半导体技术（上海）有限公司