LMV84x CMOS 输入、RRIO、低功耗、宽电源电压范围 4.5MHz 运算放大器

1 特性

- 除非另有说明，否则 T_A = 25°C 时的典型值为 V^+ = 5V。
- 小型 5 引脚 SC70 封装 (2.00mm × 1.25mm × 0.95mm)
- 宽电源电压范围：2.7V 至 12V
- 可在 3.3V、5V 和 ±5V 额定电压下工作
- 低电源电流：每通道 1mA
- 单位增益带宽：4.5MHz
- 开环增益：133dB
- 输入失调电压：最大值为 500μV
- 输入偏置电流：0.3pA
- CMRR 为 112dB，PSSR 为 108dB
- 输入电压噪声：20nV/√Hz
- 温度范围：−40°C 至 125°C
- 轨至轨输入和输出 (RRIO)

2 应用

- 高阻抗传感器接口
- 电池供电仪表
- 高增益和仪表放大器
- DAC 缓冲器和有源滤波器

3 说明

LMV84x 器件是低电压和低功耗运算放大器，在 2.7V 至 12V 电源电压范围内工作，具有轨至轨输入和输出功能。其低失调电压、低电源电流和 CMOS 输入特性使得它们非常适合高阻抗传感器接口和电池供电的 应用。

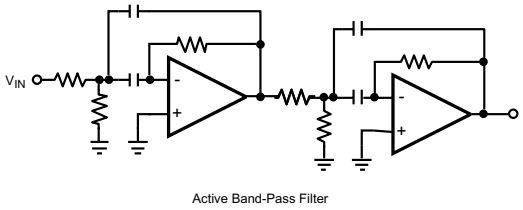
单 LMV841 采用节省空间的 5 引脚 SC70 封装，双 LMV842 采用 8 引脚 VSSOP 和 8 引脚 SOIC 封装，而四 LMV844 采用 14 引脚 TSSOP 和 14 引脚 SOIC 封装。这些小型封装是空间受限型 PCB 和便携式电子产品的理想解决方案。

Device Information(1)

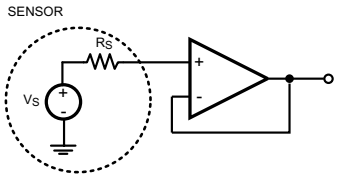
PART NUMBER	PACKAGE	BODY SIZE (NOM)
LMV841	SC70 (5)	2.00mm × 1.25mm
LMV842	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm x 3.91mm
LMV844	SOIC (14)	8.65mm x 3.91mm
	TSSOP封装(14)	5.00 mm × 4.40 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

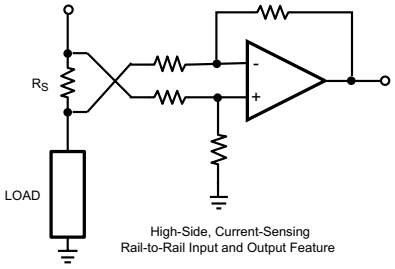
典型 应用



Active Band-Pass Filter



High Impedance Sensor Interface
CMOS Input Feature



High-Side, Current-Sensing
Rail-to-Rail Input and Output Feature

Copyright © 2016, Texas Instruments Incorporated

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 4
6.1 绝对最大额定值 ... 4
6.2 ESD 额定值 ... 4
6.3 建议的工作状态 ... 4
6.4 热性能信息 ... 4
6.5 电气特性 – 3.3V ... 5
6.6 电气特性 – 5V ... 6
6.7 电气特性 – ±5V ... 7
6.8 典型特性 ... 9
7 详细 说明 ... 15
7.1 概述 ... 15
7.2 功能框图 ... 15
7.3 特性 说明 ... 15
7.4 器件功能模式 ... 16
7.5 连接到高阻抗传感器 ... 19
8 应用和实现 ... 20
8.1 应用信息 ... 20
8.2 典型 应用 ... 20
9 电源建议 ... 24
10 布局 ... 24
10.1 布局指南 ... 24
10.2 布局示例 ... 24
11 器件和文档支持 ... 25
11.1 相关链接 ... 25
11.2 Receiving Notification of Documentation Updates 25
11.3 Community Resources ... 25
11.4 商标 ... 25
11.5 静电放电警告 ... 25
11.6 Glossary ... 25
12 机械、封装和可订购信息 ... 25

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision H (July 2016) to Revision I **Page**

- 已更改 根据 TI 标准更改 *ESD 额定值* 表脚注 ... 4
- 更改*热性能信息* 表 ... 4
- 已更改 相位裕度与 C_L 关系图 ... 12
- 已更改 过冲与 C_L 关系图 ... 13

Changes from Revision G (February 2013) to Revision H **Page**

- 添加了 *ESD 额定值* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分。 ... 1

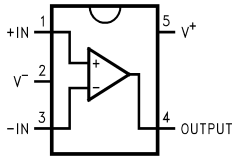
Changes from Revision F (February 2013) to Revision G **Page**

- 已更改 将美国国家半导体产品说明书的布局更改为 TI 格式 ... 22

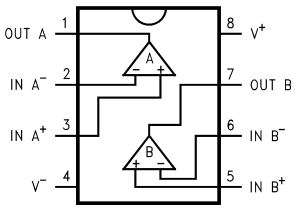
版权 © 2006–2017, Texas Instruments Incorporated

5 引脚配置和功能

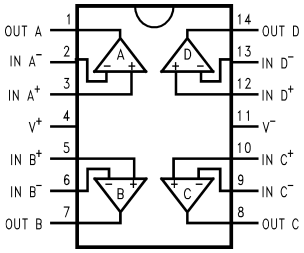
DCK 封装
5 引脚 SC70
俯视图



D 或 DGK 封装
8 引脚 SOIC 和 VSSOP
俯视图



D 或 PW 封装
14 引脚 SOIC 和 TSSOP
俯视图



引脚功能

引脚		说明
名称	I/O	
+IN	I	同相输入
–IN	I	反相输入
OUT	O	输出
V+	P	正电源
V–	P	负电源

版权 © 2006–2017, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

请参阅 (1)(2)

		最小值	最大值	单位
V_{IN} 差分		-300	300	mV
电源电压 ($V^+ – V^-$)			13.2	V
输入和输出引脚电压		V^+ + 0.3	V^- – 0.3	V
输入电流			10	mA
结温 (3)			150	°C
焊接信息	红外或对流（20 秒）		235	°C
	波焊铅温（10 秒）		260	°C
贮存温度，T_{stg}		−65	150	°C

(1) 应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是极端条件下的应力额定值，并不表示器件在这些条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系，以了解供货情况和技术规格。
(3) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±250	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作状态

	最小值	最大值	单位
温度(1)	−40	125	°C
电源电压 ($V^+ – V^-$)	2.7	12	V

(1) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} – T_A) / R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

6.4 热性能信息

热指标(1)		LMV84x					单位
		DCK (SC70)	DGK (VSSOP)	D (SOIC)		PW (TSSOP)	
		5 引脚	8 引脚	8 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻(2)	269.9	179.2	121.4	85.4	113.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	93.8	69.2	65.7	43.5	38.9	°C/W
$R_{\theta JB}$	结至电路板热阻	48.8	99.7	62.0	39.8	56.3	°C/W
ψ_{JT}	结至顶部的特征参数	2.0	10.0	16.5	9.2	3.1	°C/W
ψ_{JB}	结至电路板的特征参数	47.9	98.3	61.4	39.6	55.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。
(2) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。

版权 © 2006–2017, Texas Instruments Incorporated

6.5 电气特性 – 3.3V

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 3.3V，V^- = 0V，V_{CM} = V^+ / 2，且 R_L > 10MΩ（连接至 V^+ / 2）。(1)

参数		测试条件		最小值(2)	TYP(3)	最大值(2)	单位
V_{OS}	输入失调电压			–500	±50	500	μV
		在极端温度下		–800		800	
TCV_{OS}	输入失调电压温漂 (4)				0.5		μV/°C
		在极端温度下		-5		5	
I_B	输入偏置电流 (4) (5)				0.3	10	pA
		在极端温度下				300	
I_{OS}	输入失调电流				40		fA
CMRR	共模抑制比 LMV841	0V ≤ V_{CM} ≤ 3.3V		84	112		dB
			在极端温度下	80			
	共模抑制比 LMV842 和 LMV844	0V ≤ V_{CM} ≤ 3.3V		77	106		dB
			在极端温度下	75			
PSRR	电源抑制比	2.7V ≤ V^+ ≤ 12V，V_O = V^+ / 2		86	108		dB
			在极端温度下	82			
CMVR	输入共模电压范围	CMRR ≥ 50dB，在极端温度下		–0.1		3.4	V
A_{VOL}	大信号电压增益	R_L = 2kΩ V_O = 0.3V 至 3V		100	123		dB
			在极端温度下	96			
		R_L = 10kΩ V_O = 0.2V 至 3.1V		100	131		dB
			在极端温度下	96			
V_O	输出摆幅高，（从 V^+ 测得）	R_L = 2kΩ（连接至 V^+/2）			52	80	mV
			在极端温度下			120	
		R_L = 10kΩ（连接至 V^+/2）			28	50	mV
			在极端温度下			70	
	输出摆幅低，（从 V^- 测得）	R_L = 2kΩ（连接至 V^+/2）			65	100	mV
			在极端温度下			120	
		R_L = 10kΩ（连接至 V^+/2）			33	65	mV
			在极端温度下			75	
I_O	输出短路电流(6)(7)	拉电流 V_O = V^+/2 V_{IN} = 100mV		20	32		mA
			在极端温度下	15			
		灌电流 V_O = V^+/2 V_{IN} = −100mV		20	27		mA
			在极端温度下	15			
I_S	电源电流	每通道			0.93	1.5	mA
			在极端温度下			2	
SR	压摆率 (8)	A_V = 1，V_O = 2.3V_{PP} 10% 至 90%			2.5		V/μs
GBW	增益带宽积				4.5		MHz
Φ_m	相位裕度				67		度
e_n	输入参考电压噪声	f = 1kHz			20		nV/√Hz
R_{OUT}	开环输出阻抗	f = 3MHz			70		Ω

(1) 电气值表仅适用于指示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制。
(2) 限值均在 25°C 下经过 100% 生产检测。使用统计质量控制 (SQC) 方法通过关联确保工作温度范围的限值。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 此参数根据设计和/或表征确定，而未经生产测试。
(5) 正电流相当于流入器件的电流。
(6) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 P_D = ($T_{J(MAX)}$ – T_A) / $R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。
(7) 短路测试是瞬时测试。
(8) 指定的数字是正压摆率和负压摆率中较低的值。

电气特性 – 3.3V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 3.3V，V^- = 0V，V_{CM} = V^+ / 2，且 R_L > 10MΩ（连接至 V^+ / 2）。(1)

参数		测试条件	最小值(2)	TYP(3)	最大值(2)	单位
THD+N	总谐波失真 + 噪声	f = 1kHz，A_V = 1 R_L = 10kΩ		0.005%		
C_{IN}	输入电容			7		pF

6.6 电气特性 – 5V

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = V^+ / 2，且 R_L > 10MΩ（连接至 V^+ / 2）。(1)

参数		测试条件		最小值(2)	TYP(3)	最大值(2)	单位
V_{OS}	输入失调电压			–500	±50	500	μV
		在极端温度下		–800		800	
TCV_{OS}	输入失调电压温漂(4)				0.35		μV/°C
		在极端温度下		-5		5	
I_B	输入偏置电流(4)(5)				0.3	10	pA
		在极端温度下				300	
I_{OS}	输入失调电流				40		fA
CMRR	共模抑制比 LMV841	0V ≤ V_{CM} ≤ 5V		86	112		dB
			在极端温度下	80			
	共模抑制比 LMV842 和 LMV844	0V ≤ V_{CM} ≤ 5V		81	106		dB
			在极端温度下	79			
PSRR	电源抑制比	2.7V ≤ V^+ ≤ 12V，V_O = V^+/2		86	108		dB
			在极端温度下	82			
CMVR	输入共模电压范围	CMRR ≥ 50dB，在极端温度下		–0.2		5.2	V
A_{VOL}	大信号电压增益	R_L = 2kΩ V_O = 0.3V 至 4.7V		100	125		dB
			在极端温度下	96			
		R_L = 10kΩ V_O = 0.2V 至 4.8V		100	133		dB
			在极端温度下	96			
V_O	输出摆幅高，（从 V^+ 测得）	R_L = 2kΩ（连接至 V^+/2）			68	100	mV
			在极端温度下			120	
		R_L = 10kΩ（连接至 V^+/2）			32	50	mV
			在极端温度下			70	
	输出摆幅低，（从 V^- 测得）	R_L = 2kΩ（连接至 V^+/2）			78	120	mV
			在极端温度下			140	
		R_L = 10kΩ（连接至 V^+/2）			38	70	mV
			在极端温度下			80	
I_O	输出短路电流(6) (7)	拉电流 V_O = V^+/2 V_{IN} = 100mV		20	33		mA
			在极端温度下	15			
		灌电流 V_O = V^+/2 V_{IN} = −100mV		20	28		mA
			在极端温度下	15			

(1) 电气表的值仅适用于指示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制。
(2) 限值均在 25°C 下经过 100% 生产检测。使用统计质量控制 (SQC) 方法通过关联确保工作温度范围的限值。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 此参数根据设计和/或表征确定，而未经生产测试。
(5) 正电流相当于流入器件的电流。
(6) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 P_D = ($T_{J(MAX)}$ - T_A) / $R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。
(7) 短路测试是瞬时测试。

版权 © 2006–2017, Texas Instruments Incorporated

电气特性 – 5V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = V^+ / 2，且 R_L > 10MΩ（连接至 V^+ / 2）。(1)

参数		测试条件		最小值(2)	TYP(3)	最大值(2)	单位
I_S	电源电流	每通道			0.96	1.5	mA
			在极端温度下			2	
SR	压摆率 (8)	A_V = 1，V_O = $4V_{PP}$ 10% 至 90%			2.5		V/μs
GBW	增益带宽积				4.5		MHz
Φ_m	相位裕度				67		度
e_n	输入参考电压噪声	f = 1kHz			20		$nV/\sqrt{Hz}$
R_{OUT}	开环输出阻抗	f = 3MHz			70		Ω
THD+N	总谐波失真 + 噪声	f = 1kHz，A_V = 1 R_L = 10kΩ			0.003%		
C_{IN}	输入电容				6		pF

(8) 指定的数字是正压摆率和负压摆率中较低的值。

6.7 电气特性 – ±5V

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 5V，V^- = –5V，V_{CM} = 0V，且 R_L > 10MΩ（连接至 V_{CM}）。(1)

参数		测试条件		最小值(2)	TYP(3)	最大值(2)	单位
V_{OS}	输入失调电压			–500	±50	500	μV
		在极端温度下		–800		800	
TCV_{OS}	输入失调电压温漂 (4)				0.25		μV/°C
		在极端温度下		-5		5	
I_B	输入偏置电流 (4) (5)				0.3	10	pA
		在极端温度下				300	
I_{OS}	输入失调电流				40		fA
CMRR	共模抑制比 LMV841	–5V ≤ V_{CM} ≤ 5V		86	112		dB
			在极端温度下	80			
	共模抑制比 LMV842 和 LMV844	–5V ≤ V_{CM} ≤ 5V		86	106		dB
			在极端温度下	80			
PSRR	电源抑制比	2.7V ≤ V^+ ≤ 12V，V_O = 0V		86	108		dB
			在极端温度下	82			
CMVR	输入共模电压范围	CMRR ≥ 50dB		–5.2		5.2	V
A_{VOL}	大信号电压增益	R_L = 2kΩ V_O = −4.7V 至 4.7V		100	126		dB
			在极端温度下	96			
		R_L = 10kΩ V_O = −4.8V 至 4.8V		100	136		dB
			在极端温度下	96			

(1) 电气表的值仅适用于指示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制。
(2) 限值均在 25°C 下经过 100% 生产检测。使用统计质量控制 (SQC) 方法通过关联确保工作温度范围的限值。
(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
(4) 此参数根据设计和/或表征确定，而未经生产测试。
(5) 正电流相当于流入器件的电流。

版权 © 2006–2017, Texas Instruments Incorporated

电气特性 – ±5V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 5V，V^- = –5V，V_{CM} = 0V，且 R_L > 10MΩ（连接至 V_{CM}）。 (1)

参数		测试条件		最小值(2)	TYP(3)	最大值(2)	单位
V_O	输出摆幅高，（从 V^+ 测得）	R_L = 2kΩ（连接至 0V）			95	130	mV
			在极端温度下			155	
		R_L = 10kΩ（连接至 0V）			44	75	mV
			在极端温度下			95	
	输出摆幅低，（从 V^- 测得）	R_L = 2kΩ（连接至 0V）			105	160	mV
			在极端温度下			200	
		R_L = 10kΩ（连接至 0V）			52	80	mV
			在极端温度下			100	
I_O	输出短路电流 (6) (7)	拉电流 V_O = 0V V_{IN} = 100mV		20	37		mA
			在极端温度下	15			
		灌电流 V_O = 0V V_{IN} = −100mV		20	29		mA
			在极端温度下	15			
I_S	电源电流	每通道			1.03	1.7	mA
			在极端温度下			2	
SR	压摆率 (8)	A_V = 1，V_O = 9V_{PP} 10% 至 90%			2.5		V/µs
GBW	增益带宽积				4.5		MHz
Φ_m	相位裕度				67		度
e_n	输入参考电压噪声	f = 1kHz			20		nV/√Hz
R_{OUT}	开环输出阻抗	f = 3MHz			70		Ω
THD+N	总谐波失真 + 噪声	f = 1kHz，A_V = 1 R_L = 10kΩ			0.006%		
C_{IN}	输入电容				3		pF

(6) 最大功率耗散是 $T_{J(MAX)}$、$R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$。所有数字均适用于直接焊接到 PCB 的封装。
(7) 短路测试是瞬时测试。
(8) 指定的数字是正压摆率和负压摆率中较低的值。

版权 © 2006–2017, Texas Instruments Incorporated

6.8 典型特性

T_A = 25°C，R_L = 10kΩ，V_S = 5V，除非另有说明。

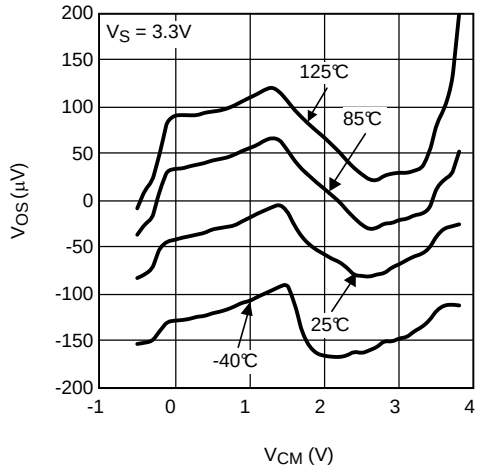


图 **1.** V_{OS} 与 V_{CM} 在 **3.3V** 和不同温度条件下的关系

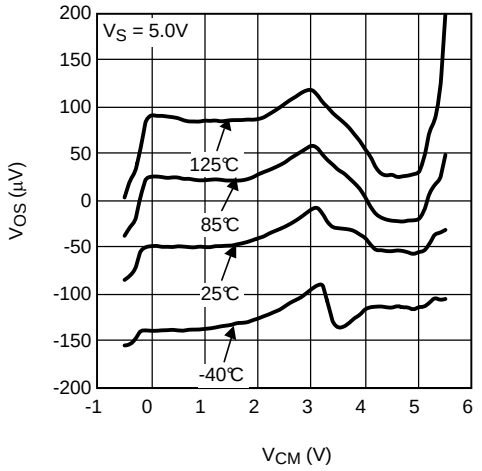


图 **2.** V_{OS} 与 V_{CM} 在 **5V** 和不同温度条件下的关系

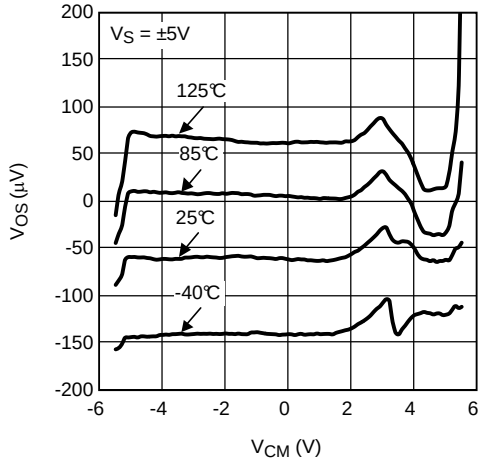


图 **3.** V_{OS} 与 V_{CM} 在 **±5V** 和不同温度条件下的关系

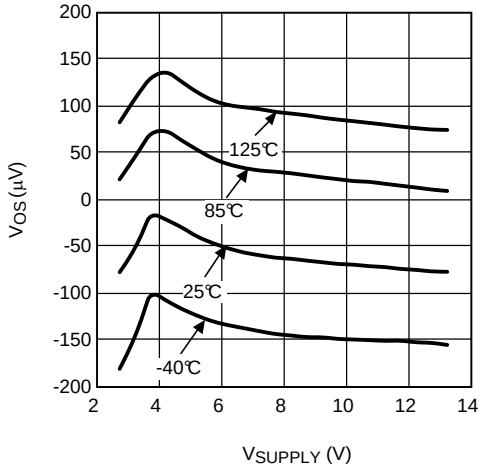


图 **4.** V_{OS} 与电源电压间的关系

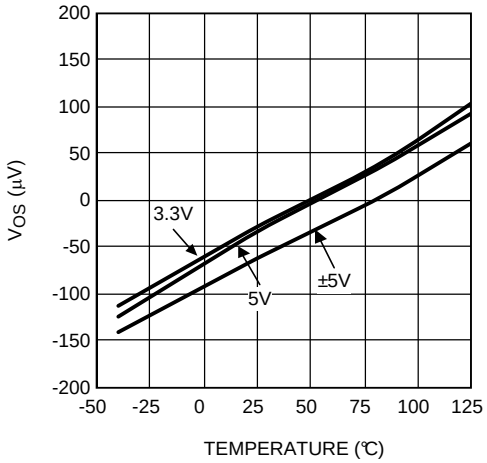


图 **5.** V_{OS} 与温度间的关系

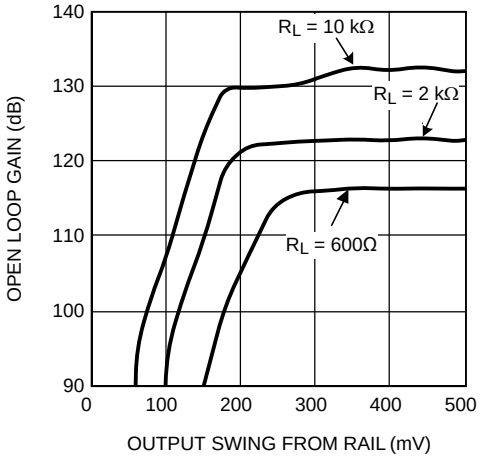


图 **6.** 直流增益与 V_{OUT} 间的关系

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ，V_S = 5V，除非另有说明。

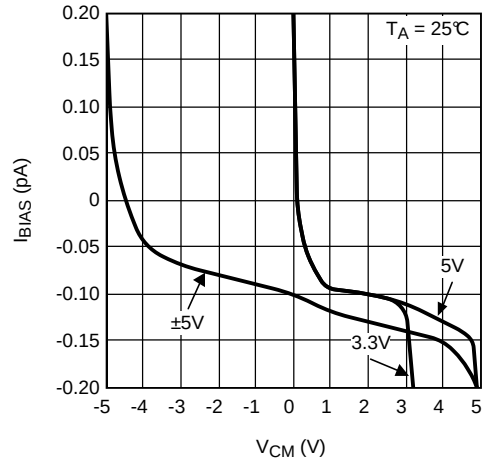


图 **7.** 输入偏置电流与 V_{CM} 间的关系

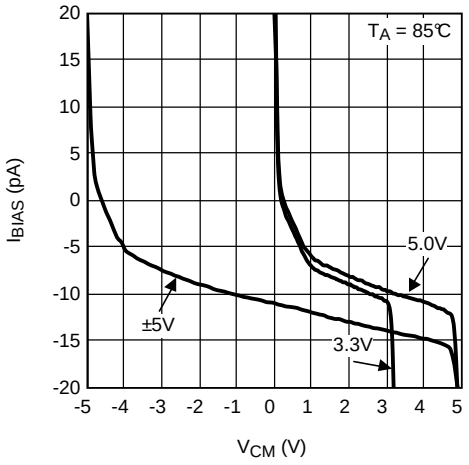


图 **8.** 输入偏置电流与 V_{CM} 间的关系

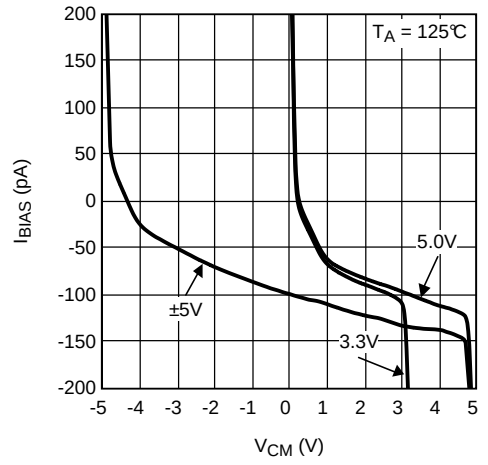


图 **9.** 输入偏置电流与 V_{CM} 间的关系

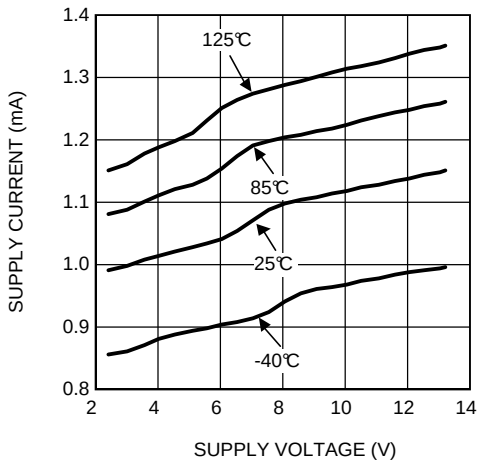


图 **10.** 每通道电源电流与电源电压间的关系

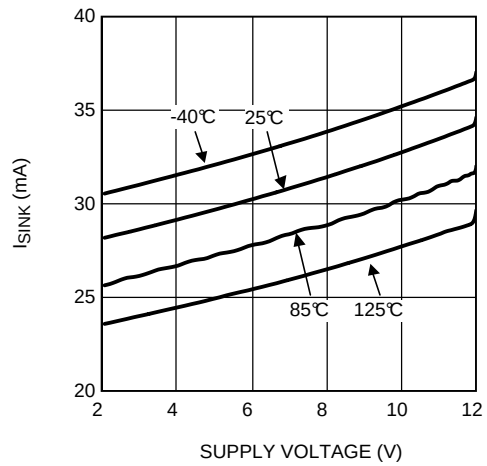


图 **11.** 灌电流与电源电压间的关系

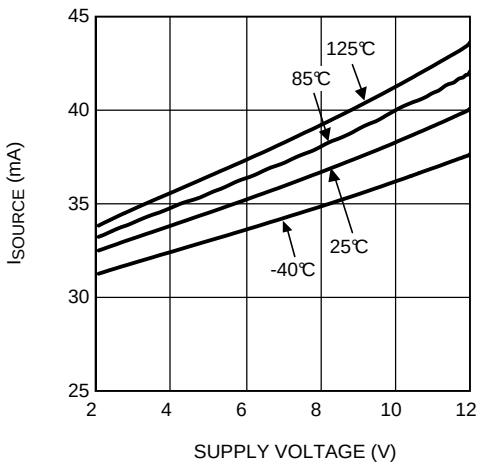


图 **12.** 拉电流与电源电压间的关系

版权 © 2006–2017, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ，V_S = 5V，除非另有说明。

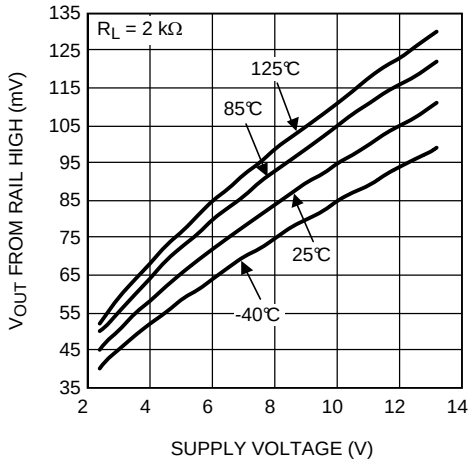


图 **13.** 输出摆幅高与电源电压间的关系，**R_L = 2kΩ**

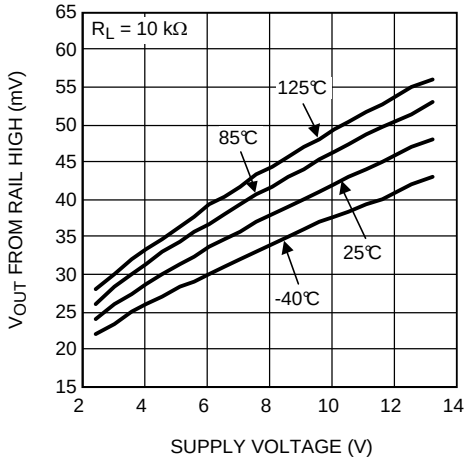


图 **14.** 输出摆幅高与电源电压间的关系，**R_L = 10kΩ**

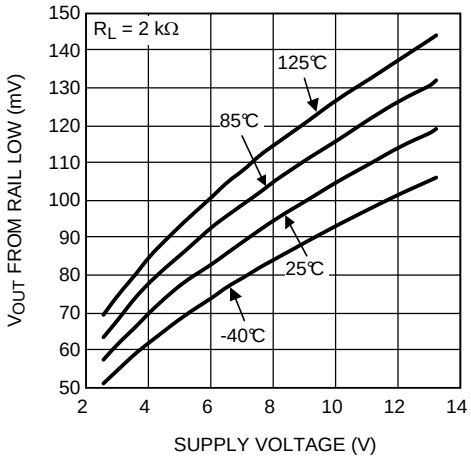


图 **15.** 输出摆幅低与电源电压间的关系，**R_L = 2kΩ**

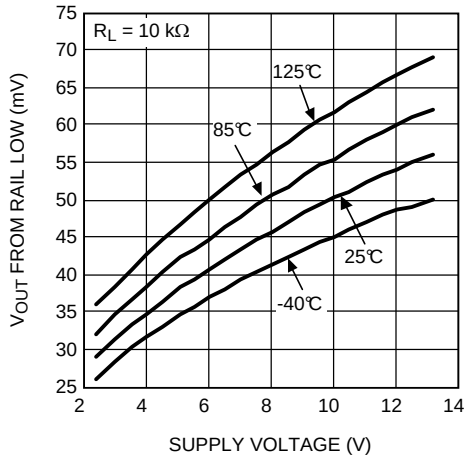


图 **16.** 输出摆幅低与电源电压间的关系，**R_L = 10kΩ**

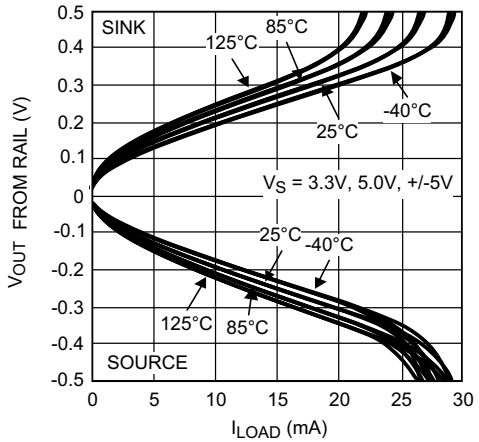


图 **17.** 输出电压摆幅与负载电流间的关系

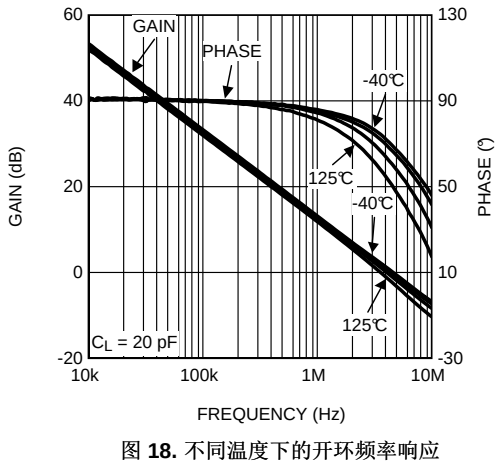


图 **18.** 不同温度下的开环频率响应

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ，V_S = 5V，除非另有说明。

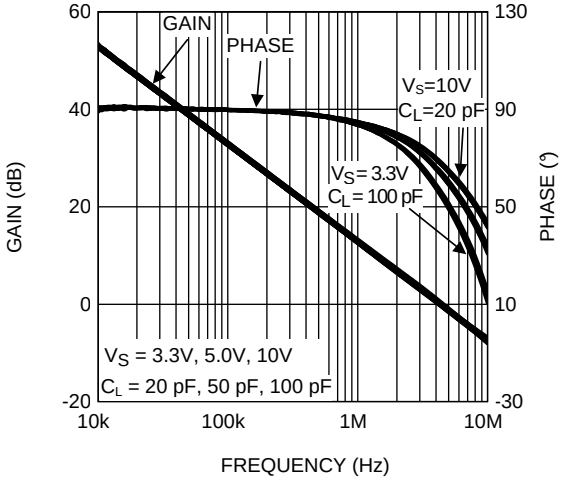


图 **19.** 不同负载条件下的开环频率响应

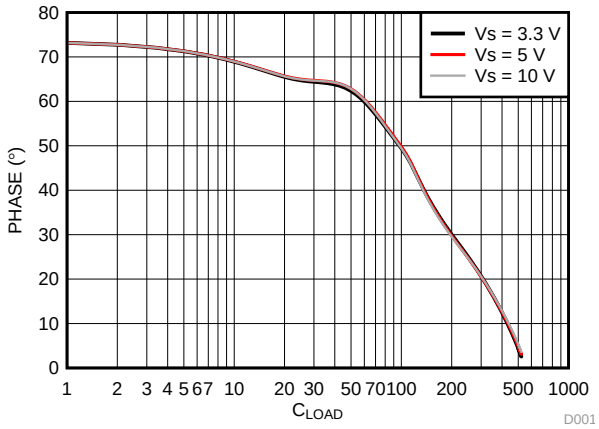


图 **20.** 相位裕度与 C_L 间的关系

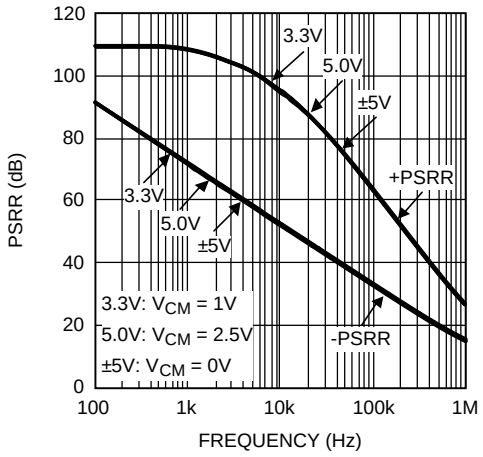


图 **21. PSRR** 与频率间的关系

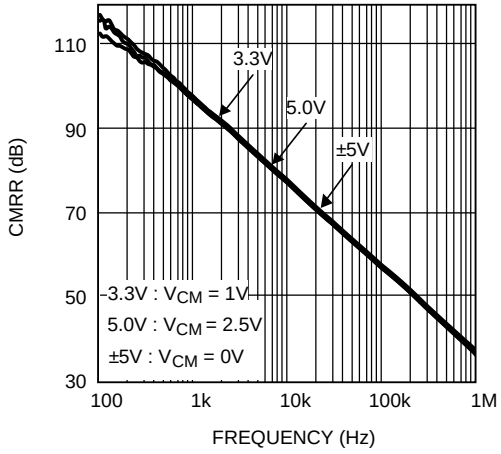


图 **22. CMRR** 与频率间的关系

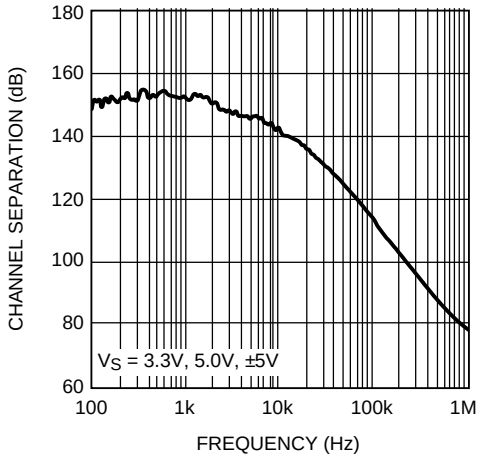


图 **23.** 通道分离与频率间的关系

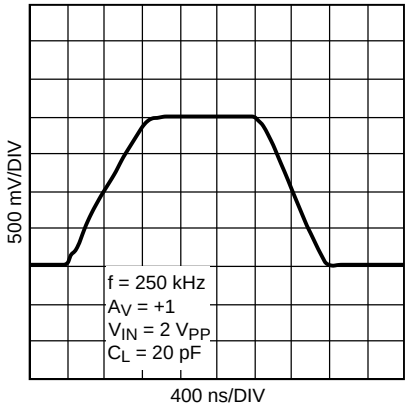


图 **24.** 增益 **= 1** 时的大信号阶跃响应

版权 © 2006–2017, Texas Instruments Incorporated

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ，V_S = 5V，除非另有说明。

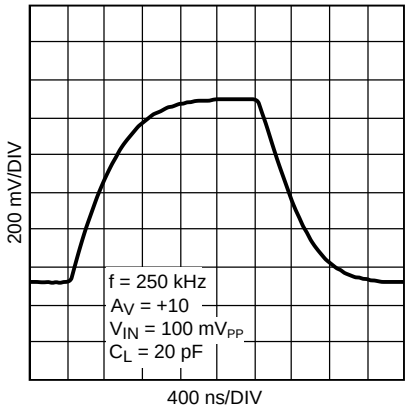


图 **25.** 增益 **= 10** 时的大信号阶跃响应

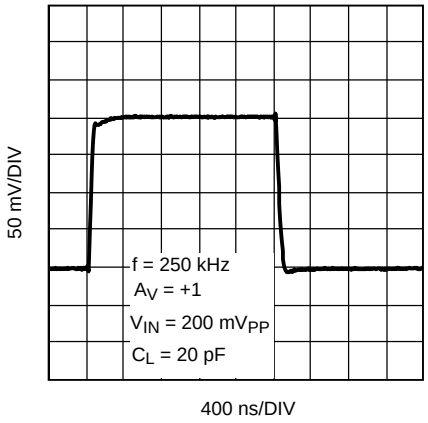


图 **26.** 增益 **= 1** 时的小信号阶跃响应

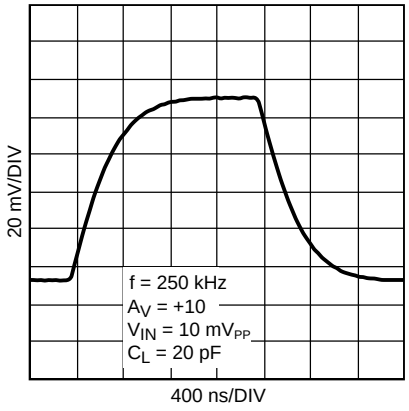


图 **27.** 增益 **= 10** 时的小信号阶跃响应

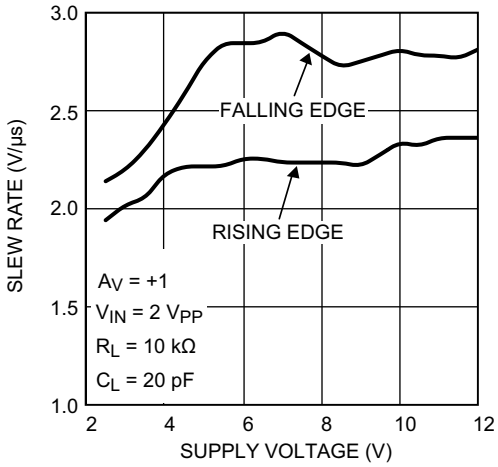


图 **28.** 压摆率与电源电压间的关系

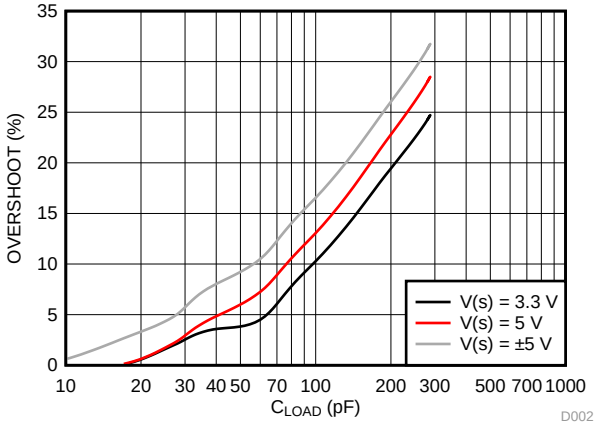


图 **29.** 过冲与 C_L 间的关系

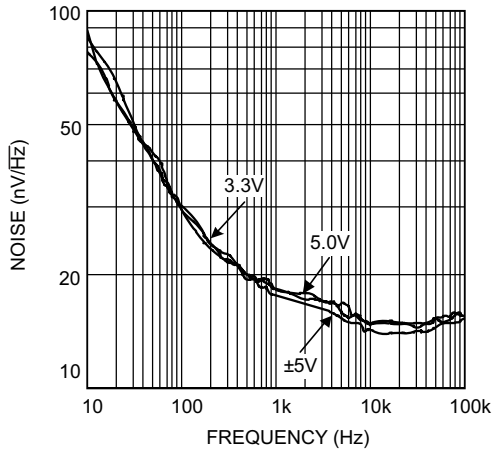


图 **30.** 输入电压噪声与频率间的关系

典型特性 (接下页)

T_A = 25°C，R_L = 10kΩ，V_S = 5V，除非另有说明。

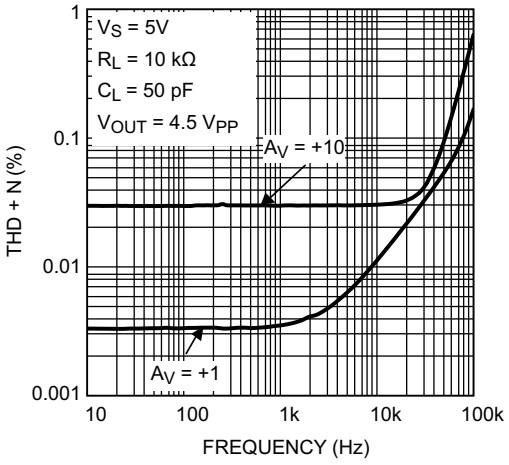


图 **31. THD+N** 与频率间的关系

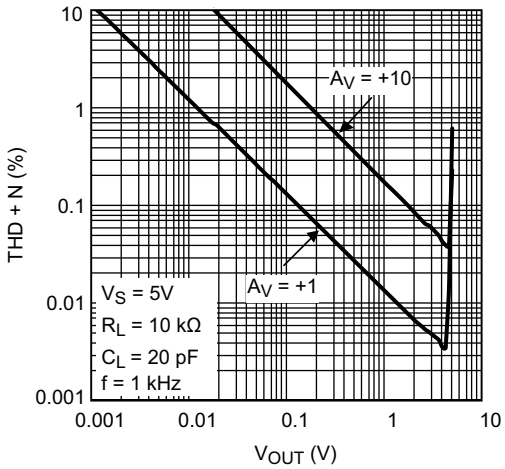


图 **32. THD+N** 与 **V_{OUT}** 间的关系

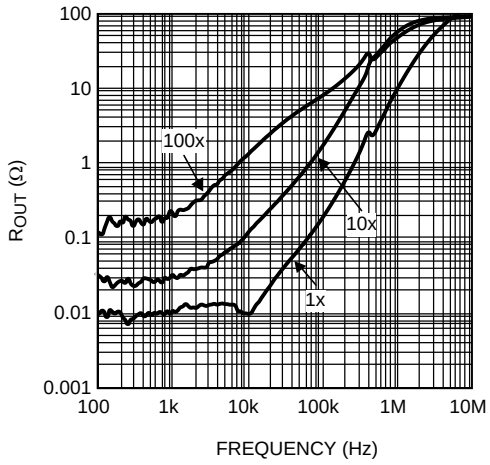


图 **33.** 闭环输出阻抗与频率间的关系

版权 © 2006–2017, Texas Instruments Incorporated

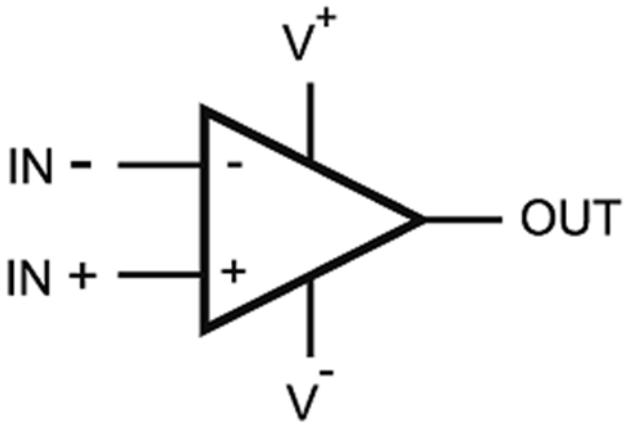
7 详细 说明

7.1 概述

LMV84x 器件是具有半精密规格（低噪声、低温度漂移、低失调电压以及轨至轨输入和输出）的运算放大器。可能的应用领域包括仪表、医疗、测试设备、音频和汽车 应用。

每个放大器的电源电流低至 1mA，温度范围为 −40°C 至 +125°C，由具有 CMOS 输入的 12V 电源供电，并且 LMV841 采用小型 SC70 封装，这些特性使 LMV84x 成为独特的运算放大器系列并且是便携式电子产品的完美选择。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 输入保护

LMV84x 器件在输入引脚之间具有一组反向并联二极管 D_1 和 D_2，如图 34 所示。这些二极管用于保护放大器的输入级。同时，它们还会限制输入引脚上允许的差分输入电压量。

大于一个二极管压降的差分信号会损坏二极管。输入之间的差分信号需要限制在 ±300mV，或输入电流需要限制在 ±10mA。

注

当运算放大器摆动时，存在差分输入电压，使保护二极管正向偏置。这可能会导致从信号源吸收电流。虽然此电流已由内部电阻器 R_1 和 R_2（均为 130Ω）所限制，但是可以在反馈路径中放置一个 1kΩ 的电阻器，或者可以与输入信号串联一个 500Ω 的电阻器，从而实现进一步限制。

特性 说明 (接下页)

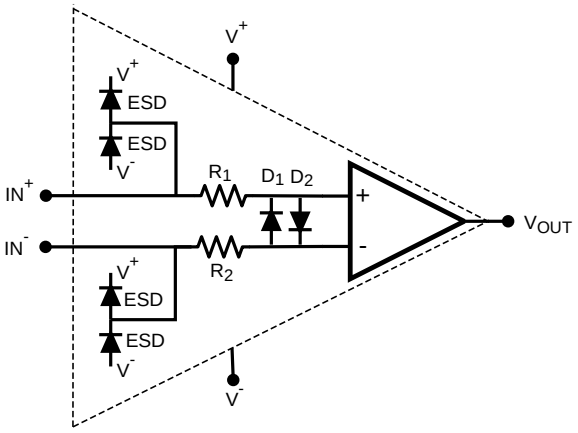


图 **34.** 输入引脚之间的保护二极管

7.3.2 输入级

该放大器的输入级同时包含一个 PMOS 输入对和一个 NMOS 输入对，因此可支持轨至轨输入范围。输入电压接近负轨时，仅 PMOS 对有效。接近正轨时，仅 NMOS 对有效。在低于 V^+ 大约 2V 到低于 V^+ 1V 的转换区域中，两个对都有效，并且一个对将从另一个对逐渐接管。在该转换区域中，输入参考失调电压从与 PMOS 对关联的失调电压变为与 NMOS 对关联的失调电压。输入对会经过独立调整，从而在整个轨至轨输入范围内都能确保室温下的输入失调电压小于 0.5mV。这样还会显著改善转换区域内放大器的 CMRR。

注

表格中的 CMRR 和 PSRR 限值是大信号数字，分别表示放大器的输入失调电压在整个共模电压和电源电压范围内的最大变化。当放大器的共模输入电压处于转换区域内时，小信号 CMRR 和 PSRR 可能略低于大信号限值。

7.4 器件功能模式

7.4.1 驱动容性负载

可将 LMV84x 作为同相单位增益放大器进行连接。此配置对容性负载最敏感。放置在放大器输出端的容性负载与放大器的输出抗阻相结合，可导致相位滞后，从而减小放大器的相位裕度。如果相位裕度明显减小，则响应将欠阻尼，这可导致传输中出现峰值。如果峰值过多，则运算放大器可能会开始振荡。

LMV84x 可以直接驱动高达 100pF 的容性负载，而不会存在任何稳定性问题。为了驱动更大型的容性负载，必须使用隔离电阻器 (R_{ISO})，如图 35 所示。通过使用该隔离电阻器，容性负载将与放大器的输出相隔离，因此由反馈环路中不再存在由 C_L 引起的极点。R_{ISO} 的值越大，输出电压越稳定。如果 R_{ISO} 的值足够大，则反馈环路将保持稳定，不受 C_L 值的影响。但是，较大的 R_{ISO} 值会导致输出摆幅减小和输出电流驱动降低。

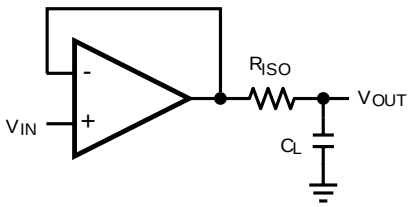


图 **35.** 隔离容性负载

版权 © 2006–2017, Texas Instruments Incorporated

器件功能模式 (接下页)

7.4.2 噪声性能

LMV84x 器件具有良好的噪声规格，经常用于低噪声 应用。因此，确定总电路的噪声非常重要。除了运算放大器的输入参考噪声之外，反馈电阻器也可能对总噪声有重要贡献。

对于具有电压输出配置的 应用 而言，一般情况下保持电阻值较低是有益的。在这些配置中，高电阻值意味着高噪声水平。但是，使用低电阻值会增加应用程序的功耗。这种情况对于便携式 应用来说不一定能接受，所以在噪声水平和功耗之间有一个折衷。

除了信号源的噪声贡献之外，在计算运算放大器电路的噪声性能时还需要考虑三种噪声：

- 运算放大器的输入参考电压噪声
- 运算放大器的输入参考电流噪声
- 反馈网络中的电阻器的噪声源（配置运算放大器）

为了计算运算放大器输出端的噪声电压，第一步要确定总的等效噪声源。这就要求将所有噪声源转换到同一参考节点。这个节点的一个方便选择便是运算放大器电路的输入端。下一步是将所有噪声源加起来。最后一步是将总等效输入电压噪声与运算放大器配置的增益相乘。

如果运算放大器的输入参考电压噪声已置于输入端，则用户可以使用输入参考电压噪声而无需进一步传输。输入参考电流噪声需要转换为输入参考电压噪声。只要等效电阻不是大得不切实际，电流噪声就会很小，几乎可以忽略不计，所以用户可以忽略这些示例中的电流噪声。这样一来，用户只需考虑电阻器的噪声源，即热噪声电压。在以下示例中可以看到电阻器对总噪声的影响，其中一个示例具有较高的电阻值，另一个具有较低的电阻值。两个示例都描述了一个运算放大器配置，其增益为 101，为电路提供 44.5kHz 的带宽。两种情况下的运算放大器噪声是相同的，即输入参考噪声电压为 20nV/√Hz，而输入噪声电流很小，可忽略不计。

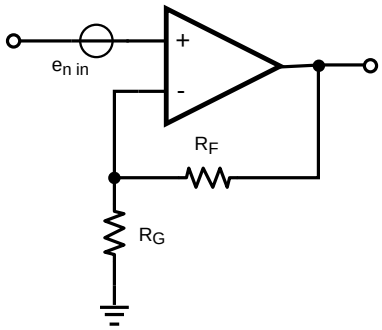


图 **36.** 噪声电路

为了计算反馈网络中的电阻器的噪声，需要等效的输入参考噪声电阻。例如在图 36 中，此等效电阻 R_{eq} 可由公式 1 算出：

$$R_{eq} = \frac{R_F \times R_G}{R_F + R_G} \tag{1}$$

此等效电阻的电压噪声可由公式 2 算出：

$$e_{nr} = \sqrt{4kTR_{eq}}$$

其中

- e_{nr} = 等效电阻器的热噪声电压
- R_{eq} (V/√Hz)
- k = 玻尔兹曼常数 (1.38×10^{-23} J/K)

器件功能模式 (接下页)

- T = 绝对温度 (K)
- R_{eq} = 电阻 (Ω)

(2)

总等效输入电压噪声由公式 3 算出：

$$e_{n\ in} = \sqrt{e_{nv}^2 + e_{nr}^2}$$

其中

- $e_{n\ in}$ = 电路的总输入等效电压噪声
- e_{nv} = 运算放大器的输入电压噪声

(3)

最后一步是采用公式 4 将总输入电压噪声与噪声增益（此情况下就是运算放大器配置的增益）相乘：

$$e_{n\ out} = e_{n\ in} \times A_{noise} \tag{4}$$

第一个示例中，电阻器 R_F 为 10MΩ、电阻器 R_G 为 100kΩ 且温度为 25°C (298 K) 时，等效电阻等于公式 5 算出的值：

$$R_{eq} = \frac{R_F \times R_G}{R_F + R_G} = \frac{10\ M\Omega \times 100\ k\Omega}{10\ M\Omega + 100\ k\Omega} = 99\ k\Omega \tag{5}$$

现在，这些电阻器的噪声可由公式 6 计算得到：

$$\begin{aligned} e_{nr} &= \sqrt{4kTR_{eq}} \\ &= \sqrt{4 \times 1.38 \times 10^{-23}\ J/K \times 298K \times 99\ k\Omega} \\ &= 40\ nV/\sqrt{Hz} \end{aligned} \tag{6}$$

运算放大器输入端的总噪声在公式 7 中算出：

$$\begin{aligned} e_{n\ in} &= \sqrt{e_{nv}^2 + e_{nr}^2} \\ &= \sqrt{(20\ nV/\sqrt{Hz})^2 + (40\ nV/\sqrt{Hz})^2} = 45\ nV/\sqrt{Hz} \end{aligned} \tag{7}$$

对于第一个示例，在公式 8 中这个输入噪声乘以噪声增益得出总输出噪声为：

$$\begin{aligned} e_{n\ out} &= e_{n\ in} \times A_{noise} \\ &= 45\ nV/\sqrt{Hz} \times 101 = 4.5\ \mu V/\sqrt{Hz} \end{aligned} \tag{8}$$

对于第二个示例，当电阻器 R_F 为 10kΩ、电阻器 R_G 为 100Ω 且温度为 25°C (298 K) 时，等效电阻等于公式 9 算出的值：

$$R_{eq} = \frac{R_F \times R_G}{R_F + R_G} = \frac{10\ k\Omega \times 100\ \Omega}{10\ k\Omega + 100\ \Omega} = 99\ \Omega \tag{9}$$

第二个示例的电阻器噪声在公式 10 中算出：

$$\begin{aligned} e_{nr} &= \sqrt{4kTR_{eq}} \\ &= \sqrt{4 \times 1.38 \times 10^{-23}\ J/K \times 298\ K \times 99\ \Omega} \\ &= 1\ nV/\sqrt{Hz} \end{aligned} \tag{10}$$

运算放大器输入端的总噪声在公式 10 中算出：

$$\begin{aligned} e_{n\ in} &= \sqrt{e_{nv}^2 + e_{nr}^2} \\ &= \sqrt{(20\ nV/\sqrt{Hz})^2 + (1\ nV/\sqrt{Hz})^2} \\ &= 20\ nV/\sqrt{Hz} \end{aligned} \tag{11}$$

版权 © 2006–2017, Texas Instruments Incorporated

器件功能模式 (接下页)

对于第二个示例，在公式 12 中这个输入噪声乘以噪声增益得出总输出噪声为：

$$e_{n\ out} = e_{n\ in} \times A_{noise}$$
$$= 20\ nV/\sqrt{Hz} \times 101 = 2\ \mu V/\sqrt{Hz} \quad (12)$$

在第一个示例中，由于电阻值非常高，因此噪声主要由电阻器噪声决定；在第二个示例中，非常低的电阻值只会给噪声带来微不足道的影响，现在主要的影响因素是运算放大器本身。选择电阻值时，选择不会给应用增加额外噪声的电阻值非常重要。选择 100kΩ 以上的值可能会增加噪声太多。低值使噪声保持在可接受的水平内；然而，选择非常低的值时，并不会使噪声更低，但会增大电路的电流。

7.5 连接到高阻抗传感器

通过采用 CMOS 输入，LMV84x 特别适合用作高阻抗传感器接口。

许多传感器的源阻抗很高，最高可达 10MΩ。放大器的输入偏置电流会加载传感器输出，因此会在源电阻两端产生电压降，如图 37 所示。当选择的运算放大器具有相对较高的输入偏置电流时，该误差可能是不可接受的。

LMV84x 的低输入电流可显著减少这种误差。以下示例说明了标准运算放大器输入与 LMV84x 的 CMOS 输入之间的差异。

运算放大器输入端的电压可通过公式 13 算出：

$$V_{IN+} = V_S - I_B \times R_S \quad (13)$$

对于标准运算放大器，输入偏置电流可以是 10nA。当传感器产生 1V 信号 (V_S) 并且传感器阻抗为 10MΩ (R_S) 时，运算放大器输入端的信号在公式 14 中算出：

$$V_{IN} = 1V - 10nA \times 10M\Omega = 1V - 0.1V = 0.9V \quad (14)$$

对于 LMV84x 的 CMOS 输入（输入偏置电流仅为 0.3pA），这将得出 公式 15：

$$V_{IN} = 1V - 0.3pA \times 10M\Omega = 1V - 3\mu V = 0.999997V \quad (15)$$

结论是，标准运算放大器具有高输入偏置电流，不适合用于阻抗传感器 应用。相比之下，LMV84x 器件具有低输入偏置电流，因此更适合得多。误差小到可以忽略不计；因此，LMV84x 是用于高阻抗传感器的必备器件。

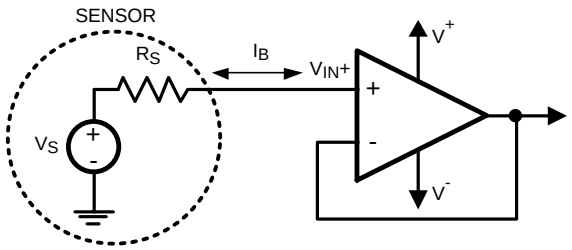


图 37. 高阻抗传感器接口

8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

LMV84x 的轨至轨输入和输出以及宽电源电压范围使这些放大器成为众多 应用的理想选择。下面提供了三个示例应用，即有源滤波器电路、高侧电流检测和热电偶传感器接口，请参阅*典型 应用* 部分。

8.2 典型 应用

8.2.1 有源滤波器电路

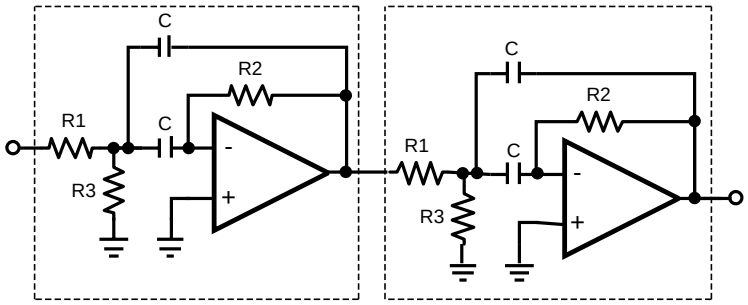


图 38. 有源带通滤波器实现方案

8.2.1.1 设计要求

此示例中需要设计一个带通频率为 10kHz 且中心频率约为滤波器总频率的 10% 的带通滤波器。此设计通过级联两个中心频率略有不同的带通滤波器 A 和 B 来实现。

8.2.1.2 详细设计流程

单独的带通滤波器 A 和 B 的中心频率可以通过公式 16 计算：

$$f_{mid} = \frac{1}{2\pi C}\sqrt{\frac{R_1 + R_3}{R_1 R_2 R_3}} \tag{16}$$

其中

- C = 33nF
- R1 = 2KΩ
- R2 = 6.2KΩ
- R3 = 45Ω

对于滤波器 A，这将得出公式 17：

$$f_{mid} = \frac{1}{\pi \times 33\ nF}\sqrt{\frac{2\ k\Omega + 6.2\ k\Omega}{2\ k\Omega \times 6.2\ k\Omega \times 45\ k\Omega}} = 9.2\ kHz \tag{17}$$

对于滤波器 B，当 C = 27nF 时，将得出公式 18：

$$f_{mid} = \frac{1}{\pi \times 27\ nF}\sqrt{\frac{2\ k\Omega + 6.2\ k\Omega}{2\ k\Omega \times 6.2\ k\Omega \times 45\ k\Omega}} = 11.2\ kHz \tag{18}$$

可使用公式 19 来计算带宽：

版权 © 2006–2017, Texas Instruments Incorporated

典型 应用 **(**接下页**)**

$$B = \frac{1}{\pi R_2 C} \tag{19}$$

对于滤波器 A，这将得出公式 20：

$$B = \frac{1}{\pi \times 6.2\ k\Omega \times 33\ nF} = 1.6\ kHz \tag{20}$$

对于滤波器 B，将得出公式 21：

$$B = \frac{1}{\pi \times 6.2\ k\Omega \times 27\ nF} = 1.9\ kHz \tag{21}$$

8.2.1.3 应用曲线

滤波器 A 和滤波器 B 的响应如图 39 中的细线所示；组合滤波器的响应如粗线所示。如果将单独滤波器的中心频率移得更远，则会产生更宽的频带；然而，将中心频率放得太远会导致频带内的增益不太平坦。频带更宽时，可级联更多的带通滤波器。

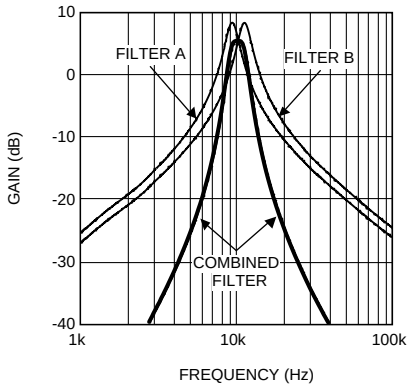


图 **39.** 有源带通滤波器曲线

注

使用 www.ti.com.cn 为您的滤波器应用提供的 WEBENCH 互联网工具。

8.2.2 高侧电流检测电路

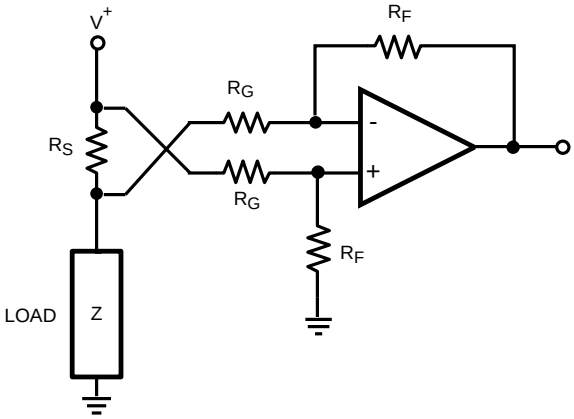


图 **40.** 高侧电流检测电路

典型 应用 (接下页)

8.2.2.1 设计要求

在此示例中，我们期望使用 100mΩ 的感应电阻器来测量 0A 与 2A 之间的电流，并将其转换为 0V 至 5V 的输出电压。流过负载和感应电阻器的 2A 电流会在感应电阻上产生 200mV 的电压。运算放大器放大这 200mV 的电压，使电流范围适应输出电压范围。

8.2.2.2 详细设计流程

为了测量电路中某一点的电流，感应电阻器与负载串联，如图 40 所示。流过该感应电阻器的电流会产生电压降，并由运算放大器放大。轨至轨输入和低 V_{OS} 特性 使得 LMV84x 成为高侧电流检测 应用的理想放大器。

电路的输入和输出关系如公式 22 所示：

$$V_{OUT} = R_F/R_G \times V_{SENSE} \quad (22)$$

当负载电流为 2A 而输出电压为 5V 时，增益将是 $V_{OUT} / V_{SENSE} = 25$。

如果反馈电阻器 R_F 为 100kΩ，则 R_G 的值为 4kΩ。电阻器的容差必须很低才能获得良好的共模抑制。

8.2.3 热电偶传感器信号放大

图 41 是采用 LMV841、LMV842 或 LMV844 的典型热电偶放大器应用示例。热电偶可感应温度并将其转换为电压。此信号随后由 LMV841、LMV842 或 LMV844 放大。ADC 可将放大的信号转换为数字信号。为了进一步处理，该数字信号可以由微处理器处理，并且可以用于显示或记录温度，或者温度数据可以在制造过程中使用。

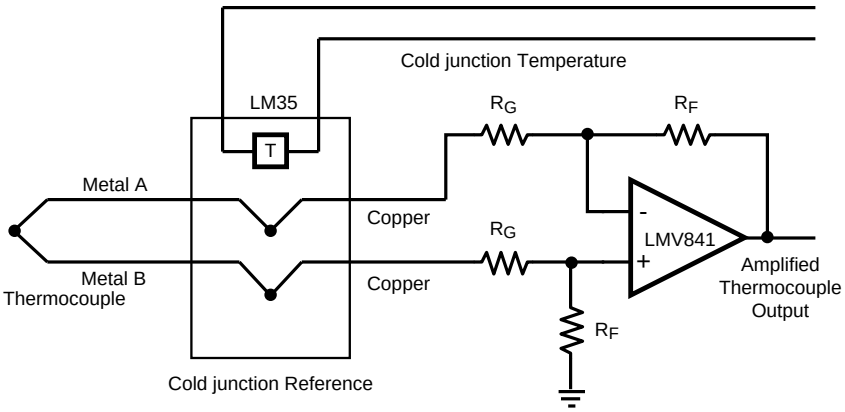


图 **41.** 热电偶传感器接口

8.2.3.1 设计要求

在此示例中，我们期望使用 K 型热电偶传感器测量 0℃ 至 500℃ 范围内的温度（分辨率为 0.5℃）。LMV84x 和 ADC 的电源均为
3.3V。

8.2.3.2 详细设计流程

热电偶是两种不同金属的连接点。这些金属产生一个随温度升高的小电压。K 型热电偶是一种非常普通的温度传感器，由镍铬和镍铝之间的连接点构成。使用 K 型热电偶有几个原因。这些原因包括温度范围、线性度、灵敏度和成本。

K 型热电偶具有很宽的温度范围。此热电偶的范围是大约 −200°C 至大约 1200℃，如图 42 所示。此范围涵盖了常用的温度范围。

版权 © 2006–2017, Texas Instruments Incorporated

典型 应用 (接下页)

在此范围的大部分，行为都是线性的。这对于将模拟信号转换为数字信号很重要。K 型热电偶与其他许多类型相比具有良好的灵敏度；灵敏度为 41μV/°C。较低的灵敏度需要更多的增益，并会使应用对噪声更敏感。另外，K 型热电偶并不昂贵，许多其他热电偶由更昂贵的材料制成或者生产难度更高。

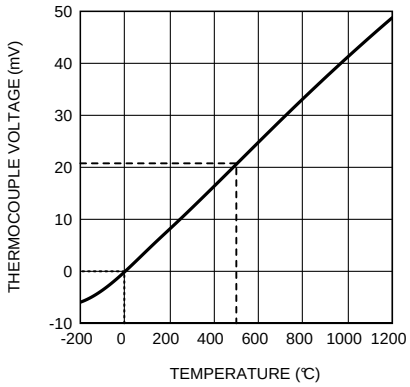


图 42. K 型热电偶响应

0°C 至 500°C 的温度范围使热电偶产生 0mV 至 20.6mV 的电压范围。图 42 中显示了这一情况。

为了获得最佳精度，需要使用 0V 至 3.3V 的完整 ADC 范围，而这个完整范围所需的增益可以用公式 23 来计算：

$$A_V = 3.3V / 0.0206V = 160 \quad (23)$$

如果 R_G 为 2kΩ，则可以用这个 160 的增益值计算 R_F。由于 $A_V = R_F / R_G$，因此 R_F 可由公式 24 计算：

$$R_F = A_V \times R_G = 160 \times 2k\Omega = 320k\Omega \quad (24)$$

为了达到 0.5°C 的分辨率，需要比最小分辨率更小的步长。这意味着至少需要 1000 步 (500°C/0.5°C)。一个 10 位 ADC 就足够了，因为它可以产生 1024 步。诸如双通道 10 位 ADC102S021 之类的 10 位 ADC，将是一个不错的选择。

在热电偶导线与 PCB 上的电路相连接的位置，会形成不需要的寄生热电偶，从而导致实际热电偶传感器的测量误差。

使用等温块作为参考将会补偿这种额外的热电偶效应。等温块是良好的热导体。这意味着两个热电偶连接都具有相同的温度。我们可以测量等温块的温度，从而测量热电偶连接的温度。此温度通常称为冷端参考温度。在示例中，使用 LM35 来测量此温度。该半导体温度传感器可精确测量 −55°C 至 150°C 的温度。

本例中的 ADC 还会将来自 LM35 的信号转换为数字信号，因此，微处理器可以补偿连接器上不需要的热电偶结的放大热电偶信号。

版权 © 2006–2017, Texas Instruments Incorporated

9 电源建议

LMV84x 在 –40°C 至 +125°C 温度范围内的额定工作电压范围是 2.7V 至 12V（±1.35V 至 ±6V）。*绝对最大额定值* 中提供了多个参数，它们会随着工作电压和温度的变化而发生显著变化。

CAUTION

电源电压超过 13.2V 可能会对器件造成永久损坏。

为了正确运行，必须适当地对电源进行去耦。为了对电源线进行去耦，TI 建议将 10nF 电容器尽可能靠近运算放大器电源引脚放置。对于单电源，应在 V^+ 和 V^- 电源引线之间放置一个电容器。对于双电源，应在 V^+ 和接地之间放置一个电容器，并在 V^- 和接地之间放置一个电容器。

10 布局

10.1 布局指南

- 必须使用低 ESR 电容器将 V+ 引脚旁路至接地引脚。
- 放置位置越靠近 V+ 引脚和接地引脚越好。
- 请注意，应最大限度减小由 V+ 引脚和接地引脚之间的旁路电容器连接形成的环路区域。
- 必须将接地引脚连接至 PCB 接地层的器件引脚。
- 必须将反馈组件尽可能靠近器件放置，以最大程度地减少杂散。

10.2 布局示例

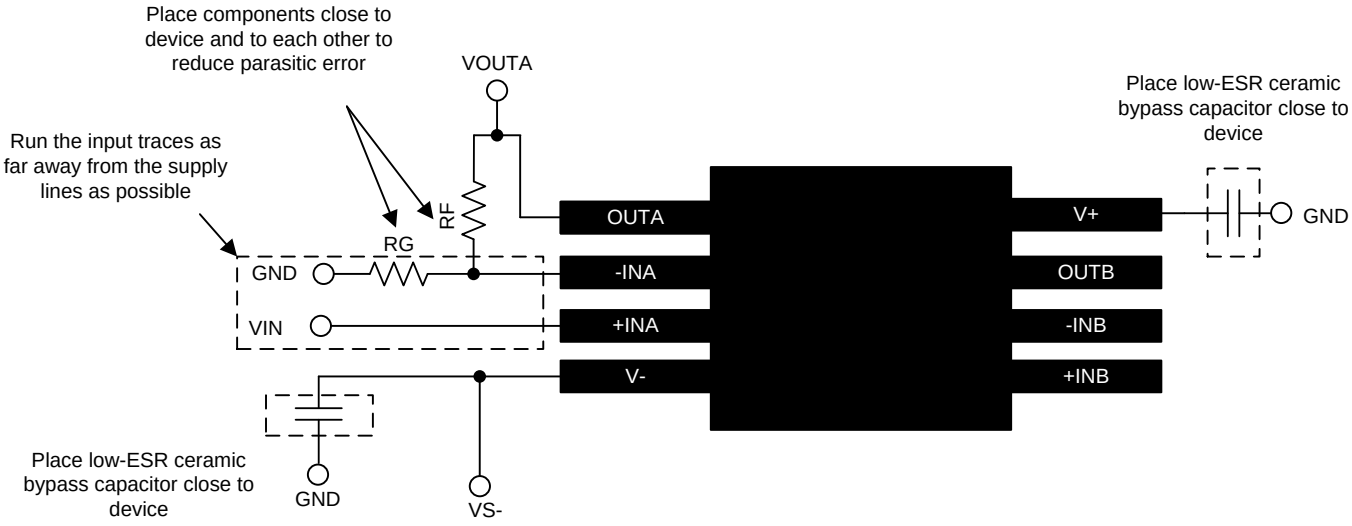


图 **43.** 布局示例（俯视图）

版权 © 2006–2017, Texas Instruments Incorporated

11 器件和文档支持

11.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

表 **1.** 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
LMV841	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
LMV842	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
LMV844	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.2 Receiving Notification of Documentation Updates

要接收文档更新通知，请导航至 TI.com 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 Community Resources

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.4 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.5 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.6 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV841MG/NOPB	ACTIVE	SC70	DCK	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A97	Samples
LMV841MGX/NOPB	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	A97	Samples
LMV842MA/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV84 2MA	Samples
LMV842MAX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV84 2MA	Samples
LMV842MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 125	AC4A	Samples
LMV842MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 125	AC4A	Samples
LMV844MA/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 125	LMV844MA	Samples
LMV844MAX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	Call TI | SN	Level-1-260C-UNLIM	-40 to 125	LMV844MA	Samples
LMV844MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV844 MT	Samples
LMV844MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV844 MT	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

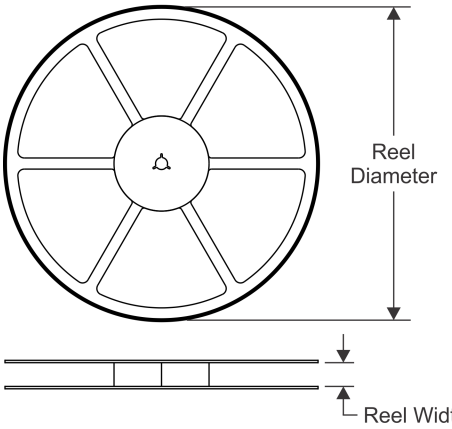
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

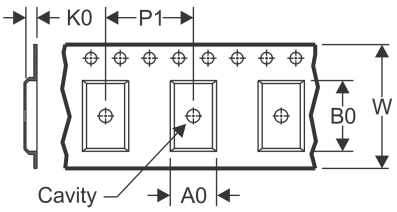
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

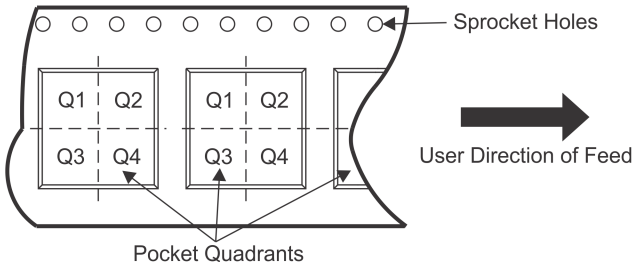


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

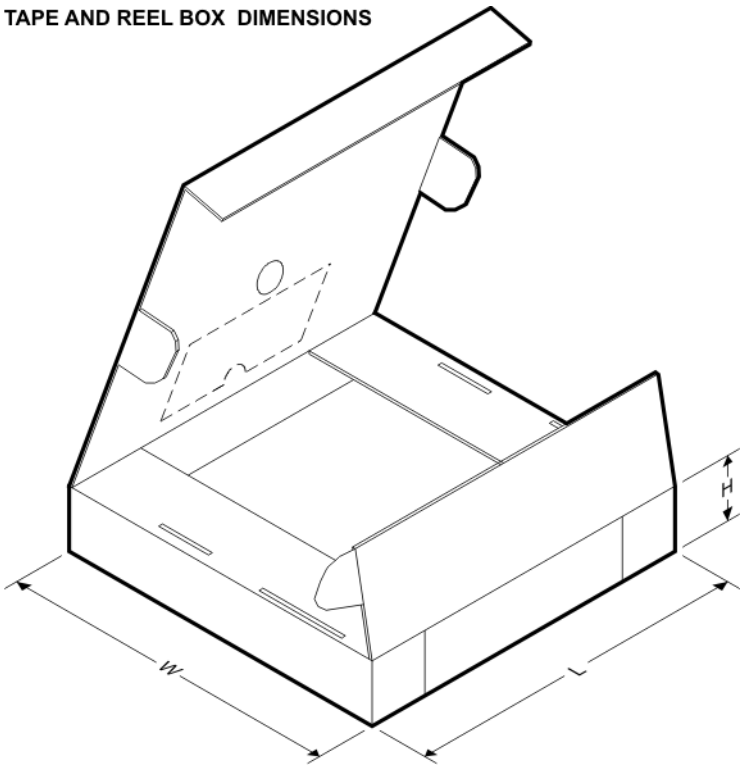
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV841MG/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV841MGX/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV842MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV842MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV842MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV844MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV844MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1

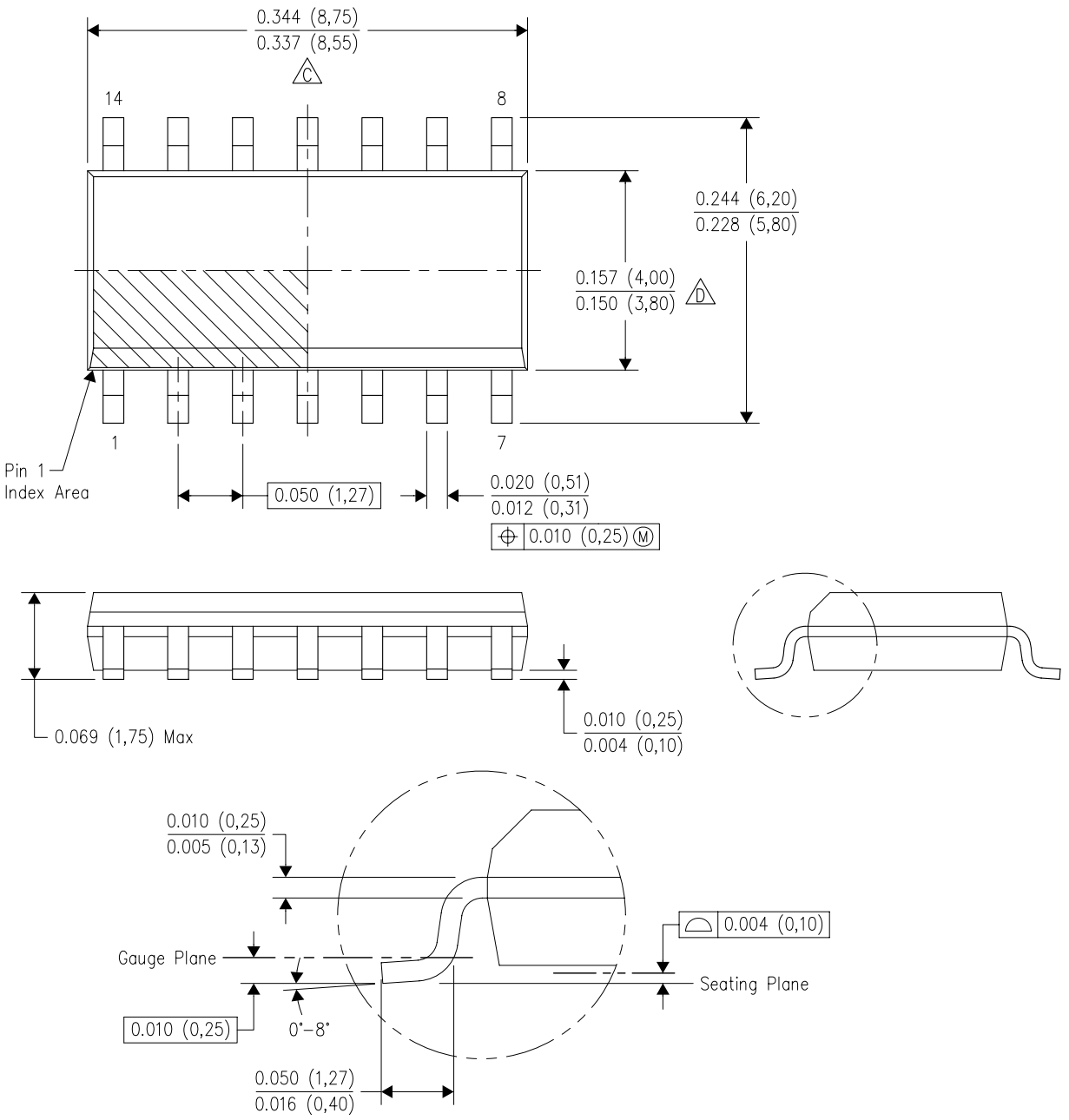
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

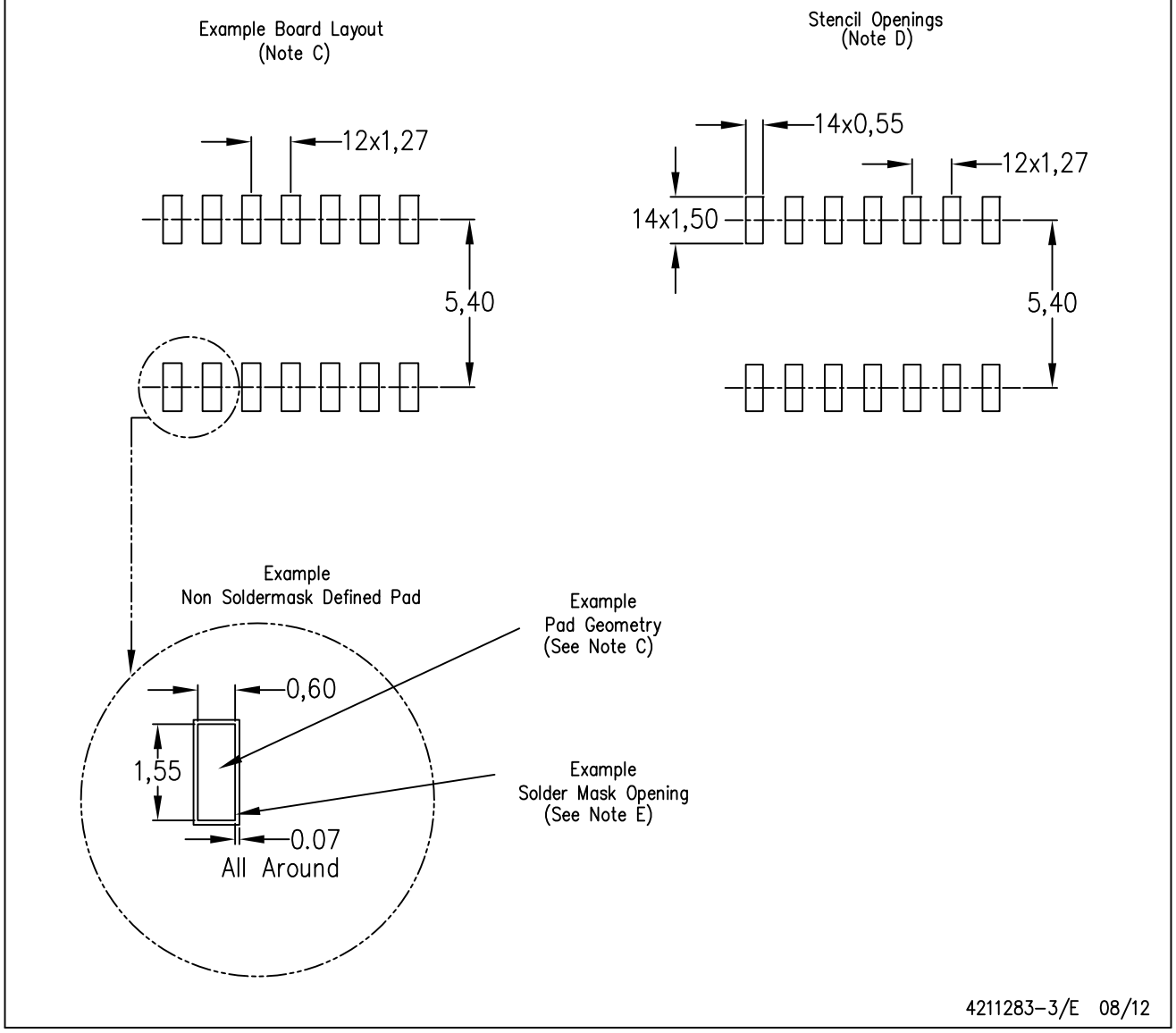
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV841MG/NOPB	SC70	DCK	5	1000	210.0	185.0	35.0
LMV841MGX/NOPB	SC70	DCK	5	3000	210.0	185.0	35.0
LMV842MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV842MM/NOPB	VSSOP	DGK	8	1000	210.0	185.0	35.0
LMV842MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV844MAX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMV844MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



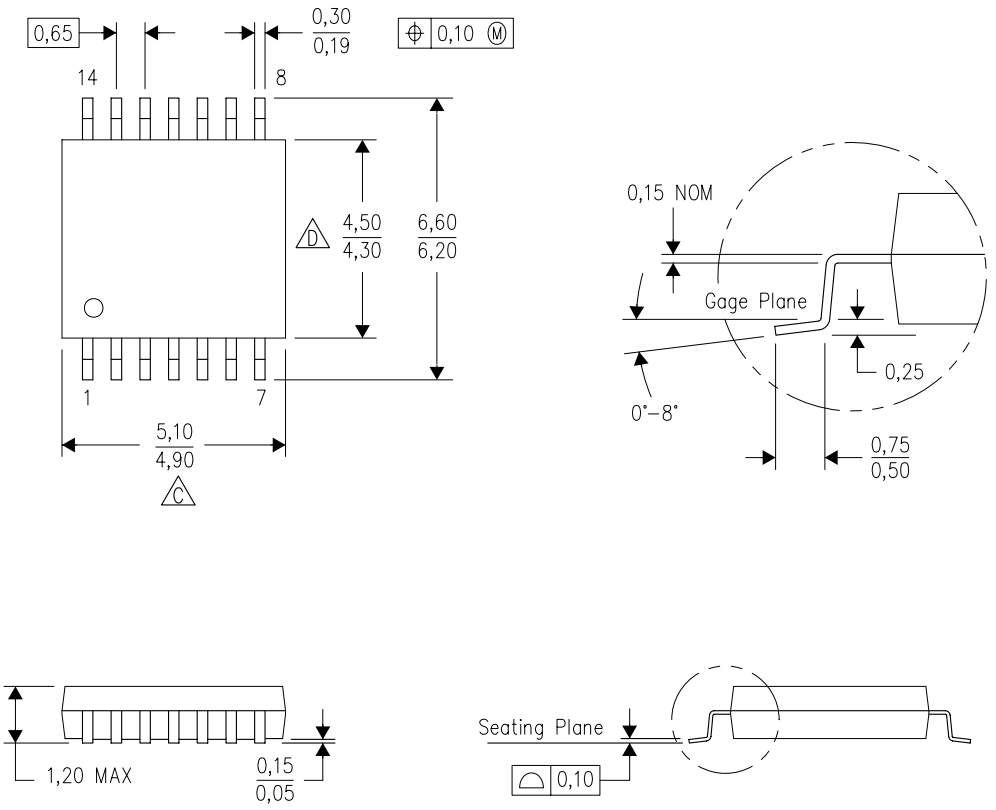
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

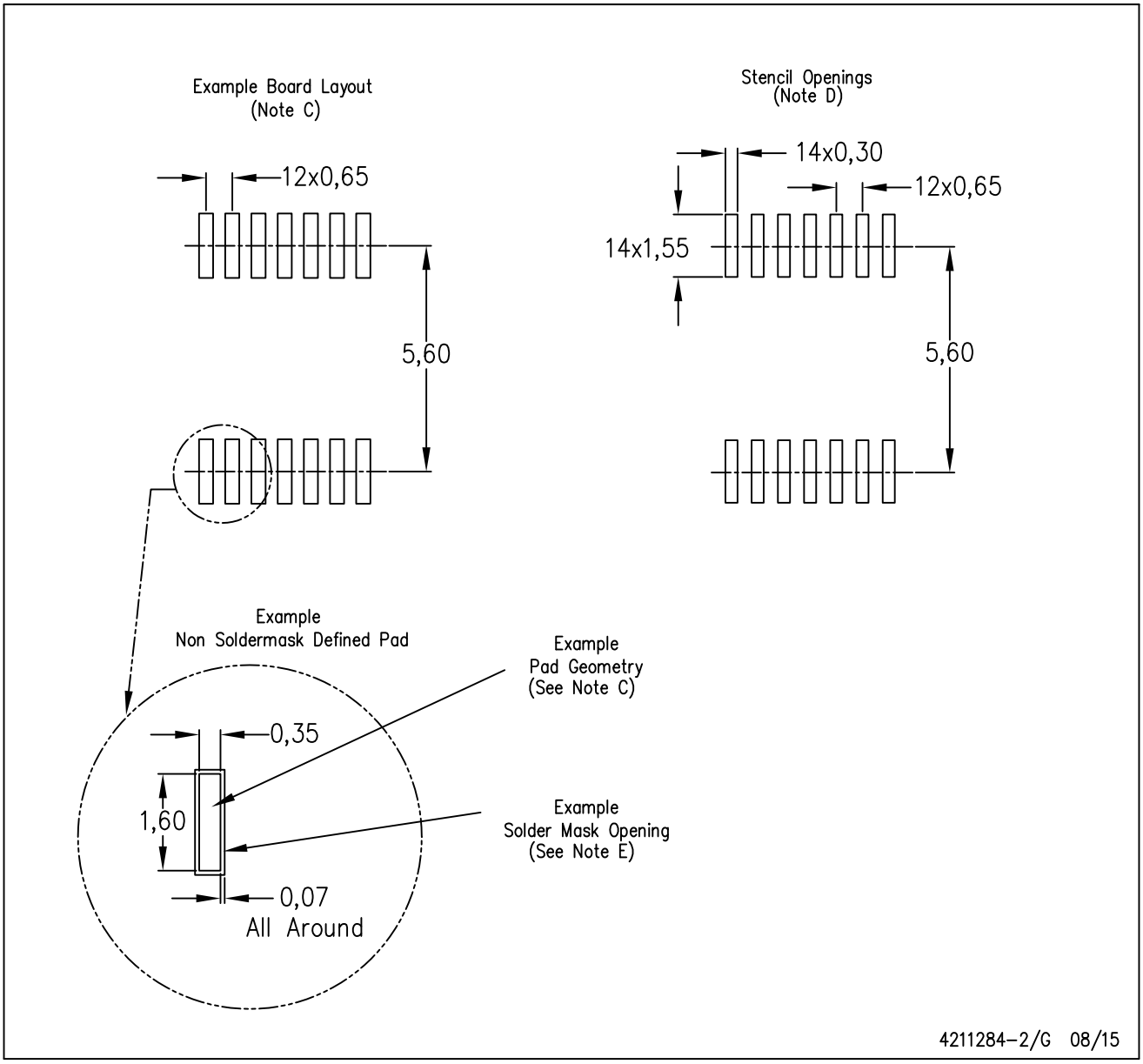
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



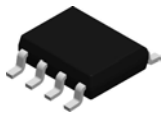
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

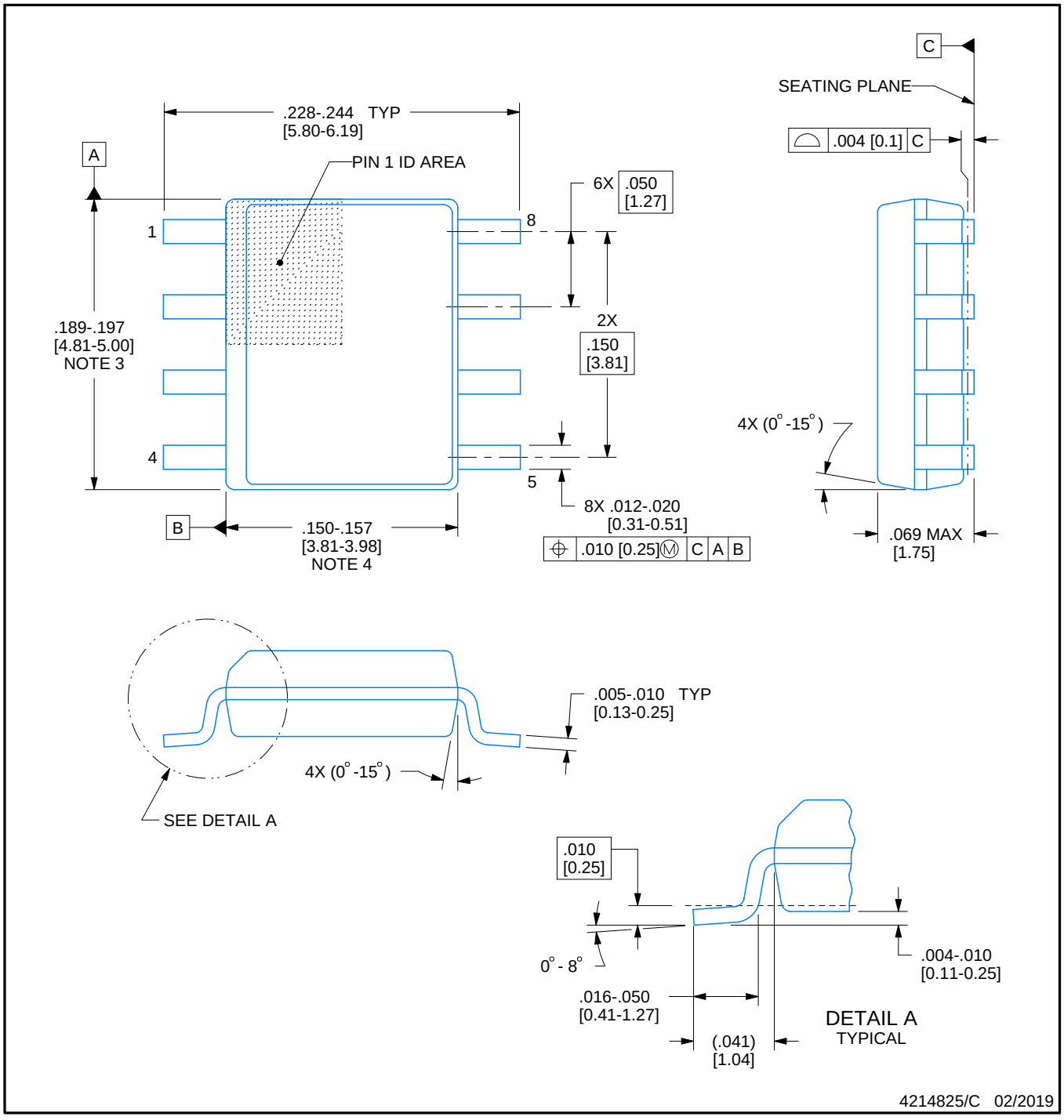


PACKAGE OUTLINE

D0008A

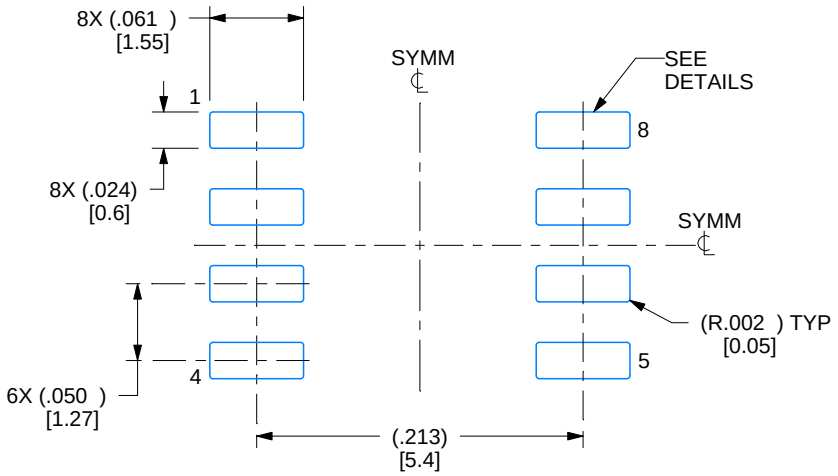
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

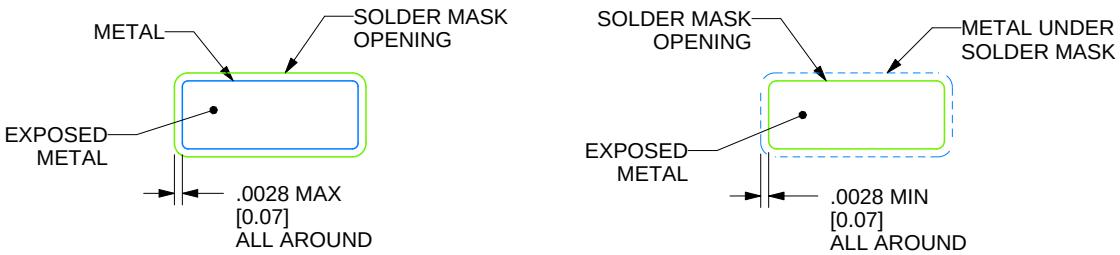


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

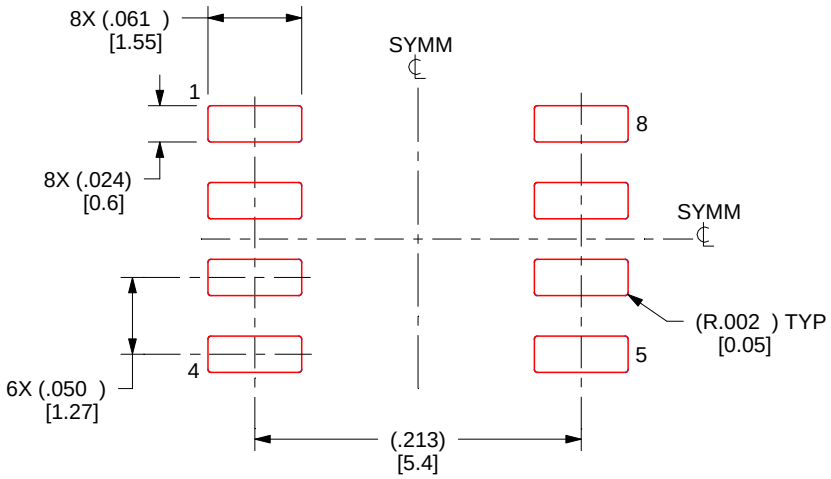
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



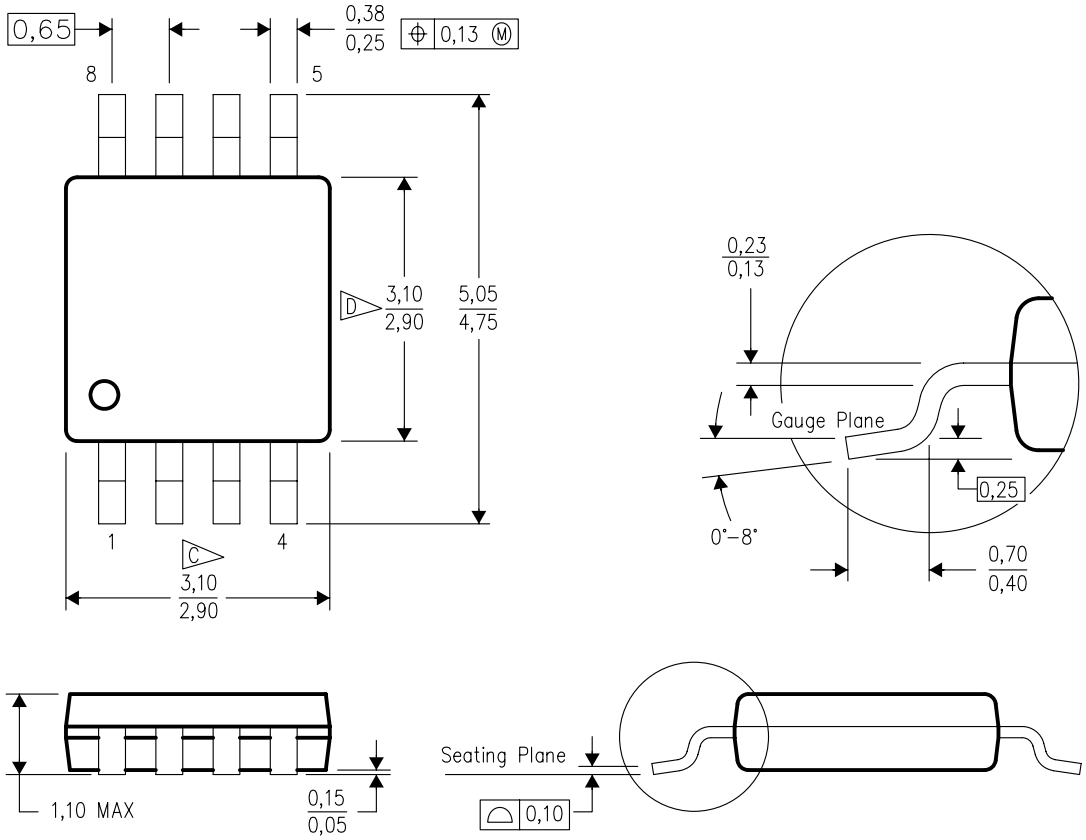
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

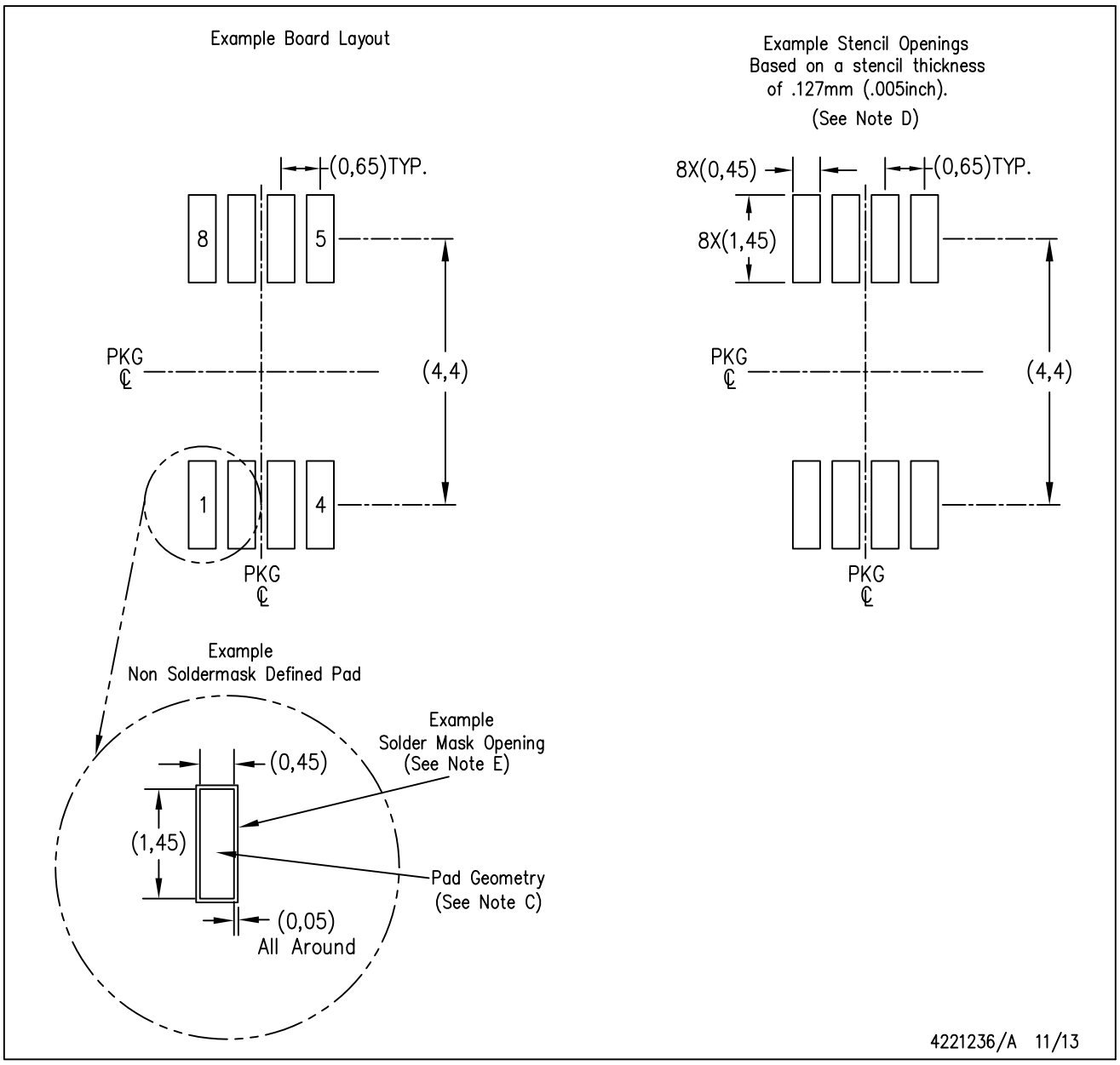
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

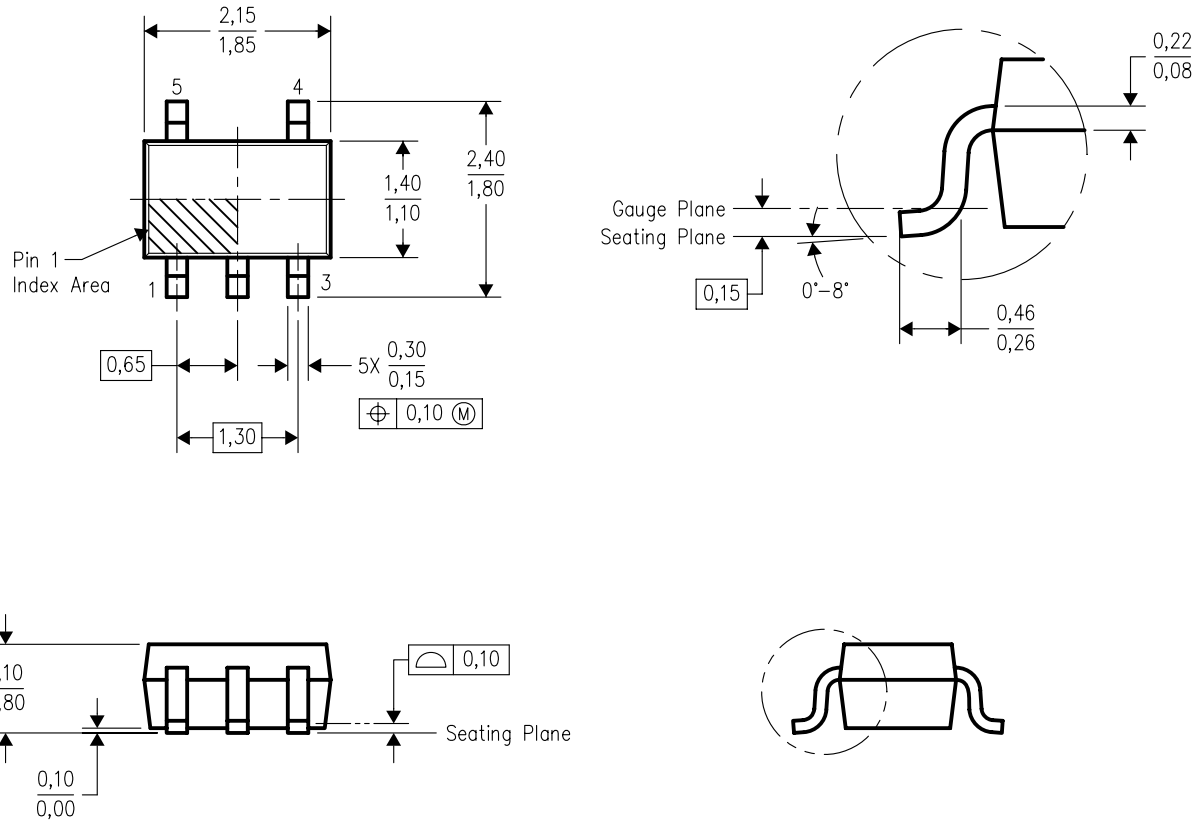
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

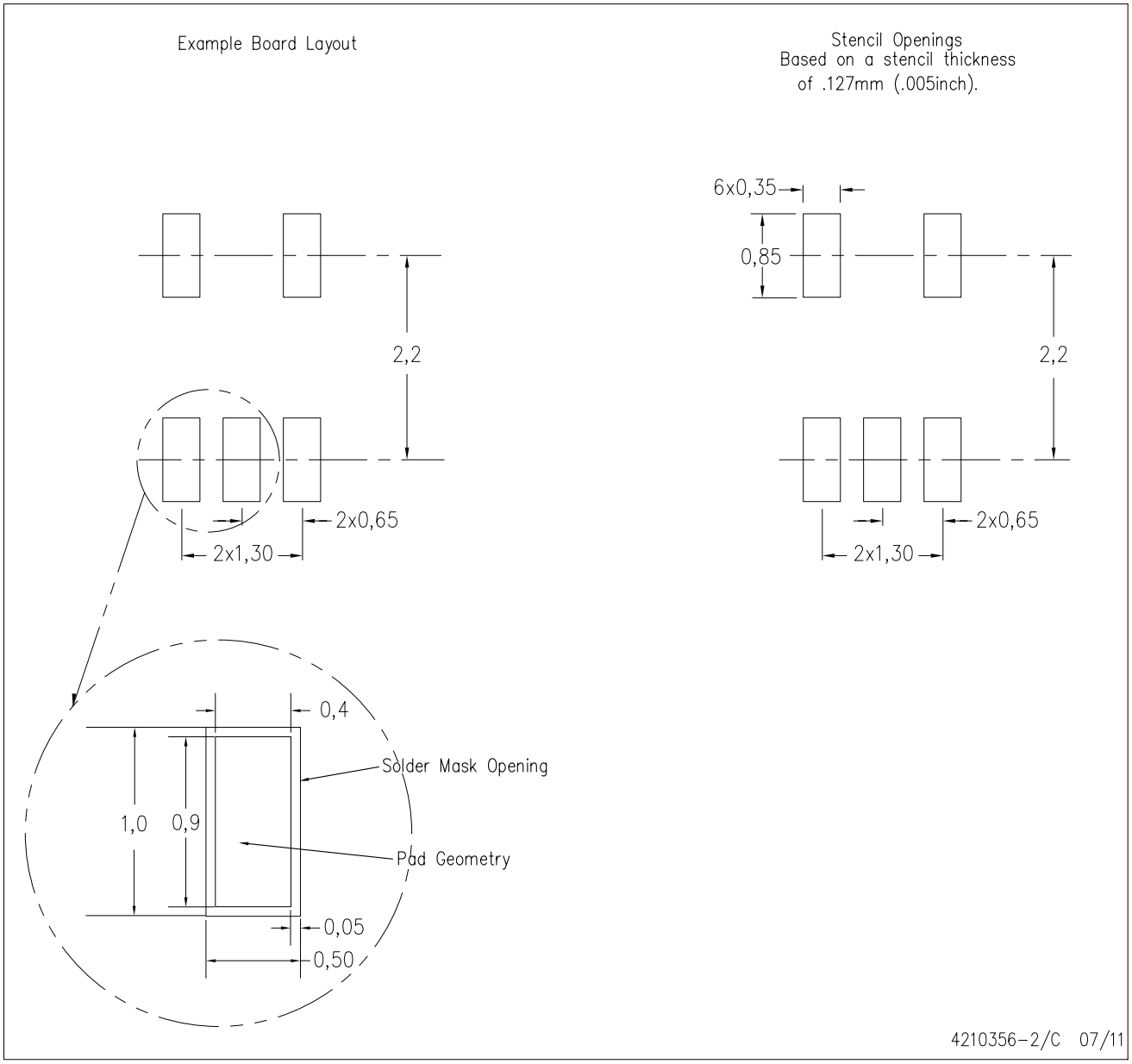
DCK (R–PDSO–G5) PLASTIC SMALL–OUTLINE PACKAGE



4093553–3/G 01/2007

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
D. Falls within JEDEC MO–203 variation AA.

DCK (R–PDSO–G5) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
D. Publication IPC–7351 is recommended for alternate designs.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.

重要声明和免责声明

TI 均以“原样”提供技术性及可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (http://www.ti.com.cn/zh-cn/legal/termsofsale.html) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2020 德州仪器半导体技术（上海）有限公司